(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/136

(11) 공개번호 10-2004-0043621
(43) 공개일자 2004년05월24일

(21) 출원번호 10-2002-0071989
(22) 출원일자 2002년11월19일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 황광조
경기도안양시만안구안양6동490-27무진빌라가-301

(74) 대리인 허용록

심사청구 : 없음

(54) 액정표시장치의 박막트랜지스터 및 그 제조방법

요약

본 발명에 따른 액정표시장치의 박막트랜지스터 제조방법은, 기판 상에 게이트 전극, 게이트 절연막, 액티브층, 소스/드레인 전극 및 보호층이 순차적으로 형성되는 액정표시장치의 박막트랜지스터 제조방법에 있어서, 기판 상에 AlNd 및 Mo 금속이 순차적으로 증착되고, 그 위에 포토레지스트가 도포되는 단계와; 포토마스크로 노광 및 현상하여 포토레지스트 패턴을 남기며, 습식 식각을 통해 AlNd/ Mo의 중첩 게이트 전극이 형성되는 단계와; 상기 남아 있는 포토레지스트 패턴 및 상기 중첩 게이트 전극의 상부에 형성된 Mo금속이 건식 식각을 통해 연속적으로 제거되는 단계가 포함되는 것을 특징으로 한다.

이와 같은 본 발명에 의하면, 중첩 게이트 전극 형성시 상부에 형성된 금속을 식각함에 따라 에지 부분의 수직 단차에 의한 게이트 절연막 공간 형성이 방지되어 박막트랜지스터의 절연특성이 개선되며, 건식 식각을 통해 포토레지스트를 제거함으로 처리속도 및 효율성이 향상되는 장점이 있다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치의 액정패널을 개략적으로 도시한 도면.

도 2a 내지 도 2b는 종래의 액정표시장치의 한 화소에 형성된 박막트랜지스터의 평면도 및 단면도를 도시한 도면.

도 3은 종래의 중첩 게이트 전극이 형성된 박막트랜지스터의 제조공정을 나타내는 단면도.

도 4는 종래의 중첩 게이트 전극의 각 금속의 두께를 나타내는 도면.

도 5는 본 발명에 의한 중첩 게이트 전극이 형성된 박막트랜지스터의 제조공정을 나타내는 단면도.

도 6은 본 발명에 따른 중첩 게이트 전극의 각 금속의 두께를 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

17 : 화소전극 25 : 소스 전극

26 : 드레인 전극 27 : 액티브층

25a, 26a : 오믹 콘택층 22 : 기판

30 : AlNd금속 32 : Mo금속

34 : $AlMo_x$ 35, 35' : 중첩 게이트 전극

36 : 포토레지스트 패턴 38 : 게이트 절연막

40 : 진성반도체층 42 : 불순물 반도체층

44 : 보호막층 46 : 드레인 콘택홀

48 : 공간(void) 50 : Mo 두께

52, 62 : $AlMo_x$ 두께 54, 64 : AlNd 두께

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 액정표시장치의 스위칭 소자로 사용되는 박막트랜지스터 및 그 제조방법에 관한 것이다.

최근 평판형 디스플레이장치를 대표하는 액정표시장치가 예컨대 텔레비전 또는 노트북 컴퓨터를 포함하는 다양한 제품에 적용되고 있고, 특히 각 화소마다 박막트랜지스터(Thin Film Transistor)로 이루어진 스위칭 소자가 구비되는 액티브 매트릭스형 액정표시장치는 고속의 응답특성을 가지면서 높은 화소수에 적합하여 CRT(Cathode ray tube)에 대응하는 고화질의 표시화면을 제공하면서 대형화 및 컬러화의 실현에 대한 가능성을 제공하고 있다.

도 1은 일반적인 액정표시장치의 일부를 나타내는 분해 사시도이다.

도 1을 참조하면, 일반적인 컬러 액정표시장치는 블랙매트릭스(6)와 서브컬 러필터(적, 녹, 청)(8)를 포함한 컬러필터(7)와, 컬러필터 상에 투명한 공통전극(18)이 형성된 상부기판(5)과, 화소영역(P)과 상기 화소영역 상에 형성된 화소전극(17)과 스위칭소자(T)를 포함한 어레이배선이 형성된 하부기판(22)으로 구성되며, 상기 상부기판(5)과 하부기판(22) 사이에는 앞서 설명한 액정(14)이 충진되어 있다.

상기 하부기판(22)은 어레이 기판이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스 형태로 위치하고, 이러한 다수의 박막트랜지스터를 교차하여 지나가는 게이트 라인(13)과 데이터 라인(15)이 형성된다.

또한, 상기 화소영역(P)은 상기 게이트 라인(13)과 데이터 라인(15)이 교차하여 정의되는 영역이다. 상기 화소영역(P) 상에 형성되는 화소전극(17)은 인듐-틴-옥사이드(ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명전도성 금속을 사용한다.

상기와 같이 구성되는 액정표시장치(11)는 상기 화소전극(17) 상에 위치한 액정층(14)이 상기 박막트랜지스터로부터 인가된 신호에 의해 배향되고, 상기 액정층의 배향정도에 따라 상기 액정층을 투과하는 빛의 양을 조절하는 방식으로 화상을 표현한다.

도 2a 내지 도 2b는 종래의 액정표시장치의 한 화소에 형성된 박막트랜지스터의 평면도 및 단면도를 도시한 도면이다. 즉, 도 2는 도 1에서의 박막트랜지스터(T)영역에 대한 도면이다.

도 2a을 참조하면, 액정표시장치의 개개의 화소에는 각각 상기 박막트랜지스 터(T)가 형성되어 있으며, 상기 개개의 화소는 상기 박막트랜지스터(T)에 의해 스위칭되어 구동된다.

즉, 상기 화소의 화소전극(17)은 상기 박막트랜지스터(T)의 드레인 전극(26)과 접촉되어 형성되어 있으며, 상기 화소전극(17)에 인가되는 전압은 데이터라인(15)에 인가되는 소정의 전압이 상기 액티브층(27)을 통과하여 상기 드레인 전극(26)을 거쳐 상기 화소전극(17)에 인가되는 것이다. 단, 데이터라인(15)에 인가되는 소정의 전압은 게이트라인(13)에 인가되는 전압이 일정한 문턱전압(Vth) 이상 되는 경우에만 상기 액티브층(27)을 통과할 수 있게 된다.

결국, 상기 박막트랜지스터(T)는 상기 각각의 화소를 구동시키는 스위칭 소자로서의 역할을 하는 것이다.

도 2b는 도 2a에 도시된 박막트랜지스터의 특정부분(A-A')에 대한 단면도이며, 이를 참조하면 상기 박막트랜지스터(T)는 액티브층(27)과 게이트 전극(24)과 소스/ 드레인 전극(25, 26)으로 구성되며, 상기 액티브층(27)은 상기 소스 전극(25) 및 드레인 전극(26) 사이에 형성됨을 알 수 있다.

최근 들어 액정표시장치가 대형화 됨에 따라 저저항의 게이트 금속을 사용하여 라인지연시간을 최소화하기 위한 노력으로 게이트 배선 금속 박막 형성에는 알루미늄(Al)이 주로 사용되지만, 상기 Al은 화학적인 내성이 약하고 후속의 고온 공정에서의 힐록(hillock)이 발생할 가능성이 있으므로 상기 게이트 금속 형성시 Al합금형태(AlNd 등)를 사용하고 있다.

그러나, 상기 Al합금을 사용하는 경우에도 게이트 절연막 형성에 따른 고온 공정시 힐록 발생의 가능성이 높을 뿐만 아니라 상위 층의 에칭제(etchant)에 의한 불리한 영향(attack)을 받기 쉽다는 점 등을 고려하여, 상기 Al합금을 채용하는 경우에는 상기 Al합금 위에 몰리브덴(Mo) 등의 금속으로 이루어진 배리어층(barrier layer)을 더 구성하여 게이트 중첩층(gate double layer)에 의한 중첩 게이트 전극을 형성한다.

도 3은 종래의 중첩 게이트 전극이 형성된 박막트랜지스터의 제조공정을 나타내는 단면도이다.

먼저 AlNd(30) 및 Mo 금속(32)을 기판(22) 상에 순차적으로 스퍼터링 방법 등에 의해 증착하고, 그 위에 포토레지스트(Photo Resist : PR)를 도포한 뒤 포토마스크를 사용하여 노광한 다음 현상을 통해 일정한 포토레지스트 패턴(36)을 남기며, 이를 습식 식각(wet etching)하여 게이트 전극(35)을 형성한다. 단, 이 때 상기 Mo 금속(32)과 AlNd 금속(30)의 계면에는 이들의 결합에 의해 $AlMo_x$ (34)가 형성된다. (a)

다음으로 상기 남아있는 포토레지스트 패턴(36)을 wet strip 방식으로 제거하여 최종적으로 AlNd/ Mo 금속의 중첩 게이트 전극(35)이 형성된다. 단, 상기 중첩 게이트 전극(35)에는 step profile 즉, 계단형 단차가 형성되는데 이는 상기 베리어층으로 형성되는 Mo 금속(32)의 에지부의 테이프 앵글(tape angle)이 거의 90 ° 에 가깝고, 그 두께가 두껍기 때문이다. (b)

다음으로 상기 중첩 게이트 전극(35)이 형성된 기판 위에 질화실리콘(SiNx) 또는 산화실리콘(SiO_2)과 같은 무기 절연물질의 게이트 절연막(38)과, 순수 아몰퍼스(amorphous) 실리콘과 같은 진성반도체 물질(40)과, n+ 또는 p+형 불순물이 첨가된 반도체물질(42)을 연속으로 증착한다. 이 경우 PECVD(Plasma enhanced CVD)방법으로 300 ~ 450℃에서 상기 층들을 증착함에 있어 상기 중첩 게이트 전극(35)의 Mo 금속층(32)에 의해 AlNd금속(30)의 힐록 발생이 방지된다.(c)

그 다음으로 몰리브덴(Mo), 탄탈(Ta), 텅스텐(Wo), 안티몬(Sb)과 같은 고융점을 갖는 소스/ 드레인 금속을 증착하고 PR 마스크 패턴을 이용하여 소스/ 드레인 전극(25, 26)을 형성하고 PR을 제거한다. 이 때, 상기 소스 전극(25)과 드레인 전극(26) 하부의 불순물 반도체층은 옴익 콘택층(25a)(26a)이 되며, 그 사이의 진성 반도체층이 액티브층(27)이 된다. (d)

다음으로 상기 소스/ 드레인 전극(25, 26)이 형성된 기판(22)의 전면에 걸쳐 절연물질을 증착하여 보호막층(44)(passivation layer)을 형성하며, 상기 보호막층(44)은 화소전극(미도시)과 드레인 전극(26)이 전기적으로 접촉되기 위해 일정부분 즉, 드레인 콘택홀(46)이 식각된다. (e)

마지막으로 상기 보호막층(44)의 전면에 투명 도전성의 물질인 ITO(인듐-틴-옥사이드)를 증착하고, 상기 투명전극을 패터닝하여 상기 드레인 콘택홀(46)을 통해 상기 드레인 전극(26)과 전기적으로 연결되어 상기 화소(P)에 증착되는 화소전극(17)을 형성한다. (f)

상기와 같은 공정을 통해 종래의 중첩 게이트 전극이 형성된 박막트랜지스터 가 제조된다.

그러나, 상기 중첩 게이트 전극(35)에는 step profile 즉, 베리어층으로 형성되는 Mo 금속(32)의 에지부에 계단형 단차를 가지게 되는데, 이 때 그 위에 증착되는 게이트 절연막(38)이 상기 에지부분에 대해서는 공간(void)(48)이 형성되며, 이와 같이 상기 공간(48)이 형성되면 그 공간에 의해 게이트 전극(35)이 상위 층의 에칭제(etchant)에 의한 불리한 영향(attack)을 받기 쉬워 절연특성이 저하되는 문제가 발생된다.

즉, 상기와 같은 문제는 상기 Mo 금속의 두께가 두껍고 에지부의 테이프 앵글(tape angle)이 거의 90 ° 에 가까운 계단형 단차를 이루고 있기 때문에 발생되는 것이다.

도 4는 종래의 중첩 게이트 전극의 각 금속의 두께를 나타내는 도면이다.

도 4를 참조하면, AlNd/ Mo 금속의 중첩 게이트 전극에서 상기 Mo 금속과 AlNd 금속의 계면에는 이들의 결합에 의해 $AlMo_x$ 가 형성되며, 이 때 일반적으로 상기 Mo의 두께(50)는 500~ 1000Å이고, AlNd의 두께(54)는 2000~ 3000Å이고, 그 사이의 $AlMo_x$ 의 두께(52)는 약 200Å정도의 두께를 갖음을 알 수 있다.

결국 상기 Mo 및 $AlMo_x$ 의 두께가 700 ~ 1200Å가 되고, 에지부의 테이프 앵글(tape angle)이 거의 90 ° 에 가까운 계단형 단차를 이루고 있기 때문에 그 위에 증착되는 게이트 절연막이 상기 에지부분에 대해서는 공간(void)이 형성되며, 상기 공간에 의해 게이트 전극이 상위층 즉, ITO 전극의 에칭제(etchant)에 의한 불리한 영향(attack)을 받아 절연특성이 저하되는 문제가 발생된다.

발명이 이루고자 하는 기술적 과제

본 발명은 중첩 게이트 전극을 형성한 뒤 포토레지스트를 제거함에 있어 건식 식각을 통해 상기 포토레지스트 뿐 아니라 중첩 게이트 전극의 상위 금속을 제거함으로써 계단형 단차를 줄이고, 박막트랜지스터의 절연특성이 개선되는 액정표시장치의 박막트랜지스터 및 그 제조방법을 제공함이 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 따른 액정표시장치의 박막트랜지스터는, 게이트 전극, 게이트 절연막, 액티브층, 소스/ 드레인 전극 및 보호층이 순차적으로 형성된 액정표시장치의 박막트랜지스터에 있어서, 상기 게이트 전극이 AlNd 및 $AlMo_x$ 가 중첩되어 형성됨을 특징으로 한다.

또한, 상기 게이트 전극의 상부에 형성된 $AlMo_x$ 는 상기 AlNd과 그 위에 증착된 Mo의 계면에 형성되며, 상기 Mo를 제거하여 AlNd 및 $AlMo_x$ 가 중첩되는 상기 게이트 전극이 형성됨을 특징으로 한다.또한, 상기 AlNd의 두께는 2000~3000Å이고, 상기 $AlMo_x$ 의 두께는 약 200Å임을 특징으로 한다.

또한, 상기 목적을 달성하기 위하여 본 발명에 따른 액정표시장치의 박막트랜지스터 제조방법은, 기판 상에 게이트 전극, 게이트 절연막, 액티브층, 소스/ 드레인 전극 및 보호층이 순차적으로 형성되는 액정표시장치의 박막트랜지스터 제조방법에 있어서, 기판 상에 AlNd 및 Mo 금속이 순차적으로 증착되고, 그 위에 포토 레지스트가 도포되는 단계와; 포토마스크로 노광 및 현상하여 포토레지스트 패턴을 남기며, 습식 식각을 통해 AlNd/ Mo의 중첩 게이트 전극이 형성되는 단계와; 상기 남아 있는 포토레지스트 패턴 및 상기 중첩 게이트 전극의 상부에 형성된 Mo 금속이 건식 식각을 통해 연속적으로 제거되는 단계가 포함되는 것을 특징으로 한다.

또한, 상기 AlNd과 그 위에 증착된 Mo의 계면에 $AlMo_x$ 가 형성되며, 상기 Mo 금속이 제거됨에 따라 상기 중첩 게이트 전극은 상기 AlNd 및 $AlMo_x$ 가 중첩되어 형성되는 것을 특징으로 한다.

또한, 상기 건식 식각시 사용되는 에칭제는 플로린/ 산소(SF_6/O_2) 혼합 가스이며, 상기 에칭제에 있어 상기 플로린의 분율은 0 ~ 20%임을 특징으로 한다.

이와 같은 본 발명에 의하면, 중첩 게이트 전극 형성시 상부에 형성된 금속을 식각함에 따라 에지 부분의 수직 단차에 의한 게이트 절연막 공간 형성이 방지되어 박막트랜지스터의 절연특성이 개선되며, 건식 식각을 통해 포토레지스트를 제거함으로 처리속도 및 효율성이 향상되는 장점이 있다.

이하 첨부된 도면을 참조하여 본 발명에 의한 실시예를 상세히 설명하도록 한다.

도 5는 본 발명에 의한 중첩 게이트 전극이 형성된 박막트랜지스터의 제조공정을 나타내는 단면도이다.

먼저 AlNd(30) 및 Mo금속(32)을 기판(22) 상에 순차적으로 스퍼터링 방법 등에 의해 증착하고, 그 위에 포토레지스트(Photo Resist : PR)를 도포한 뒤 포토마 스크를 사용하여 노광한 다음 현상을 통해 일정한 포토레지스트 패턴(36)을 남기며, 이를 습식 식각(wet etching)하여 AlNd/ Mo의 중첩 게이트 전극(35)을 형성한다. (a)

단, 이 때 상기 Mo 금속(32)과 AlNd 금속(30)의 계면에는 이들의 결합에 의해 $AlMo_x$ (34)가 형성되며, 일반적으로 상기 AlNd(30)의 두께는 2000~3000Å이고, 상기 Mo(32)의 두께는 500~1000Å이며, 상기 Mo 금속(32)과 AlNd 금속(30)의 계면에 형성된 $AlMo_x$ (34)의 두께는 약 200Å이 된다.

그 다음으로는 상기 남아 있는 포토레지스트 패턴(36) 및 상기 중첩 게이트 전극(35)의 상부에 형성된 Mo 금속(32)을 건식 식각을 통해 연속적으로 제거한다. (b)

이 때 상기 건식 식각에 사용되는 에칭제(etchant)는 플로린/ 산소(SF_6/O_2) 혼합 가스이며, 상기 플로린/ 산소(SF_6/O_2) 대비 플로린(SF_6)의 분율은 0 ~ 20%의 범위로 딜루션(dilution)된다.

상기와 같은 에칭제를 통해 상기 포토레지스트(36)를 빠르게 제거할 수 있으며, 상기 포토레지스트(36)의 제거 후 연속적으로 상기 중첩 게이트 전극(35)의 상부에 베리어층(barrier layer)으로 형성된 Mo금속(32)을 제거할 수 있는 것이다.

이와 같이 상기 Mo 금속(32)을 제거함에 따라 종래의 중첩 게이트 전극(35)의 문제가 되었던 중첩 게이트 전극의 step profile 즉, 계단형 단차를 개선할 수 있게 된다.좀 더 상세히 설명하면 종래의 중첩 게이트 전극(35)의 베리어층으로 형 성되는 Mo 금속(32)은 그 에지부의 테이프 앵글(tape angle)이 거의 90° 에 가깝고, 그 두께가 두껍기 때문에 계단형 단차가 생길 경우 그 위에 증착되는 게이트 절연막이 상기 에지부분에 대해서 공간(void)이 형성되어 상기 중첩 게이트 전극이 상위층에 대한 에칭제(etchant)에 불리한 영향(attack)을 받아 절연특성이 저하되는 문제가 발생될 수 있는데, 본 발명의 경우에는 500~1000Å의 두께에 해당하는 Mo금속(32)을 제거함으로써 상기와 같이 게이트 절연막이 상기 에지부에 대해 공간(void)가 생기는 것을 개선할 수 있다는 것이다.

즉, 본 발명에 의한 중첩 게이트 전극(35')는 Mo 금속(32)이 제거되는 대신 그 역할을 $AlMo_x$ (34)가 하는 것으로, 상기 AlNd층(30) 위에 $AlMo_x$ (34)가 형성되어 있기 때문에 중첩 게이트 전극의 역할 즉, 힐록(hillock) 발생을 억제하고 상위 층의 에칭제(etchant)에 의한 불리한 영향(attack)을 제거하는 역할은 그대로 수행하게 되는 것이다.

다음으로는 상기 중첩 게이트 전극(35')이 형성된 기판 위에 질화실리콘(SiNx) 또는 산화실리콘(SiO_2)과 같은 무기 절연물질의 게이트 절연막(38)과, 순수 아몰퍼스(amorphous) 실리콘과 같은 진성반도체 물질(40)과, n+ 또는 p+형 불순물이 첨가된 반도체물질(42)을 연속으로 증착한다. (c)

이 경우 PECVD(Plasma enhanced CVD)방법으로 300 ~ 450Å에서 상기 층들을 증착 함에 있어 상기 중첩 게이트 전극(35)의 $AlMo_x$ 층(34)에 의해 AlNd금속(30)의 힐록 발생이 방지된다.

또한, 상기 $AlMo_x$ 층(34)의 두께가 약 200Å에 불과하므로 에지부의 계단형 단차에 따른 문제를 고려하지 않아도 된다. 즉, 종래의 Mo층을 베리어층으로 사용할 경우의 게이트 절연막(38)이 상기 에지부에 대해 공간(void)가 생기는 문제가 이를 통해 개선되는 것이다.

그 다음 PR 마스크 패턴을 이용하여 액티브층(27) 및 오믹콘택층(25a, 26a)을 형성하고 상기 PR을 제거하며, 몰리브덴(Mo), 탄탈(Ta), 텅스텐(Wo), 안티몬(Sb)과 같은 고융점을 갖는 소스/ 드레인 금속을 증착하고 PR 마스크 패턴을 이용하여 소스/ 드레인 전극(25, 26)을 형성하고 PR을 제거한다. 이 때, 상기 소스 전극(25)과 드레인 전극(26) 하부의 불순물 반도체층(42)은 옴익 콘택층(43a)(43b)이 된다. (d)

다음으로 상기 소스/ 드레인 전극(25, 26)이 형성된 기판의 전면에 걸쳐 절연물질을 증착하여 보호막층(44)(passivation layer)을 형성하며, 상기 보호막층(44)은 화소전극(미도시)과 드레인 전극(47)이 전기적으로 접촉되기 위해 일정부분 즉, 드레인 콘택홀(46)이 식각된다. (e)

마지막으로 상기 식각된 보호막층(44)의 전면에 투명 도전성의 물질인 ITO(인듐-틴-옥사이드)를 증착하고, 상기 투명전극을 패터닝하여 상기 드레인 콘택홀(46)을 통해 상기 드레인 전극(26)과 전기적으로 연결되어 상기 화소(P)에 증착되는 화소전극(17)을 형성한다. (f)

상기와 같은 공정을 통해 본 발명에 의한 중첩 게이트 전극이 형성된 박막트 랜지스터가 제조된다.

도 6은 본 발명에 따른 중첩 게이트 전극의 각 금속의 두께를 나타내는 도면이다.

앞서 설명한 도 4를 참조하면, AlNd/ Mo 금속의 중첩 게이트 전극에서 상기 Mo 금속과 AlNd 금속의 계면에는 이들의 결합에 의해 $AlMo_x$가 형성되며, 이 때 일반적으로 상기 Mo의 두께는 500~ 1000Å이고, AlNd 는 2000~ 3000Å이고, 그 사이의 $AlMo_x$는 약 200Å정도의 두께를 갖음을 알 수 있다. 이에 본 발명은 상기 Mo금속을 건식 식각에 의해 제거함으로 본 발명에 의한 중첩 게이트 전극의 경우에는 도 6에 나타난 바와 같이 상기 AlNd의 두께(64)는 2000~ 3000Å이고, 그 사이의 $AlMo_x$의 두께(62) 는 약 200Å정도의 두께를 갖는다.

결국 이를 통해 베리어층의 역할을 하는 $AlMo_x$의 두께가 약 200??에 불과하므로 비록 에지부의 테이프 앵글(tape angle)이 거의 90° 에 가까운 계단형 단차를 이루고 있다 하더라도 그 위에 증착되는 게이트 절연막이 상기 에지부분에 대해서는 공간(void)이 형성되지 않게 되며, 이에 따라 종래의 경우 발생되던 상기 공간에 의해 게이트 전극이 상위층 즉, ITO 전극의 에칭제(etchant)에 의한 불리한 영향(attack)을 받아 절연특성이 저하되는 문제가 개선되는 것이다.

발명의 효과

이상의 설명에서와 같이 본 발명에 따른 액정표시장치의 박막트랜지스터 및 그 제조방법에 의하면, 중첩 게이트 전극 형성시 상부에 형성된 금속을 식각함에 따라 에지 부분의 수직 단차에 의한 게이트 절연막 공간 형성이 방지되어 박막트랜지스터의 절연특성이 개선되며, 건식 식각을 통해 포토레지스트를 제거함으로 처리속도 및 효율성이 향상되는 장점이 있다.

(57) 청구의 범위

청구항 1.
게이트 전극, 게이트 절연막, 액티브층, 소스/ 드레인 전극 및 보호층이 순차적으로 형성된 액정표시장치의 박막트랜지스터에 있어서,

상기 게이트 전극이 AlNd 및 $AlMo_x$가 중첩되어 형성됨을 특징으로 하는 액정표시장치의 박막트랜지스터.

청구항 2.
제 1항에 있어서,

상기 게이트 전극의 상부에 형성된 $AlMo_x$는 상기 AlNd과 그 위에 증착된 Mo의 계면에 형성되며, 상기 Mo를 제거하여 AlNd 및 $AlMo_x$가 중첩되는 상기 게이트 전극이 형성됨을 특징으로 하는 액정표시장치의 박막트랜지스터.

청구항 3.
제 1항에 있어서,

상기 AlNd의 두께는 2000~3000Å이고, 상기 $AlMo_x$의 두께는 약 200Å임을 특징으로 하는 액정표시장치의 박막트랜지스터.

청구항 4.
기판 상에 게이트 전극, 게이트 절연막, 액티브층, 소스/ 드레인 전극 및 보호층이 순차적으로 형성되는 액정표시장치의 박막트랜지스터 제조방법에 있어서,

기판 상에 AlNd 및 Mo 금속이 순차적으로 증착되고, 그 위에 포토레지스트가 도포되는 단계와,

포토마스크로 노광 및 현상하여 포토레지스트 패턴을 남기며, 습식 식각을 통해 AlNd/ Mo의 중첩 게이트 전극이 형성되는 단계와,

상기 남아 있는 포토레지스트 패턴 및 상기 중첩 게이트 전극의 상부에 형성된 Mo 금속이 건식 식각을 통해 연속적으로 제거되는 단계가 포함되는 것을 특징으로 하는 액정표시장치의 박막트랜지스터 제조방법.

청구항 5.
제 4항에 있어서,

상기 AlNd과 그 위에 증착된 Mo의 계면에 $AlMo_x$ 가 형성되며, 상기 Mo 금속이 제거됨에 따라 상기 중첩 게이트 전극은 상기 AlNd 및 $AlMo_x$ 가 중첩되어 형성되는 것을 특징으로 하는 액정표시장치의 박막트랜지스터 제조방법.

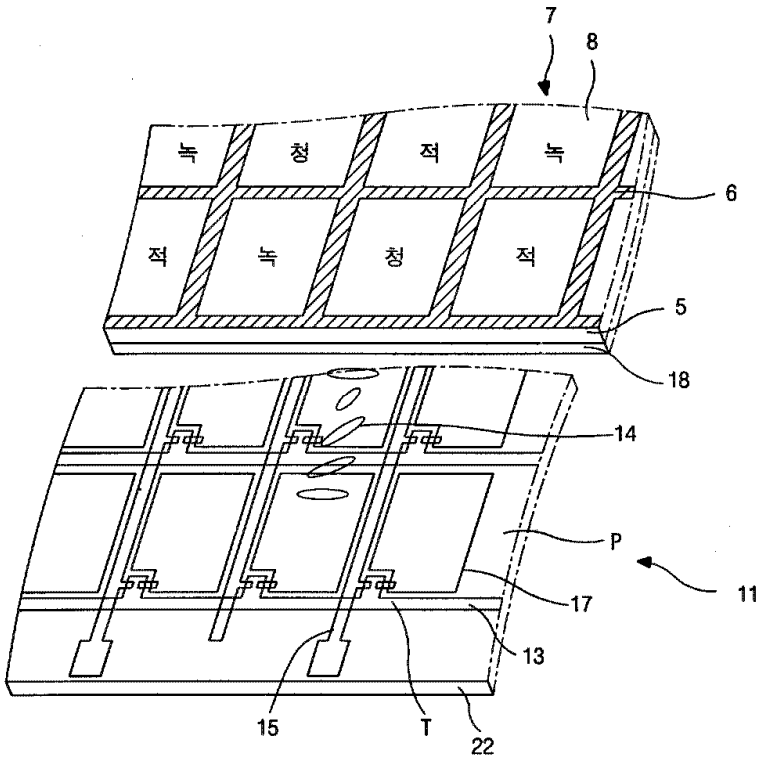
청구항 6.
제 4항에 있어서,

상기 건식 식각시 사용되는 에칭제는 플로린/ 산소(SF_6/O_2) 혼합 가스임을 특징으로 하는 액정표시장치의 박막트랜지스터 제조방법.

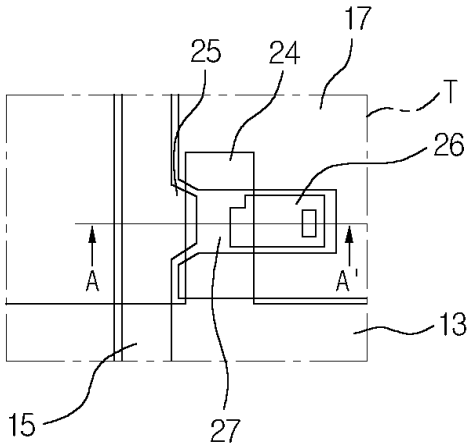
청구항 7.
제 6항에 있어 상기 에칭제에 있어 상기 플로린의 분율은 0 ~ 20%임을 특징으로 하는 액정표시장치의 박막트랜지스터 제조방법.

도면

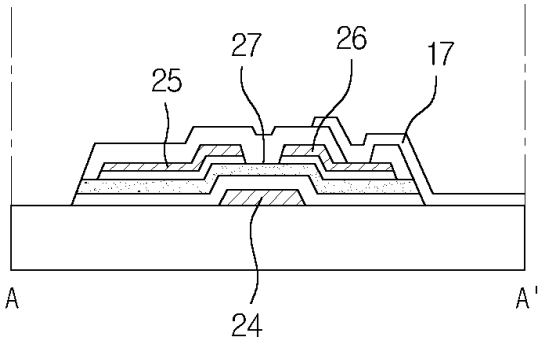
도면1



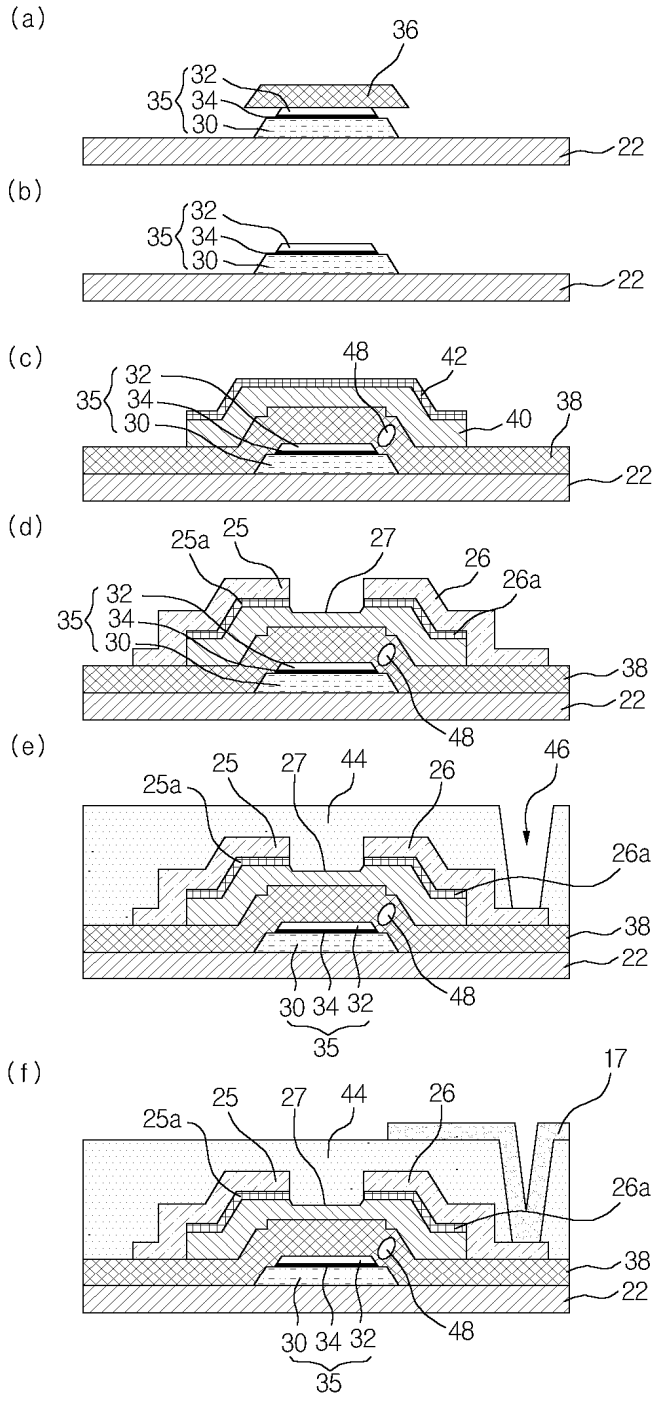
도면2a



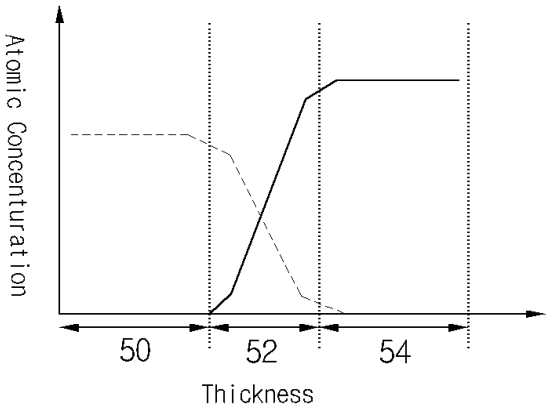
도면2b



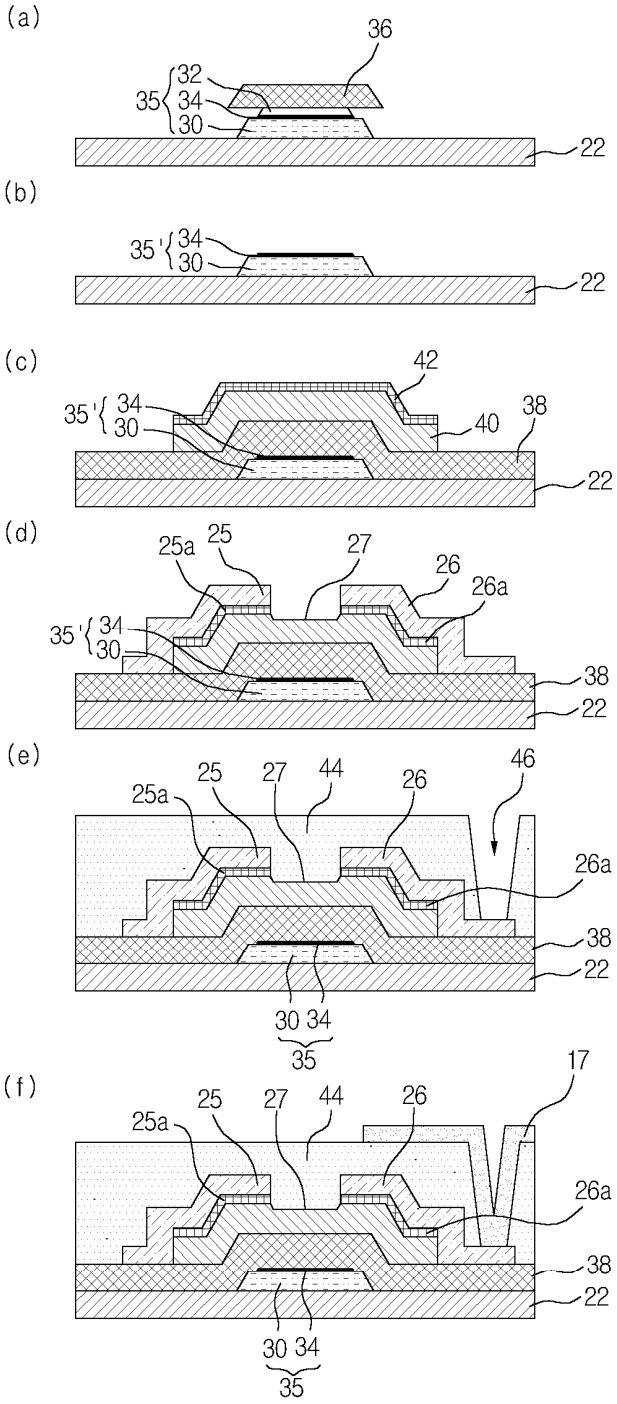
도면3


(a)
36
32
35
34
30
22
(b)
32
35
34
30
22
(c)
48
42
32
35
34
30
40
38
22
(d)
25a
25
27
26
26a
32
35
34
30
38
22
48
(e)
25
27
44
26
46
25a
26a
38
22
48
30
34
32
35
(f)
17
25
27
44
26
25a
26a
38
22
48
30
34
32
35

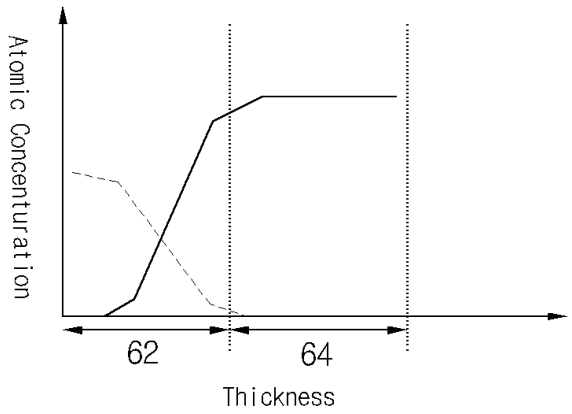
도면4



도면5


(a)
36
32
35
34
30
22
(b)
35'
34
30
22
(c)
42
35'
34
30
40
38
22
(d)
25a
25
27
26
26a
35'
34
30
38
22
(e)
46
25
27
44
26
25a
26a
38
22
30
34
35
(f)
17
25
27
44
26
25a
26a
38
22
30
34
35

도면6



专利名称(译)	液晶显示器的薄膜晶体管及其制造方法		
公开(公告)号	KR1020040043621A	公开(公告)日	2004-05-24
申请号	KR1020020071989	申请日	2002-11-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HWANG KWANGJO 황광조		
发明人	황광조		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1343 G02F1/136 H01L21/0273 H01L29/786		
外部链接	Espacenet		

摘要(译)

对于液晶显示器的薄膜晶体管制造方法，其中上部AlNd和Mo金属依次蒸发到根据本发明的液晶显示器的薄膜晶体管制造方法中，其中栅极电极，栅极绝缘层，有源层，源/漏电极和保护层依次形成在基板上的基板上，包括涂覆光刻胶的步骤：AlNd / Mo的重叠栅电极通过湿法蚀刻的步骤暴露于形成的光掩模：如上所述保留的光致抗蚀剂图案和通过干蚀刻连续去除在重叠栅电极的上部形成的Mo金属的步骤。根据本发明，根据蚀刻，在形成栅极绝缘层的重叠栅电极的上部中形成的金属被边缘区域的垂直台阶阻止，并且具有提高处理速度的优点，光致抗蚀剂通过干蚀刻的薄膜晶体管的绝缘性能得到改善和有效。