(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G09G 3/36

(11) 공개번호 특2001-0070236
(43) 공개일자 2001년07월25일

(21) 출원번호 10-2000-0070555
(22) 출원일자 2000년11월24일

(30) 우선권주장 2000-001490 2000년01월07일 일본(JP)

(71) 출원인 후지쯔 가부시끼가이샤
아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1

(72) 발명자 누끼야마가즈히로
일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쯔가부시끼가이샤내
가따가와고이찌
일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쯔가부시끼가이샤내

(74) 대리인 문두현
문기상

심사청구 : 없음

(54) 액정 표시 장치 및 그의 구동 방법

요약

본 발명은 시스템 측으로부터의 데이터 이네이블 신호에 의거하여 수직 귀선 소거 기간 중에 제 1 라인째의 예비 기록을 최적으로 행할 수 있는 액정 표시 장치의 구동 방법을 제공하는 것을 목적으로 한다.

본 발명은 데이터 이네이블 신호(Enab)에 의거하여 계조 데이터를 소정의 화소에 출력하는 출력 타이밍을 제어하는 액정 표시 장치의 구동 방법에 있어서, 데이터 이네이블 신호의 주기를 수평 주기로서 계측하고(스텝 S2 S5), 수평 주기에 의거하여 수직 귀선 소거 기간 중에 가상 이네이블 신호를 생성하고(스텝 S6 S8), 데이터 이네이블 신호와 가상 이네이블 신호의 합계를 수직 주기로서 유지하며(스텝 S10), 적어도 표시 개시 라인의 화소에 대하여, 수직 주기보다 수평 주기가 정수배 짧은 시점에서 계조 데이터의 예비 기록을 행하도록(스텝 S11 S15) 구성한다.

대표도
도 6

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시형태에 의한 액정 표시 장치의 개략 구성을 나타내는 도면.

도 2는 본 발명의 제 1 실시형태에 의한 표시 구동 방법을 이용한 액정 표시 장치의 개략 구성을 나타내는 도면.

도 3은 시스템 측으로부터 입력되는 데이터 이네이블 신호(Enab)를 설명하는 도면.

도 4는 본 발명의 제 1 실시형태에 의한 액정 표시 장치의 구동 방법에서의 수직 주기(1V) 유지회로를 나타내는 도면.

도 5는 본 발명의 제 1 실시형태에 의한 액정 표시 장치의 구동 방법에서의 감산회로를 나타내는 도면.

도 6은 본 발명의 제 1 실시형태에 의한 액정 표시 장치의 구동 방법에서의 수평 카운터(22) 및 수직 카운터(24)의 동작 순서를 주로 설명하는 도면.

도 7은 본 발명의 제 1 실시형태에 의한 액정 표시 장치의 구동 방법을 설명하는 타이밍차트를 나타내는 도면.

도 8은 게이트 지연에 대해서 설명하는 도면.

도 9는 본 발명의 제 2 실시형태에 의한 액정 표시 장치의 개략 구성을 나타내는 도면.

도 10은 본 발명의 제 2 실시형태에 의한 액정 표시 장치의 구동 방법을 설명하는 타이밍차트를 나타내는 도면.

도 11은 본 발명의 제 2 실시형태의 변형예에 따른 액정 표시 장치의 개략 구성을 나타내는 도면.

도 12는 본 발명의 제 2 실시형태의 변형예에 따른 액정 표시 장치의 래치 펄스 생성회로의 개략 구성을 나타내는 도면.

도 13은 본 발명의 제 2 실시형태의 변형예에 따른 액정 표시 장치의 래치 펄스 생성회로의 동작의 타이밍차트를 나타내는 도면.

도 14는 본 발명의 제 2 실시형태의 변형예에 따른 액정 표시 장치의 구동 방법을 설명하는 타이밍차트를 나타내는 도면.

도 15는 종래의 액정 표시 장치의 구동 방법을 설명하는 도면.

도면의 주요부분에 대한 부호의 설명

1 : 어레이 기판 2 : 게이트 버스 라인

4 : 데이터 버스 라인 6 : TFT

8 : 화소 전극 10 : 액정

14 : 대향 기판 16 : 데이터 드라이버

18 : 게이트 드라이버 20 : 타이밍 컨트롤러

22 : 수평 카운터 26 : 신호선

24 : 수직 카운터 28, 30 : 제어선

40, 42, 56 : 인버터 44, 46, 48, 50 : AND 회로

52, 54 : KJFF 58, 60 : NOR 회로

62, 64, 66 : EXOR 회로 70, 71 : 래치 펄스 공급용 라인

80, 82 : DFF 84 : 인버터

86 : NAND 회로 88 : 이네이블(enable) 카운터

90 : JKFF

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치 및 그의 구동 방법에 관한 것으로, 특히, 박막트랜지스터(TFT)를 스위칭 소자에 사용한 액티브 매트릭스형 액정 표시 장치(이하, TFT-LCD라고 한다) 및 그의 구동 방법에 관한 것이다.

최근, TFT-LCD의 고정밀화에 따라, 각 TFT의 게이트에 인가되는 게이트 펄스의 구동 주파수가 높아지고 있다. 또한, TFT-LCD의 대화면화에 따라, 매트릭스 형상으로 배열된 복수의 화소에 게이트 펄스를 공급하는 게이트 버스 라인 또는 계조 데이터를 출력하는 데이터 버스 라인의 배선 길이는 길어져, 그들의 배선 저항이 높아지는 경향이 있다. 따라서, 게이트 버스 라인의 배선 저항에 의해 게이트 파형이 라운딩되고, 게이트 드라이버로부터 멀어지는 영역에서 게이트 오프의 타이밍이 지연되는 문제가 발생한다. 이것을 회피하기 위해, 도 15에 나타낸 바와 같은 종래의 구동 방식이 채용되고 있다. 이 구동 방법은, 데이터 드라이버로부터 데이터 버스 라인에 출력되는 데이터 전압(Vd)의 데이터 전환 타이밍을 게이트 드라이버로부터 게이트 버스 라인에 출력된 게이트 펄스(Vg)의 게이트 오프 타이밍보다 나중으로 늦추도록 하고 있다. 즉, 게이트 온 후의 데이터 세트업(set-up) 시간(DS) 내에 소정의 계조 전압을 TFT의 드레인 전극에 인가하는 동시에, 그 상태를 게이트 오프 후에도 데이터 유지 기간(DH)만큼 유지하도록 하고 있다. 이와 같이 함으로써, 게이트 파형의 라운딩에 의한 게이트 오프의 타이밍 지연이 데이터 유지 기간(DH) 내일 경우, 확실하게 데이터 전압(Vd)을 화소에 기록할 수 있게 된다.

그런데, 이 데이터 유지 시간(DH)은 TFT-LCD의 대화면화가 진행되어 패널 사이즈가 커질수록 길게 해야만 한다. 또한, 데이터 버스 라인의 배선 저항이 높아짐에 따라, 데이터 드라이버의 출력 지연 시간이 길어지기 때문에, 데이터 세트업 시간(DS)도 패널 사이즈가 커질수록 길게 해야만 한다. 한편, 패널의 고정밀화에 따라 게이트 버스 라인의 수가 증가하면, 데이터 세트업 시간(DS)과 데이터 유지 기간(DH)과의 합계인 수평 주기는 짧게 해야만 한다. 즉, 종래의 데이터 구동 방법에서는, TFT-LCD의 고정밀화 및 대화면화의 요구를 동시에 만족시키기 위해서는, 수평 주기를 단축시키는 동시에, 데이터 유지 기간(DH) 및 데이터 세트업 시간(DS)을 연장시킨다는 모순이 생긴다.

또한, SVGA(화소 수가 800 ×600) 또는 XGA(화소 수가 1024 ×768)에서는 수평 주기가 표준에서 각각 26.4μs 및 20.7μs이다. 따라서, 화면 사이즈가 대각 15인치에서 XGA 정도까지의 패널일 경우, 도 15에 나타낸 바와 같은 1 프레임 중에 게이트 온이 1회의 통상 구동에서 데이터 기록 시간이 부족하지는 않다. 그러나, 대각 15인치를 초과하는 화면

사이즈에서 SXGA(화소 수가 1280 ×1024) 이상의 고정밀한 대화면으로 되면, 통상 구동에서는 계조 데이터를 만족스럽게 기록할 수 없을 가능성이 생기게 된다. 예를 들면, SXGA에서는 수평 주기가 표준에서 15.6μs 필요하나, 화면 사이즈가 대각 17 18인치 정도에서 후술하는 도트 반전 구동 방식을 사용한 SXGA 패널에서는, 3μs 이상의 데이터 유지 시간(DH)과 10μs 이상의 데이터 세트업 시간(DS)이 필요하게 된다. 따라서, 충분한 데이터 기록을 위한 마진을 얻을 수 없게 될 가능성이 있다.

그래서, 종래에는 데이터 전압의 기록 부족에 의한 표시 불균일 또는 플리커(flicker) 등의 표시 결점을 해결하는 수단으로서, 본래의 표시 데이터를 기록하기 전에 동일 극성의 표시 데이터를 예비 기록하는 수법이 이용되고 있었다.

이 예비 기록의 수법에 대해서, 게이트 버스 라인 방향 및 데이터 버스 라인 방향의 양쪽에 관하여, 인접 화소(서브 픽셀) 사이에서 계조 데이터의 극성이 반전하고 있는 도트 반전 구동을 예로 들어 설명한다. 도트 반전 구동에서는, 일정 화소에 기록되는 계조 데이터의 극성은 동일 데이터 버스 라인 상에서 2라인 전의 게이트 버스 라인에 접속되어 있는 화소에 기록되는 계조 데이터의 극성과 동일해진다. 따라서, 해당 화소로의 예비 기록은 해당 화소로의 본래의 데이터 기록의 2라인 전에 행한다. 예를 들면, 표시 개시 라인으로부터 3라인째의 게이트 버스 라인 상의 화소는 표시 개시 라인(1라인째)의 화소에 계조 데이터가 기록될 때에 동시에 해당 계조 데이터가 예비 기록되고, 그 후, 본래의 계조 데이터가 기록되게 된다. 따라서, 이 구동 방식에서는 표시 개시 라인으로부터 n-2라인째와 n라인째의 게이트가 동시에 온(on) 상태로 된다. 이상과 같은 예비 기록 방식의 구동 방법에 대해서는, 예를 들어, 일본 특개평11-142807호 공보 또는 특개평5-265411호 공보 등에 개시되어 있다. 또한, 예비 기록을 이용하지 않고 기록 마진을 확보하기 위해서는, 프레임 반전 구동으로 하여 버스 라인의 데이터 전압 확정을 빠르게 하는 방법도 생각할 수 있으나, 프레임 반전 구동 시에는 데이터 버스 라인과 화소 전극 사이에 생기는 크로스토크가 문제시되기 때문에 바람직하지 않다.

발명이 이루고자 하는 기술적 과제

상술한 바와 같이, TFT-LCD가 고정밀화하여 게이트 주사 주기가 짧아지고, 대화면화에 의해 데이터 기록 시간이 짧아져도, 예비 기록을 행함으로써 충분한 기록 마진을 얻을 수 있게 된다.

그런데, 종래의 예비 기록에 의한 구동 방법, 예를 들어, 상술한 도트 반전 구동의 경우는, 게이트 버스 라인에서의 표시 개시 라인인 제 1 라인째와 그 다음의 제 2 라인째의 예비 기록에 대해서 전혀 규정하고 있지 않다. 게이트 버스 라인의 제 1 라인째와 제 2 라인째의 예비 기록은, 전(前)프레임의 표시 기간 내 또는 표시 종료 직후, 또는 수직 귀선 소거 기간 중에 행하는 것을 생각할 수 있다.

전프레임의 표시 기간 내 또는 표시 종료 직후에 제 1 및 제 2 라인째의 예비 기록을 행할 경우는, 전프레임에서의 예비 기록으로부터 해당 프레임에서의 본(本) 기록까지의 시간은 위조 데이터를 계속하여 표시하게 된다. 수직 귀선 소거 기간이 프레임의 표시 기간에 대하여 비교적 길 경우에는, 제 1 및 제 2 라인의 예비 기록에 의한 다른 라인과의 경계가 명확하게 확인되어 표시 품질이 저하된다는 문제가 발생한다.

수직 귀선 소거 기간 중에 제 1 및 제 2 라인째의 예비 기록을 행할 경우는, 예비 기록을 개시하기 위한 가상 게이트 버스 라인의 취급이 번거롭다는 문제가 발생한다. 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync)가 시스템 측으로부터 입력될 경우에는, Vsync와 Hsync로부터 표시 개시 시점을 알 수 있기 때문에, 표시 개시 시점보다 2라인 전부터 예비 기록을 개시할 수 있다.

그런데, 최근의 LCD의 표준 형태는 Hsync 및 Vsync를 이용하지 않고, 시스템 측으로부터 입력하는 데이터 이네이블 신호(Enab)만으로 화면 표시 위치를 결정하도록 하고 있다. 따라서, 데이터 이네이블 신호(Enab)에 의거하여 수직 귀선 소거 기간 중에 제 1 및 제 2 라인째의 예비 기록을 해야만 한다는 곤란이 생긴다.

본 발명의 목적은, 시스템 측으로부터의 데이터 이네이블 신호에 의거하여 수직 귀선 소거 기간 중에 적어도 제 1 라인째의 예비 기록을 최적으로 행할 수 있는 액정 표시 장치의 구동 방법을 제공함에 있다.

발명의 구성 및 작용

상기 목적은, 표시 데이터의 입력에 대응하여 입력되는 데이터 이네이블 신호에 의거하여 상기 표시 데이터를 소정의 화소에 출력하는 출력 타이밍을 제어하는 액정 표시 장치의 구동 방법에 있어서, 상기 데이터 이네이블 신호의 주기를 수평 주기로서 계측하고, 상기 수평 주기에 의거하여 수직 귀선 소거 기간 중에 가상 이네이블 신호를 생성하고, 상기 데이터 이네이블 신호와 가상 이네이블 신호의 합계를 수직 주기로서 유지하며, 적어도 표시 개시 라인의 화소에 대하여, 상기 수직 주기보다 상기 수평 주기가 정수배 짧은 시점에서 상기 표시 데이터의 예비 기록을 행하는 것을 특징으로 하는 액정 표시 장치의 구동 방법에 의해 달성된다.

또한, 상기 목적은, 표시 데이터의 입력에 대응하여 입력되는 데이터 이네이블 신호에 의거하여 상기 표시 데이터를 소정의 화소에 출력하는 출력 타이밍을 제어하는 타이밍 컨트롤러를 구비한 액정 표시 장치에 있어서, 상기 타이밍 컨트롤러는, 상기 데이터 이네이블 신호의 주기를 수평 주기로서 계측하고, 상기 수평 주기에 의거하여 수직 귀선 소거 기간 중에 가상 이네이블 신호를 생성하는 수평 카운터부와, 상기 데이터 이네이블 신호와 가상 이네이블 신호의 합계를 수직 주기로서 유지하는 수직 카운터를 가지며, 적어도 표시 개시 라인의 화소에 대하여, 상기 수직 주기보다 상기 수평 주기가 정수배 짧은 시점에서 상기 표시 데이터의 예비 기록을 행하는 것을 특징으로 하는 액정 표시 장치에 의해 달성된다.

또한, 상기 목적은, 복수의 박막트랜지스터의 게이트 전극과 접속하는 게이트 버스 라인에 게이트 신호를 출력하는 게이트 드라이버와, 상기 복수의 박막트랜지스터의 드레인 전극에 각각 접속된 복수의 데이터 버스 라인에 데이터를 출력하는 복수의 데이터 드라이버와, 상기 데이터 드라이버에 데이터 출력용의 래치 펄스를 출력하는 타이밍 컨트롤러를 갖는 액정 표시 장치에 있어서, 상기 타이밍 컨트롤러는 상기 복수의 데이터 드라이버에 대하여, 상기 게이트 드라이버로부터의 거리에 따라 상기 래치 펄스의 출력 타이밍을 변화시켜 공급하는 래치 펄스 공급용 라인을 갖고 있는 것을 특징으로 하는 액정 표시 장치에 의해 달성된다.

또한, 상기 목적은, 복수의 박막트랜지스터의 게이트 전극과 접속하는 게이트 버스 라인에 게이트 드라이버로부터 게이트 신호를 출력하고, 복수의 데이터 드라이버에 데이터 출력용의 래치 펄스를 출력하여 상기 복수의 박막트랜지스터의 드레인 전극에 각각 접속된 복수의 데이터 버스 라인에 데이터를 출력하는 액정 표시 장치의 구동 방법에 있어서, 상기 복수의 데이터 드라이버에 대하여, 상기 게이트 드라이버로부터의 거리에 따라 각각 출력 타이밍을 변화시킨 상기 래치 펄스를 래치 펄스 공급용 라인으로부터 공급하는 것을 특징으로 하는 액정 표시 장치의 구동 방법에 의해 달성된다.

본 발명의 제 1 실시형태에 의한 액정 표시 장치의 구동 방법을 도 1 내지 도 7을 이용하여 설명한다. 먼저, 본 실시형태에 의한 액티브 매트릭스형 액정 표시 장치로서 박막트랜지스터(TFT: Thin Film Transistor)를 스위칭 소자에 사용한 액정 표시 장치의 구조를 도 1을 이용하여 간단하게 설명한다. 도 1은 액정 표시 장치를 패널 상면으로부터 본 상태를 나타내고 있고, 어레이 기판(1)과 대향 기판(14)의 2개의 유리 기판 사이에 액정이 봉입(封入)되어 있다. 어레이 기판(1) 상에는, 예를 들어, 도면 좌우방향으로 연장되는 게이트 버스 라인(2)이 상하방향으로 평행하게 복수 형성되어 있다. 절연막(도시 생략)을 통하여 도면 상하방향으로 연장되는 데이터 버스 라인(4)이 좌우방향으로 평행하게 복수 형성되어 있다. 이와 같이 종횡으로 형성된 게이트 버스 라인(2)과 데이터 버스 라인(4)으로 획정된 매트릭스 형상의 복수 영역의 각각에는 화소 영역으로서 화소 전극(8)이 형성되어 있다.

각 화소 영역의 게이트 버스 라인(2)과 데이터 버스 라인(4)과의 교차점 근방에는 TFT(6)가 형성되고, TFT(6)의 게이트 전극은 게이트 버스 라인(2)에, 드레인 전극은 데이터 버스 라인(4)에 각각 접속되어 있다. 또한, 소스 전극은 화소 전극(8)에 접속되어 있다. 게이트 버스 라인(2)은 게이트 드라이버(18)에 의해 구동되고, 데이터 버스 라인(4)은 데이터 드라이버(16)에 의해 구동된다. 데이터 드라이버(16)로부터 각 데이터 버스 라인(4)에 대하여 계조 전압이 출력되고, 어느 하나의 게이트 버스 라인(2)에 게이트 신호가 출력되면, 해당 게이트 버스 라인(2)에 게이트 전극이 접속된 일련의 TFT(6)가 온으로 되어, 그들 TFT(6)의 소스 전극에 접속된 화소 전극(8)에 계조 전압이 인가된다.

다음으로, 본 실시형태에 의한 액정 표시 장치의 표시 구동계의 개략 구성에 대해서 도 2를 이용하여 설명한다. 도 2는 액정 표시 장치를 패널 상면으로부터 본 상태를 나타내고 있고, 어레이 기판(1) 상의 화소의 구성 등은 도 1에 나타낸 것과 동일하기 때문에 그들의 도시를 생략하고 있다.

도 2에 나타낸 바와 같이, 복수의 데이터 버스 라인(4)에 각각 데이터 신호를 출력하는 복수의 데이터 드라이버(16-1 16-n)가 패널 상측 왼쪽으로부터 오른쪽으로 차례로, 예를 들어, TAB(Tape Automated Bonding) 실장에 의해 어레이 기판(1)과 접속되어 있다. 상기와 동일하게 하여 패널 왼쪽 상측으로부터 하측으로 향하여 복수의 게이트 드라이버(18-1 18-n)가 설치되어 있다.

각 데이터 드라이버(16-1 16-n)에 접속된 복수의 데이터 버스 라인(4)은, 데이터 드라이버(16-1 16-n)의 순서로 게이트 드라이버(18-1 18-n)로부터 멀어지도록 배치되어 있다. 게이트 드라이버(18-1 18-n)는 게이트 드라이버 제어 신호를 출력하는 타이밍 컨트롤러(20)에 신호선(26)을 통하여 접속되어 있다.

타이밍 컨트롤러(20)에는 PC(퍼스널 컴퓨터) 등의 시스템 측으로부터 출력된 클록(CLK) 및 데이터 이네이블 신호(Enab), 계조 데이터(Data) 등이 입력된다.

타이밍 컨트롤러(20)는 수평 카운터(22) 및 수직 카운터(24)를 갖고 있다. 수평 카운터(22)는 외부 클록(CLK)에 의거하여 생성된 도트 클록(DCLK)의 수를 카운트한다. 수직 카운터(24)는 데이터 이네이블 신호(Enab)의 수를 카운트한다. 수평 및 수직 카운터(22, 24)의 출력값은 디코더(도시 생략)에 입력되어 다양한 제어 신호가 출력되도록 되어 있다.

타이밍 컨트롤러(20)는 게이트 드라이버 제어 신호로서 게이트 클록(GCLK)과 게이트 스타트 신호(GST)를 출력한다. 게이트 클록(GCLK)과 게이트 스타트 신호(GST)는 수평 카운터(22)에 의해 데이터 이네이블 신호(Enab)의 하강((또는 상승;이하, 대표적으로 「하강」이라고 한다) 에지로부터의 도트 클록(DCLK)의 수를 카운트하여 얻어지는 수평 주기에 의거하여 출력된다. 게이트 스타트 신호(GST)는 표시 프레임 내의 특정 위치에서 통상 1회 또는 2회 출력시키기 위해, 데이터 이네이블 신호(Enab)의 수를 수직 카운터(24)에 의해 카운트하여 얻어지는 수직 주기에 의거하여 출력된다.

타이밍 컨트롤러(20)는 데이터 드라이버 제어 신호로서 도트 클록(DCLK), 래치 펄스(LP), 극성 신호(POL), 및 데이터 스타트 신호(DST)를 출력한다. 래치 펄스(LP), 극성 신호(POL), 및 데이터 스타트 신호(DST)는 상술한 수평 카운터(22)에 의해 얻어지는 수평 주기에 의거하여 출력된다. 또한, 프레임 선두의 인식은 데이터 이네이블 신호(Enab)의 " L(로우)" 기간에서 도트 클록(DCLK)이 소정 클록 수를 초과하여 카운트됨으로써 판정된다. 이들 제어 신호는 제어선(30)을 통하여 데이터 드라이버(16-1 16-n)에 출력된다. 또한, 계조 데이터(Data)는 데이터 라인(28)을 통하여 데이터 드라이버(16-1 16-n)에 입력된다.

다음으로, 본 실시형태에 의한 액정 표시 장치의 표시 구동 방법에 대해서 도 3 내지 도 7을 이용하여 설명한다. 본 실시형태는 상술한 도트 반전 구동에서의 제 1 및 제 2 라인째의 예비 기록 동작에 대해서 설명하나, 다른 다양한 반전 구동 방식에도 동일하게 적용시킬 수 있다.

표시 라인 선두의 제 1 라인 및 그 다음의 제 2 라인에 대한 예비 기록은 수직 귀선 소거 기간에 행하지만, 예비 기록 데이터의 표시 기간을 짧게 하기 위해, 해당 표시 프레임 선두의 제 1 라인의 본 기록 시기에 가능한 한 가까운 시점의 수직 귀선 소거 기간 내에서 예비 기록을 개시시킬 필요가 있다. 도트 반전 구동에서는 2라인 주기로 데이터 라인의 극성이 변화하기 때문에, 선두의 데이터 이네이블 신호(Enab)보다 2수평 주기만큼 앞쪽으로부터 예비 기록을 개시하도록 한다.

그런데, 수직 귀선 소거 기간 중은 시스템 측으로부터 데이터 이네이블 신호(Enab)가 입력되지 않는다. 따라서, 먼저, 수직 귀선 소거 기간(VB)의 길이와 1수평 주기(1H)의 길이를 계측하여 유지시켜 둘 필요가 있다.

도 3은 수직 귀선 소거 기간을 포함하는 데이터 이네이블 신호(Enab)를 나타내고 있다. 도 3에 나타낸 바와 같이 데이터 이네이블 신호(Enab)의 하강 에지로부터 다음 하강 에지까지가 1수평 주기(1H)이다. 또한, 수직 귀선 소거 기간(VB) 중에는 데이터 이네이블 신호(Enab)는 출력되지 않는다.

이러한 데이터 이네이블 신호(Enab)에 의거하여, 이하에 나타낸 순서로 예비 기록 위치를 특정한다.

(1) 수평 카운터(22)를 사용하여, 일정 시점의 데이터 이네이블 신호(Enab)의 하강 에지로부터 다음 하강 에지까지의 도트 클록(DCLK)의 클록 수를 카운트하여, 1수평 주기(1H)에 대응하는 도트 클록(DCLK)의 클록 수를 1H 유지회로(도시 생략)에 유지하여 둔다.

그리고, 수직 귀선 소거 기간(VB) 중에 있어서는, 수평 카운터(22)에 의해 카운트되는 도트 클록(DCLK)의 수가 상기 1수평 주기(1H)에 도달할 때마다 수평 카운터(22)를 리세트하고, 리세트 시에 데이터 이네이블 신호(Enab)의 하강 에지의 대신으로서 가상 이네이블 신호(HPLS)(도 3 중의 점선으로 나타내고 있다)를 수직 카운터(24)에 출력한다.

(2) 수직 카운터(24)는 1 표시 프레임 중의 데이터 이네이블 신호(Enab)의 수(즉, 1수평 주기(1H)의 수)와 수직 귀선 소거 기간(VB) 중의 가상 이네이블 신호(HPLS)의 수를 카운트한다. SXGA의 경우는 1 프레임 중의 데이터 이네이블 신호(Enab)의 수는 1024이고, 수직 귀선 소거 기간(VB) 중의 가상 이네이블 신호(HPLS)의 수는 4 42 정도이다. 도 3에서는 HPLS="5를" 예시하고 있다.

이와 같이 본 실시형태에서의 수직 카운터(24)는, 수직 귀선 소거 기간(VB)에서의 가상 이네이블 신호(HPLS)의 수를 카운트하기 위해 비표시 기간도 동작하도록 되어 있다. 1 표시 프레임 중의 데이터 이네이블 신호(Enab)의 수와 수직 귀선 소거 기간(VB) 중의 가상 이네이블 신호(HPLS)의 수를 맞추어 1수직 주기(1V)로 하여, 1V 유지회로에 유지하여 둔다.

여기서, 1V 유지회로의 회로 구성예에 대해서 도 4를 이용하여 설명한다. 도 4에 나타낸 회로 예는 1V 유지회로에서의 최하위 비트의 유지회로를 나타내고 있다. 유지하는 비트 수에 따라 도 4에 나타낸 회로가 복수 배치되어 1V 유지회로가 구성된다. 도 4에 있어서, 수직 카운터(24)의 최하위 비트(CE1)의 출력단이 2입력 AND 회로(44)의 1 입력단자와, 인버터(40)를 통하여 2입력 AND 회로(46)의 1 입력단자에 접속되어 있다. 2개의 AND 회로(44, 46)의 다른 입력단자에는 수직 귀선 소거 기간(VB)에서의 가상 이네이블 신호(HPLS)가 입력된다.

AND 회로(44)의 출력단자는 JK 플립플롭(JKFF)(52)의 J 입력단자에 접속되고, AND 회로(46)의 출력단자는 JKFF(52)의 K 입력단자에 접속되어 있다. JKFF(52)의 클록 입력단자(CLK)에는 도트 클록(DCLK)이 입력된다. 이러한 구성에 의해, 수직 귀선 소거 기간(VB) 내에 수직 카운터(24)로부터 1수직 주기(1V)의 값을 추출하여 다음 표시 프레임 기간 중에 유지할 수 있다. JKFF(52)의 Q 출력단자로부터는 다음 표시 프레임 기간 중에 전프레임의 1수직 주기(1V)의 최하위 비트의 값(CV1)이 출력된다.

JKFF(52)의 Q 출력단자는 2입력 AND 회로(48)의 1 입력단자와, 인버터(42)를 통하여 2입력 AND 회로(50)의 1 입력단자에 접속되어 있다. 2개의 AND 회로(48, 50)의 다른 입력단자에는 데이터 유지 신호(EN001)가 입력된다. AND 회로(48)의 출력단자는 JKFF(54)의 J 입력단자에 접속되고, AND 회로(50)의 출력단자는 JKFF(54)의 K 입력단자에 접속되어 있다. JKFF(54)의 클록 입력단자(CLK)에는 도트 클록(DCLK)이 입력된다.

이러한 구성에 의해, 수직 귀선 소거 기간(VB) 중에 수직 카운터(24)로부터 추출한 1수직 주기(1V)의 값을 다음 수직 주기(다음 표시 프레임 기간 및 수직 귀선 소거 기간) 중에 유지할 수 있다. JKFF(54)의 Q 출력단자에는 다음 수직 주기 중에 앞의 수직 주기 내의 1수평 주기(1H)의 수 및 가상 이네이블 신호(HPLS)의 수의 합계의 최하위 비트 값(CL1)이 유지된다.

또한, 설명은 생략하지만 수평 카운터(22)와 접속되는 1H 유지회로도 동일한 회로 구성에 의해 실현할 수 있다.

(3) 다음으로, 1V 유지회로에 의해 유지된 1수직 주기 내의 1수평 주기(1H)와 가상 이네이블 신호(HPLS)의 수의 합계 수로부터 수직 귀선 소거 기간(VB)에서 예비 기록을 실행하기 위해 필요한 라인의 수를 감산한다. 이것은 도 5에 예시하는 감산회로에 의해 실현된다. 도 5는 도트 반전 구동에 있어서, 표시 개시 라인의 제 1 라인의 데이터의 본 기록보다 2수평 주기분 앞쪽의 시점에서 예비 기록을 개시시키기 위해, 1V 유지회로의 유지값으로부터 " 2" 를 감산하는 처리를 행하는 회로를 나타내고 있다. 도 5에 나타낸 감산회로는, 도 4에서 설명한 1V 유지회로로부터 출력되는 1수직 주기의 카운트 값의 하위 2비트째로부터 5비트째에 대해서 소정의 처리를 행하여 카운트 값의 감산을 하도록 되어 있다.

도 5에 있어서, 입력단(PL2)은 이네이블(56)을 통하여, 출력단(PM2)에 접속되는 동시에 배타적 논리합 회로(EXOR 회로)(62)의 1 입력단자에 접속되어 있다. 또한, 입력단(PL2)은 2입력 NOR 회로(58)의 1 입력단자와 3입력 NOR 회로(60)의 제 1 입력단자에 접속되어 있다. 입력단(PL3)은 EXOR 회로(62)의 다른 입력단자, 2입력 NOR 회로(58)의 다른 입력단자, 및 3입력 NOR 회로(60)의 제 2 입력단자에 접속되어 있다. 입력단(PL4)은 EXOR 회로(64)의 1 입력단자에 접속되고, NOR 회로(60)의 제 3 입력단자에 접속되어 있다. 입력단(PL5)은 EXOR 회로(66)의 1 입력단자에 접속되어 있다.

NOR 회로(58)의 출력단자는 EXOR 회로(64)의 다른 입력단자에 접속되어 있다. NOR 회로(60)의 출력단자는 EXOR 회로(66)의 다른 입력단자에 접속되어 있다. EXOR 회로(62)의 출력단자는 출력단(PM3)에, EXOR 회로(64)의 출력단자는 출력단(PM4)에, EXOR 회로(66)의 출력단자는 출력단(PM5)에 각각 접속되어 있다.

이러한 구성의 회로의 입력단(PL2 PL5)에, 도 4에서 설명한 1V 유지회로로부터 1수직 주기의 카운트 값의 하위 2비트째로부터 5비트째의 값으로서 표 1에 나타낸 D2 D5가 입력되면, 출력단(PM2 PM5)에는 표 2에 나타낸 Q2 Q5가 출력된다. 또한, 표 1의 " X" 는 " 1" 또는 " 0" 을 나타낸다.

[표 1]

D2	D3	D4	D5
1	X	X	X
0	1	X	X
0	0	1	X
0	0	0	1

[표 2]

Q2	Q3	Q4	Q5
0	D3	D4	D5
1	0	D4	D5
1	1	0	D5
1	1	1	0

이와 같이 하여, 표시 개시 라인인 제 1 라인의 데이터의 본 기록보다 2수평 주기분 앞쪽의 예비 기록을 개시시키는 시기를 결정할 수 있다.

이와 같이 본 실시형태에 의하면, 1 데이터 이네이블 신호(Enab)의 주기마다, 즉, 수평 주기마다 리세트되는 수평 카운터(22)와, 수직 주기를 결정하기 위해 데이터 이네이블 신호(Enab)와 가상 이네이블 신호(HPLS)의 합계 수를 카운트하는 수직 카운터(24)를 갖고 있기 때문에, 이들 수평 주기와 수직 주기에 의거하여 수직 귀선 소거 기간(VB) 내의 소정 시점에서 게이트 스타트 신호(GST)를 출력할 수 있게 된다. 또한, 각 표시 프레임에서의 수평 주기의 수는 일정한 것이 바람직하지만, 통상은 시스템 측의 PC 등에 의한 제어에 의해 일정 값이 확보되고 있기 때문에 문제는 발생하지 않는다.

다음으로, 도 6 및 도 7을 이용하여 본 실시형태에 의한 액정 표시 장치의 구동 방법을 보다 구체적으로 실시예를 이용하여 설명한다. 도 6은 도 7에 나타낸 동작 타이밍에서의 수평 카운터(22) 및 수직 카운터(24)의 동작을 나타내고 있다. 도 7은 SXGA로서 도트 반전 구동의 액정 표시 장치에 본 실시형태를 적용시킨 타이밍차트를 나타내고 있다.

도 6 및 도 7에 나타낸 예에서는, 표시 프레임은 1024(H)이고 수직 귀선 소거 기간(VB)은 도시하고 있지 않지만 6(H)이다. 상술한 바와 같이, 수직 카운터(24)는 수직 귀선 소거 기간(VB) 중에도 동작하여, 데이터 이네이블 신호(Enab)와 가상 이네이블 신호(HPLS)를 카운트한다. 따라서, 수직 카운터 값은 도 6에 나타낸 예에서는 1030까지 진행된다. 수직 카운터(24)는 수직 귀선 소거 기간(VB) 후의 다음 선두의 데이터 이네이블 신호(Enab)의 입력에 의해 리세트된다(스텝 S1 참조). 또한, 표시 프레임의 전환은 데이터 이네이블 신호(Enab)의 " L" 기간의 길이로 판정한다.

본 실시예에서는, 도 6의 스텝 S2 S5에 나타낸 바와 같이, 수직 카운터(24)의 카운터 값이 1022로 되면 수평 카운터(22)에 의한 1수평 주기(1H)의 계측을 개시하도록 하고 있다. 1수평 주기(1H)의 계측은, 선두의 데이터 이네이블 신호(Enab)로부터 1022번째의 데이터 이네이블 신호(Enab)의 하강 에지로부터, 1023번째의 데이터 이네이블 신호(Enab)의 하강 에지까지의 도트 클록(DCLK)의 수를 카운트함으로써 실행된다. 계측한 1수평 주기(1H)는 도 4에 나타낸 것과 동일한 회로 구성을 갖는 1H 유지회로에 의해 유지된다.

이어서, 스텝 S6에서 1024번째의 데이터 이네이블 신호(Enab)의 입력이 있으면 수평 카운터(22)를 리세트하고, 이후, 수평 카운터(22)에 의한 도트 클록(DCLK)의 카운트 수가 스텝 S5에서 유지하고 있는 1수평 주기(1H)로 될 때마다 수평 카운터(22)를 리세트한다(스텝 S7). 이것에 의거하여 수직 귀선 소거 기간(VB) 중에 가상 이네이블 신호(HPLS)가 출력된다.

한편, 수직 카운터(24)는 1024개의 데이터 이네이블 신호(Enab)를 카운트한 후, 이어서 가상 이네이블 신호(HPLS)를 카운트한다. 이 때, 도 4에 나타낸 1V 유지회로에는 가상 이네이블 신호(HPLS)의 입력 타이밍으로 수직 카운터(24)의 카운트 값이 판독된다(스텝 S8).

수직 카운터(24)에 의한 가상 이네이블 신호(HPLS)의 카운트 및 1V 유지회로로에서의 수직 카운터(24)의 카운터 값의 판독은, 데이터 이네이블 신호(Enab)의 상승 에지의 검출에 의해 종료된다(스텝 S9).

데이터 이네이블 신호(Enab)의 상승 에지가 검출되면 도 4에 나타낸 1V 유지회로에는 수직 주기 1V가 유지되는(스텝 S10) 동시에, 수직 카운터(24)는 리세트된다(스텝 S1).

1V 유지회로에 유지된 수직 주기(1V)는 도 5에 나타낸 감산회로에 출력되어, 2수평 주기분만큼 감산되어 예비 기록의 수직 위치가 산출된다(스텝 S11). 본 실시예에서는 선두의 데이터 이네이블 신호(Enab)의 입력 시점으로부터 1수직 주기(1V) 경과하는 것보다 1수평 주기(1H)의 2배만큼 짧은 시점에서, 다음 화면의 표시 개시 라인인 제 1 라인의 화소에 대한 예비 기록이 실행된다.

이어서, 선두의 데이터 이네이블 신호(Enab)의 입력 시점으로부터 1수직 주기(1V) 경과하는 것보다 1수평 주기(1H) 분만큼 짧은 시점에서, 제 2 라인에 대한 예비 기록이 실행된다(스텝 S12). 즉, 다음 화면의 표시 개시 라인인 제 1 라인보다 2수평 주기분 앞쪽에서 제 1 라인의 예비 기록이 실행된다. 이어서, 다음의 제 2 라인보다 2수평 주기분 앞쪽에서 제 2 라인의 예비 기록이 실행된다.

이어서, 예비 기록을 할 때마다 수직 카운터(24)의 카운트 값을 증가시키고, 스텝 S13에서 수직 주기(1V)로 되돌아가 있는지를 판단한다. 되돌아가 있지 않으면 예비 기록을 계속하고(스텝 S14), 수직 카운터(24)의 카운트 값이 수직 주기(1V)로 되면 예비 기록을 종료한다(스텝 S15). 또한, 스텝 S9에서 선두의 데이터 이네이블 신호(Enab)를 검출한 경우에도, 예비 기록은 종료된다(스텝 S15).

도 7에 나타낸 바와 같이, 예비 기록 시에는 타이밍 컨트롤러(20)로부터 게이트 스타트 신호(GST)가 게이트 드라이버(18)에 송출되고, 이어서 게이트 클록(GCLK)이 게이트 드라이버(18)에 출력된다. 게이트 드라이버(18)는 게이트 스타트 신호(GST)에 의해 동작을 개시하고, 게이트 클록(GCLK)이 입력될 때마다 차례로 개방한 게이트를 폐쇄하며, 다음 라인의 게이트를 개방하도록 기능한다. 한편, 데이터 드라이버(16)에는 표시 프레임 중에서의 제어 신호와 동일하게 도트 클록(DCLK), 래치 펄스(LP), 극성 신호(POL)가 출력된다. 극성 신호(POL)는 데이터 드라이버의 출력 극성을 제어하고, 각 라인의 극성 신호(POL)는 프레임마다 반전되도록 되어 있다.

또한, 도 7에 나타낸 프레임 판정 신호는 데이터 이네이블 신호(Enab)의 " L" 기간이 소정의 도트 클록(DCLK) 수에 도달하며, 라인 수가 1024에 도달하고 있을 때, 즉, 데이터 이네이블 신호(Enab)의 입력 수가 1024개일 때에 프레임 종료라고 판정시키기 위해 사용하는 신호이다. 데이터 이네이블 신호(Enab)의 수가 적을 때는 내부 타이밍으로 1024 라인까지 동작시키고, 많을 때는 그 데이터 이네이블 신호(Enab)를 무효로 하도록 되어 있다.

또한, 도 7에 나타낸 데이터 드라이버(16)로부터 출력되는 계조 데이터는 화소(RGB의 서브 픽셀을 정리한 것) 표시가 흑색으로 되도록 설정되어 있다. 이와 같이 함으로써, 수직 귀선 소거 기간(VB)에 예비 기록을 행하는 라인의 1 프레임 평균 휘도의 변화를 최소로 억제할 수 있다. 흑색 표시로 하면, (예비 기록 데이터의 표시 기간/1수직 주기)의 휘도 저하가 발생할 뿐이며, 본 실시예의 도트 반전 구동에서는, 2/1030로 되어 시각상으로는 전혀 문제가 없다. 또한, 예비 기록의 데이터의 극성은 본 데이터를 기록할 때의 극성과 동일하게 한다.

이상에서 설명한 바와 같이, 본 실시형태에 의하면, 타이밍 컨트롤러의 회로 규모를 그다지 대규모로 하지 않고, 화면 전체의 기록 부족 및 특정 라인의 불균일을 없앨 수 있게 된다.

본 발명은 상기 실시형태에 한정되지 않고 다양한 변형이 가능하다.

예를 들면, 상기 실시형태에서는 2라인 주기로 데이터 라인의 극성이 변화하는 도트 반전 구동을 예로 들고 있기 때문에, 선두의 데이터 이네이블 신호(Enab)보다 2수평 주기만큼 앞쪽으로부터 예비 기록을 개시하도록 하고 있다. 예를 들면, 2도트 반전 구동에서 본 발명을 적용시킬 경우에는, 4라인 주기로 데이터 라인의 극성이 변화하기 때문에, 선두의 데이터 이네이블 신호(Enab)보다 4수평 주기만큼 앞쪽으로부터 예비 기록을 개시하는 것이 좋다. 또한, 프레임 반

전 구동에서 본 발명을 적용시킬 경우에는, 1 프레임 기간에서 극성이 동일하기 때문에, 선두의 데이터 이네이블 신호(Enab)보다 1수평 주기만큼 앞쪽으로부터 예비 기록을 개시하는 것이 좋다.

다음으로, 본 발명의 제 2 실시형태에 의한 액정 표시 장치를 도 8 내지 도 14를 이용하여 설명한다. 상기 제 1 실시형태에서는, 액정 표시 장치의 대화면화 및 고정밀화에 의해 발생하는 화소 전극으로의 데이터의 기록 부족을 개선하기 위해, 예비 기록 방식의 구동 방법을 사용하는 것을 전제로 하고 있다. 이것에 대하여, 본 실시형태에 의한 액정 표시 장치는 예비 기록 방식과는 독립적으로 실시할 수 있다. 물론, 예비 기록 방식을 병용하는 것도 가능하다.

상기 제 1 실시형태에서의 도 1 및 도 2에 나타낸 액정 표시 장치에서 표시 화소 수의 대규모화를 실현하고자 할 경우, 게이트 버스 라인(2)의 미세화 및 배선 개수의 증대, 배선 길이의 연장 등이 필요하게 되어, 게이트 버스 라인(2)의 저항 또는 부하 용량을 증대시켜 게이트 지연이 발생한다. 게이트 지연이 현저해지면 표시 화면의 좌우방향에서 휘도 불균일이 발생하게 된다.

도 8a는 도 2에 나타낸 게이트 버스 라인(2)의 게이트 드라이버(18) 측에 가까운 위치에 있는 TFT(6)에 입력하는 게이트 신호(Gn)와 데이터 신호(계조 신호)(Dn)를 나타내고 있다. 횡방향은 시간을 나타내고, 종방향은 신호 레벨을 나타내고 있다. 도 8a에 나타낸 상태는 게이트 지연이 발생하고 있지 않기 때문에, 게이트 버스 라인(2) 상의 게이트 신호(Gn)는 사각형이다. 따라서, 소정의 데이터 출력 타이밍에 따라, 데이터 신호(Dn)가 데이터 버스 라인(4)에 출력되고 있는 시간 내에 TFT(6)의 게이트가 오프로 되기 때문에, 데이터를 화소 전극(8)에 정확하게 기록할 수 있다.

한편, 도 8b는 도 2에 나타낸 게이트 버스 라인(2)의 게이트 드라이버(18)로부터 떨어진 위치에 있는 TFT(6)에 입력하는 게이트 신호(Gf)와 데이터 신호(Df)를 나타내고 있다. 도 8b에 나타낸 상태는 게이트 지연이 발생하고 있고, 게이트 버스 라인(2) 상의 게이트 신호(Gf)는 라운딩되어 있다. 따라서, 데이터 버스 라인(4)에 도 8a에 나타낸 데이터 신호(Dn)와 동일한 데이터 출력 타이밍으로 데이터 신호(Df)가 출력되어도, 게이트 신호(Gf)의 라운딩 분만큼 TFT(6)의 게이트가 오프로 되는 시간이 지연되게 되어, 본래의 데이터 신호(Df)의 레벨과 상이한 부정확한 데이터를 화소 전극(8)에 기록하게 된다. 이 게이트 신호(Gf)의 라운딩에 의한 TFT(6)의 게이트 오프의 타이밍은 소정의 1수평 주기(1H)보다 길어져, 게이트 드라이버(18)로부터 멀어짐에 따라 현저해진다.

그래서, 본 실시형태에서는, 도 9에 나타낸 구성을 채용하여, 게이트 신호에 라운딩이 발생하여도, 데이터 신호를 화소 전극에 충분히 기록할 수 있도록 하고 있다. 도 9는 본 실시형태에 의한 액정 표시 장치의 개략 구성을 나타내고 있다. 또한, 본 실시형태에 있어서, 제 1 실시형태에서 이용한 도 1 및 도 2에 나타낸 구성과 동일한 기능 작용을 나타내는 구성요소에는 동일 부호를 첨부하여 그의 설명을 생략한다.

도 9에 나타낸 TFT-LCD(1)는 도 1 및 도 2에 나타낸 TFT-LCD와 비교하여, 래치 펄스 공급용 라인(70)이 배선되어 있는 점에 특징을 갖고 있다. 래치 펄스 공급용 라인(70)은, 예를 들어, 게이트 드라이버(18-1)로부터 인출되고, 도면 중의 가장 위쪽의 게이트 버스 라인(2)의 더 위쪽에 게이트 버스 라인(2)과 대략 평행하게 배선되어 있다. 그리고, 래치 펄스 공급용 라인(70)의 도중으로부터 분기한 분기 라인이 데이터 드라이버(16-1 16-n)의 각각에 배선되어 있다. 래치 펄스 공급용 라인(70)에는 게이트 드라이버(18-1) 및 제어선(26)을 통하여 타이밍 컨트롤러(20)로부터 래치 펄스(LP)가 공급되고, 제어선(30)에는 래치 펄스(LP) 이외의 도트 클록(DCLK), 극성 신호(POL), 및 데이터 스타트 신호(DST) 등이 출력된다.

따라서, 본 실시형태에 의한 TFT-LCD(1)에서의 래치 펄스(LP)는, 타이밍 컨트롤러(20)로부터 제어선(26) 및 게이트 드라이버(18-1)를 통하여 래치 펄스 공급용 드라이버(70)에 출력된다. 데이터 드라이버(16-1 16-n)에는 래치

펄스 공급용 라인(70n)에 접속된 각 분기 라인으로부터 차례로 래치 펄스(LP)가 입력된다. 래치 펄스 공급용 라인(70)의 선폭 및 길이는 게이트 버스 라인(2)과 대략 동일하며 게이트 버스 라인(2)에 평행하게 배선되어 있다. 따라서, 각 데이터 드라이버(16-1 16-n)에 입력하는 래치 펄스(LP)에 대하여 게이트 라운딩과 동일한 파형 라운딩을 발생시킬 수 있게 된다.

도 10a의 상단은 래치 펄스 공급용 라인(70)으로부터 게이트 드라이버(18) 측에 가까운 위치의 데이터 드라이버(16)에 입력하는 래치 펄스(LPn)를 나타내고 있다. 도 10a의 중단은 도 10a 상단의 래치 펄스(LPn)의 하강 에지에 동기하여 출력되는 데이터 신호(Dn)를 나타내고 있다. 또한, 도 10a의 하단은 게이트 버스 라인(2)의 게이트 드라이버(18) 측에 가까운 위치에 있는 TFT(6)에 입력하는 게이트 신호(Gn)를 나타내고 있다. 횡방향은 시간을 나타내고, 종방향은 신호 레벨을 나타내고 있다. 도 10a에 나타낸 상태에서는, 게이트 지연에 의한 게이트의 라운딩은 발생하고 있지 않고, 래치 펄스(LPn)에도 파형의 라운딩은 발생하고 있지 않다. 이 래치 펄스(LPn)에 의해 데이터 신호(Dn)가 데이터 버스 라인(4)에 출력되면, 데이터 전환 시점(도면 중의 β1로 나타낸다) 앞쪽의 데이터 신호(Dn)의 출력 기간(t1) 내에 TFT(6)의 게이트가 오프로 되기 때문에(도면 중의 α1로 나타낸다), 데이터를 화소 전극(8)에 정확하게 기록할 수 있다.

한편, 도 10b의 상단은 게이트 드라이버(18)로부터 떨어진 위치에 있는 데이터 드라이버(16)에 래치 펄스 공급용 라인(70)으로부터 입력하는 래치 펄스(LPf)를 나타내고 있다. 도 10b의 중단은 도 10b 상단의 래치 펄스(LPf)에 의해 출력되는 데이터 신호(Df)를 나타내고 있다. 또한, 도 10b의 하단은 게이트 버스 라인(2)의 게이트 드라이버(18)로부터 떨어진 위치에 있는 TFT(6)에 입력하는 게이트 신호(Gf)를 나타내고 있다. 도 10b에 나타낸 상태는 게이트 지연이 발생하고 있어, 게이트 버스 라인(2) 상의 게이트 신호(Gf)는 라운딩되어 있다. 한편, 그것에 동기하여 래치 펄스(LPf)에도 지연이 발생하여 파형이 라운딩되어 있다. 따라서, 지연을 발생시키고 있는 래치 펄스(LPf)에 의거하여 출력되는 데이터 신호(Df)의 출력 타이밍에도 지연이 발생한다. 데이터 신호(Df)의 출력이 지연됨으로써 데이터 신호(Dn)의 전환(도면 중의 β2로 나타낸다) 앞쪽의 데이터 신호(Df)의 출력 기간(t2) 내에 TFT(6)의 게이트가 오프로 되기 때문에(도면 중의 α2로 나타낸다), 게이트 지연이 발생하고 있어도 데이터를 화소 전극(8)에 정확하게 기록할 수 있다.

이와 같이, 래치 펄스(LP)를 게이트 신호와 동일하게 게이트 드라이버(18)로부터 액정 패널에 출력하고, 게이트 지연에 의한 게이트 라운딩과 동일한 파형 라운딩을 래치 펄스(LP)에 부여하여 차례로 데이터 드라이버(16)에 입력함으로써, 게이트 라운딩에 대응하여 데이터 신호의 출력을 늦출 수 있게 된다. 이와 같이 함으로써, 고정밀 및 대화면의 액정 표시 장치에서의 표시 불균일을 해소하여 고화질로 표시할 수 있게 된다.

다음으로, 본 실시형태에 의한 액정 표시 장치의 변형예에 대해서 도 11 내지 도 14를 이용하여 설명한다. 본 변형예에서도, 모든 데이터 드라이버(16)로부터 동시에 데이터 신호를 출력시키는 것이 아니라, 게이트 지연에 의한 게이트 파형의 라운딩에 맞추어 데이터 신호의 출력 타이밍을 차례로 늦추도록 하고 있다.

도 11에 나타낸 TFT-LCD(1)는 도 9에 나타낸 TFT-LCD(1)의 래치 펄스 공급용 라인(70) 대신에, 데이터 드라이버(16-1 16-n)의 각각에 래치 펄스 공급용 라인(71-1 71-n)이 배선되어 있는 점에 특징을 갖고 있다. 래치 펄스 공급용 라인(71-1 71-n)에는 타이밍 컨트롤러(20) 내에서 게이트 지연에 대응시켜 출력 타이밍을 차례로 늦춘 래치 펄스(LP-1 LP-n)가 각각 공급되도록 되어 있다. 따라서, 게이트 지연에 맞추어 데이터 신호를 출력할 수 있게 된다.

도 12 및 도 13을 이용하여, 타이밍 컨트롤러(20) 내에 설치된 래치 펄스 생성회로에 대해서 설명한다. 도 12는 래치 펄스 생성회로의 개략 구성을 나타내고, 도 13은 해당 회로 중의 각종 신호의 타이밍차트를 나타내고 있다.

도 12a에 나타낸 바와 같이 래치 펄스 생성회로는, 입력단자에 데이터 이네이블 신호(Enab)가 입력하는 D 플립플롭(DFF)(80)을 갖고 있다. 데이터 이네이블 신호(Enab)는 도 13에 나타낸 바와 같이, 신호(Enab)의 "H(하이)" 상태의 기간은 512 도트 클록 수이고, "L" 상태의 기간은 160 도트 클록 수이다. 따라서, 데이터 이네이블 신호(Enab)의 상승 에지로부터 다음 상승 에지까지 672 도트 클록 수이다.

도 12에 있어서, DFF(80)의 클록 입력단자에는 도트 클록(DCLK)이 입력되도록 되어 있다. DFF(80)의 출력단자는 다음 단의 DFF(82)의 입력단자에 접속되는 동시에, 2입력 NAND 회로의 1 입력단자에 접속되어 있다. 또한, DFF(82)의 클록 입력단자에는 도트 클록(DCLK)이 입력되도록 되어 있다. DFF(82)의 출력단자는 인버터(84)와 접속되고, 인버터(84)의 출력단자는 2입력 NAND 회로(86)의 다른 입력단자에 접속되어 있다. 이러한 구성에 의해 NAND 회로(86)의 출력단자에는, 도 13에 나타낸 바와 같이 데이터 이네이블 신호(Enab)의 상승 에지에 동기하여 하강하는 Enab 검출 신호(S)가 출력된다. Enab 검출 신호(S)는 도 12b에 나타낸 바와 같이, 도트 클록(DCLK)의 수를 카운트하는 카운터(88)에 입력한다. 카운터(88)는 Enab 검출 신호(S)의 입력 시마다 리세트되어 도트 클록(DCLK)의 수를 카운트한다.

카운터(88)로부터 출력되는 카운트 값 C1 C672는 디코더(도시 생략)에 입력된다. 디코더는 소정의 카운트 값으로 되면 JKFF(90)의 J 또는 K 입력단자에 펄스를 출력하도록 되어 있다. 예를 들면, 카운트 값이 C515로 되면 JKFF(90)의 J 입력단자에 펄스를 입력하고, 이어서 카운트 값이 C555로 되면 K 입력단자에 펄스를 입력한다. 이와 같이 하여, 도 13에 나타낸 바와 같이, 데이터 이네이블 신호(Enab)의 상승으로부터 다음 상승, 즉, 1수평 주기의 515/672로부터 555/672까지의 기간에 JKFF(90)의 출력단자로부터 래치 펄스(LP-n)를 출력할 수 있게 된다. 게이트 지연에 대응시켜 디코더로부터 JKFF(90)의 J 및 K 입력단자로의 펄스 입력 타이밍을 제어함으로써 출력 타이밍이 차례로 늦추어진 래치 펄스(LP-1 LP-n)를 공급할 수 있다.

도 14a의 상단은 래치 펄스 공급용 라인(71-1 71-n) 중에서 게이트 드라이버(18) 측에 가까운 위치의 데이터 드라이버(16)에 입력하는 래치 펄스(LPn)를 나타내고 있다. 도 14a의 중단은 도 14a 상단의 래치 펄스(LPn)의 하강 에지에 동기하여 출력되는 데이터 신호(Dn)를 나타내고 있다. 또한, 도 14a의 하단은 게이트 버스 라인(2)의 게이트 드라이버(18) 측에 가까운 위치에 있는 TFT(6)에 입력하는 게이트 신호(Gn)를 나타내고 있다. 횡방향은 시간을 나타내고, 종방향은 신호 레벨을 나타내고 있다. 도 14a에 나타낸 상태에서는, 게이트 지연에 의한 게이트 라운딩은 발생하고 있지 않아, 래치 펄스(LPn)에도 파형 라운딩은 발생하고 있지 않다. 이 래치 펄스(LPn)에 의해 데이터 신호(Dn)가 데이터 버스 라인(4)에 출력되면, 데이터 전환 시점(도면 중의 β1로 나타낸다) 앞쪽의 데이터 신호(Dn)의 출력 기간(t1) 내에 TFT(6)의 게이트가 오프로 되기 때문에(도면 중의 α1로 나타낸다), 데이터를 화소 전극(8)에 정확하게 기록할 수 있다.

한편, 도 14b의 상단은 래치 펄스 공급용 라인(71-1 71-n) 중에서 게이트 드라이버(18)로부터 떨어진 위치에 있는 데이터 드라이버(16)에 입력하는 래치 펄스(LPf)를 나타내고 있다. 도 14b의 중단은 도 14b 상단의 래치 펄스(LPf)에 의해 출력되는 데이터 신호(Df)를 나타내고 있다. 또한, 도 14b의 하단은 게이트 버스 라인(2)의 게이트 드라이버(18)로부터 떨어진 위치에 있는 TFT(6)에 입력하는 게이트 신호(Gf)를 나타내고 있다. 도 14b에 나타낸 상태는 게이트 지연이 발생하고 있어, 게이트 버스 라인(2) 상의 게이트 신호(Gf)는 라운딩되어 있다. 한편, 게이트 신호(Gf)의 라운딩에 대응시켜 래치 펄스(LPf)의 출력 타이밍을 시간(td)만큼 늦춤으로써, 출력되는 데이터 신호(Df)의 출력 타이밍도 시간(td)만큼 지연시킬 수 있다. 데이터 신호(Df)의 출력이 지연됨으로써 데이터 신호(Dn)의 전환(도면 중의 β2로 나타낸다) 앞쪽의 데이터 신호(Df)의 출력 기간(t2) 내에 TFT(6)의 게이트가 오프로 되기 때문에(도면 중의 α2로 나타낸다), 게이트 지연이 발생하고 있어도 데이터를 화소 전극(8)에 정확하게 기록할 수 있다.

이와 같이, 래치 펄스(LP)를 데이터 드라이버(16)의 수만큼 분할하여, 각각의 래치 펄스(LP)에 게이트 지연에 대응시킨 시간 차이를 부여함으로써, 게이트 라운딩에 대응하여 데이터 신호의 출력을 늦출 수 있게 된다. 이와 같이 함으로써, 고정밀 및 대화면의 액정 표시 장치에서의 표시 불균일을 해소하여 고화질로 표시할 수 있게 된다. 또한, 래치 펄스 공급용 라인(71-1 71-n)의 각각에 콘덴서 또는 저항을 접속하여 신호의 시간 지연을 미세 조정할 수 있도록 할 수도 있다.

본 발명은 상기 실시형태에 한정되지 않고 다양한 변형이 가능하다.

예를 들면, 상기 제 2 실시형태에서는 게이트 지연에 의한 휘도 불균일을 방지시키는 것을 목적으로 하고 있으나, 본 발명은 이것에 한정되지 않고, 예를 들어, 화소 결함 수복(修復)에 사용되는 리페어 배선에 있어서, 긴 배선 길이에 의한 데이터 지연에 의해 발생하는 휘선(輝線)의 발생을 방지하는 것에도 적용시킬 수 있다.

데이터 버스 라인의 결함을 수복하기 위한 리페어 배선은, 표시 영역을 사이에 두고 데이터 드라이버와 대향하는 영역까지 게이트 드라이버 측 기판을 통하여 배선되어 있다. 따라서, 리페어 배선의 배선 길이는 데이터 버스 라인보다 상당히 길다. 따라서, 결함 수복을 위해 리페어 배선을 사용할 경우, 리페어 배선에 출력되는 데이터 신호는 지연이 발생하여 파형이 라운딩된다. 이 데이터 신호 라운딩에 의해 리페어 배선에서의 데이터 출력 기간은 데이터 버스 라인의 그것보다 길어진다. 따라서, 게이트 지연이 발생하고 있을 경우에는, 데이터 버스 라인보다 리페어 배선 상의 TFT에 충분한 데이터 기록이 실행되기 때문에, 리페어 배선에 접속된 화소의 휘도가 상대적으로 높아지게 되어 휘선으로서 확인된다. 이것에 대하여, 상기 본 발명의 실시형태를 이용함으로써, 리페어 배선에서의 휘선이 두드러지게 나타나지 않도록 할 수 있다.

발명의 효과

이상과 같이, 본 발명에 의하면, 시스템 측으로부터의 데이터 이네이블 신호에 의거하여 수직 귀선 소거 기간 중에 적어도 제 1 라인째의 예비 기록을 최적으로 행할 수 있다.

또한, 본 발명에 의하면, 게이트 신호에 라운딩이 생겨도, 데이터 신호를 화소 전극에 충분히 기록할 수 있게 된다.

(57) 청구의 범위

청구항 1.

표시 데이터의 입력에 대응하여 입력되는 데이터 이네이블 신호에 의거하여 상기 표시 데이터를 소정의 화소에 출력하는 출력 타이밍을 제어하는 액정 표시 장치의 구동 방법에 있어서,

상기 데이터 이네이블 신호의 주기를 수평 주기로서 계측하고,

상기 수평 주기에 의거하여 수직 귀선 소거 기간 중에 가상 이네이블 신호를 생성하고,

상기 데이터 이네이블 신호와 가상 이네이블 신호의 합계를 수직 주기로서 유지하며,

적어도 표시 개시 라인의 화소에 대하여, 상기 수직 주기보다 상기 수평 주기가 정수배 짧은 시점에서 상기 표시 데이터의 예비 기록을 행하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

청구항 2.

표시 데이터의 입력에 대응하여 입력되는 데이터 이네이블 신호에 의거하여 상기 표시 데이터를 소정의 화소에 출력하는 출력 타이밍을 제어하는 타이밍 컨트롤러를 구비한 액정 표시 장치에 있어서,

상기 타이밍 컨트롤러는,

상기 데이터 이네이블 신호의 주기를 수평 주기로서 계측하고, 상기 수평 주기에 의거하여 수직 귀선 소거 기간 중에 가상 이네이블 신호를 생성하는 수평 카운터부와,

상기 데이터 이네이블 신호와 가상 이네이블 신호의 합계를 수직 주기로서 유지하는 수직 카운터를 가지며,

적어도 표시 개시 라인의 화소에 대하여, 상기 수직 주기보다 상기 수평 주기가 정수배 짧은 시점에서 상기 표시 데이터의 예비 기록을 행하는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

복수의 박막트랜지스터의 게이트 전극과 접속하는 게이트 버스 라인에 게이트 신호를 출력하는 게이트 드라이버와, 상기 복수의 박막트랜지스터의 드레인 전극에 각각 접속된 복수의 데이터 버스 라인에 데이터를 출력하는 복수의 데이터 드라이버와, 상기 데이터 드라이버에 데이터 출력용의 래치 펄스를 출력하는 타이밍 컨트롤러를 갖는 액정 표시 장치에 있어서,

상기 타이밍 컨트롤러는 상기 복수의 데이터 드라이버에 대하여, 상기 게이트 드라이버로부터의 거리에 따라 상기 래치 펄스의 출력 타이밍을 변화시켜 공급하는 래치 펄스 공급용 라인을 갖고 있는 것을 특징으로 하는 액정 표시 장치.

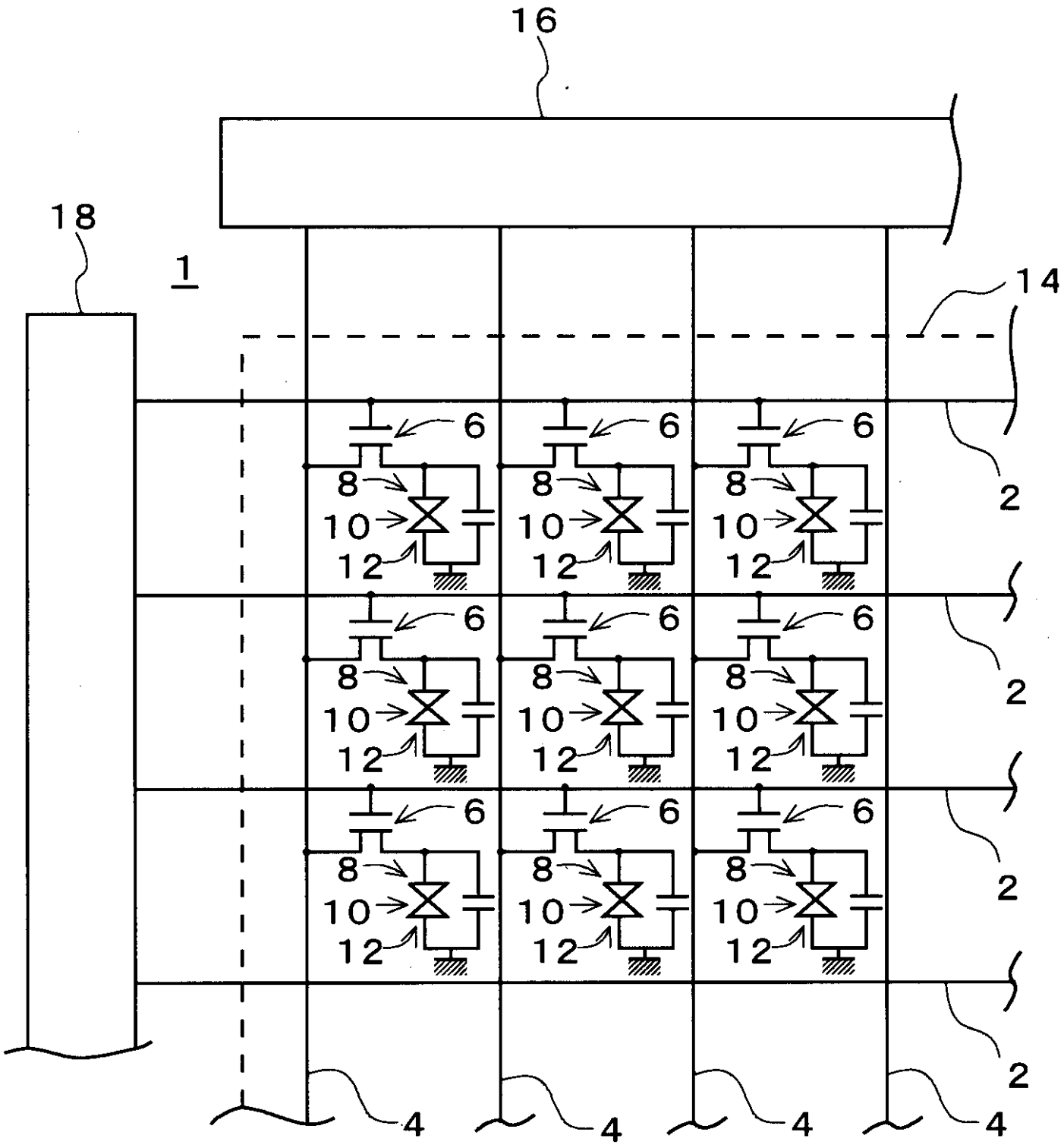
청구항 4.

복수의 박막트랜지스터의 게이트 전극과 접속하는 게이트 버스 라인에 게이트 드라이버로부터 게이트 신호를 출력하고, 복수의 데이터 드라이버에 데이터 출력용의 래치 펄스를 출력하여 상기 복수의 박막트랜지스터의 드레인 전극에 각각 접속된 복수의 데이터 버스 라인에 데이터를 출력하는 액정 표시 장치의 구동 방법에 있어서,

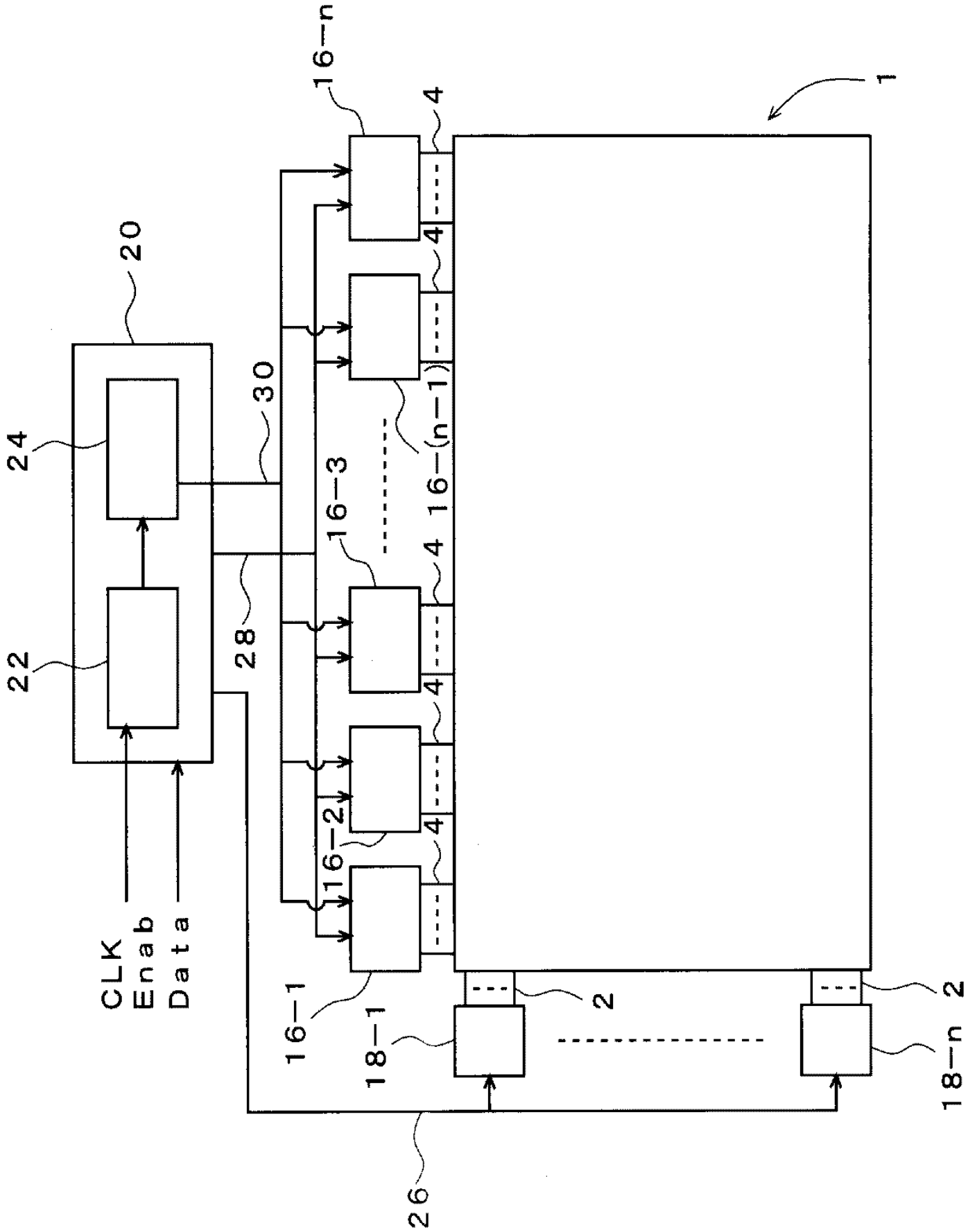
상기 복수의 데이터 드라이버에 대하여, 상기 게이트 드라이버로부터의 거리에 따라 각각 출력 타이밍을 변화시킨 상기 래치 펄스를 래치 펄스 공급용 라인으로부터 공급하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

도면

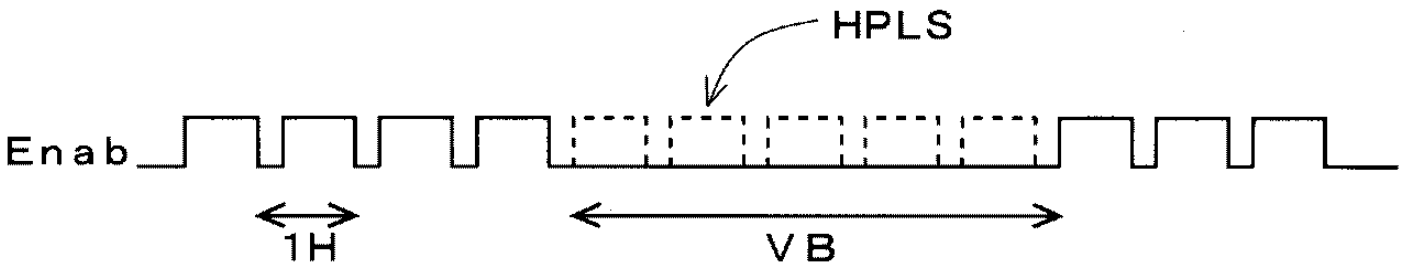
도면 1



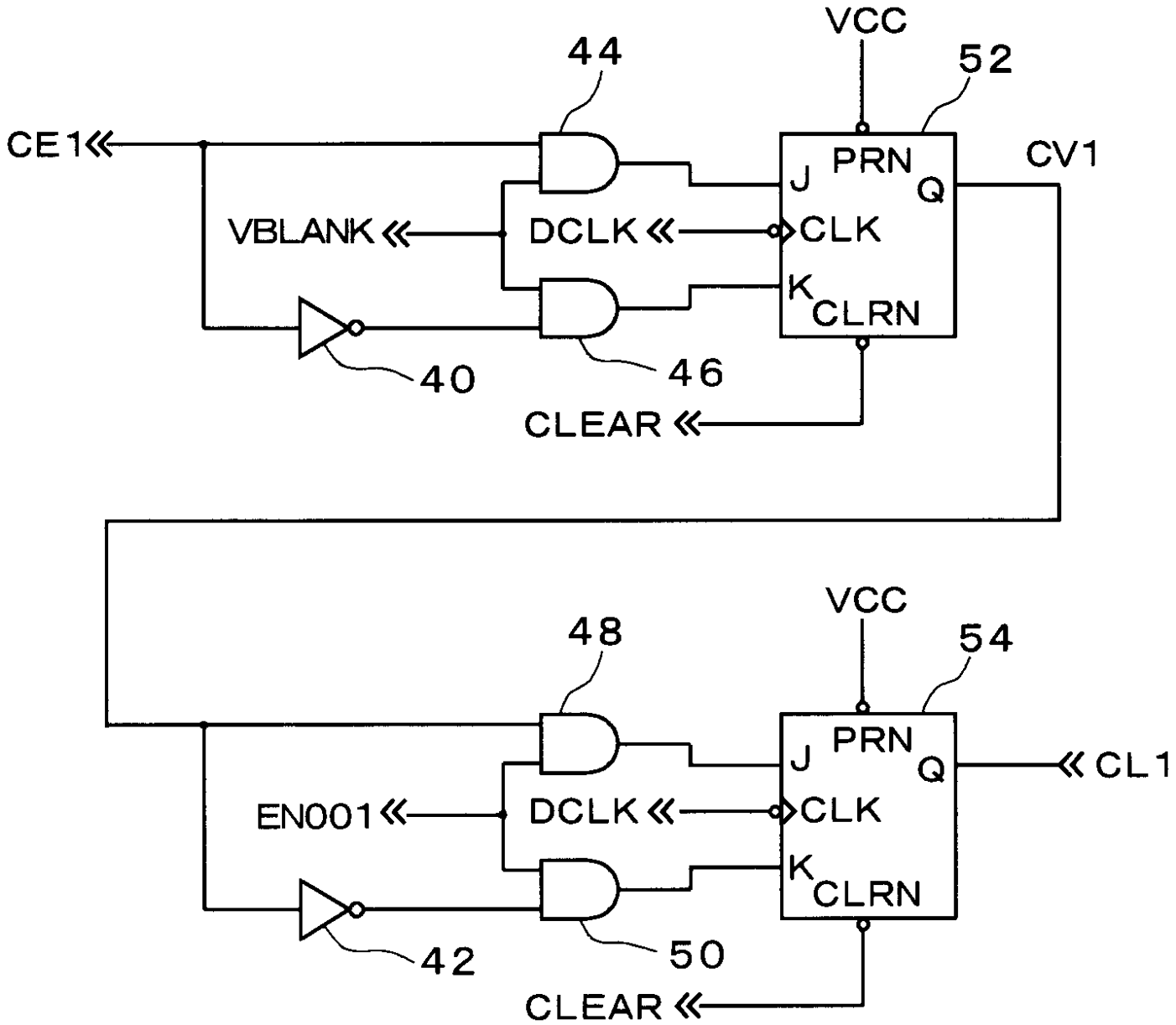
도면 2



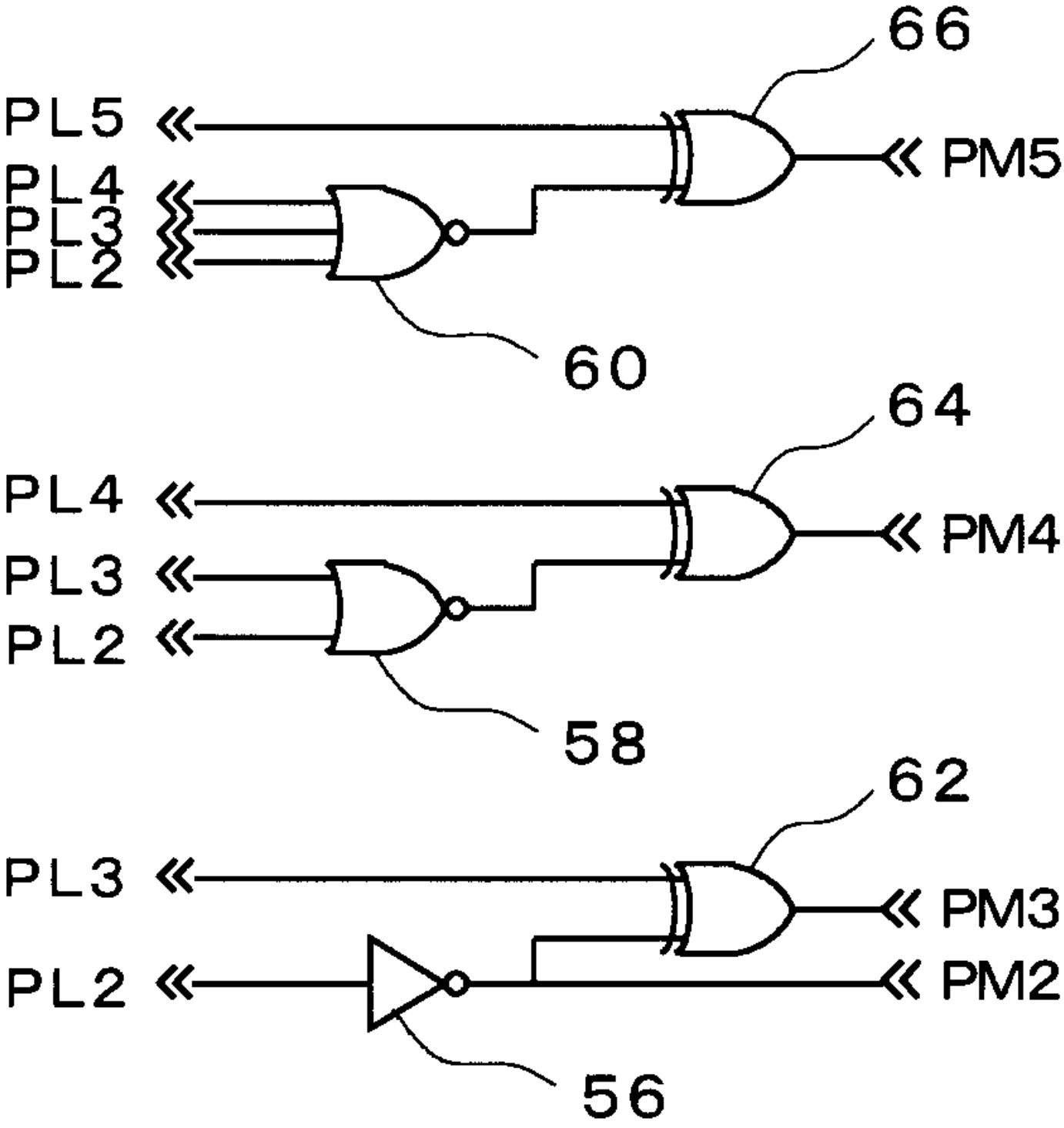
도면 3


HPLS
Enab
1H
VB

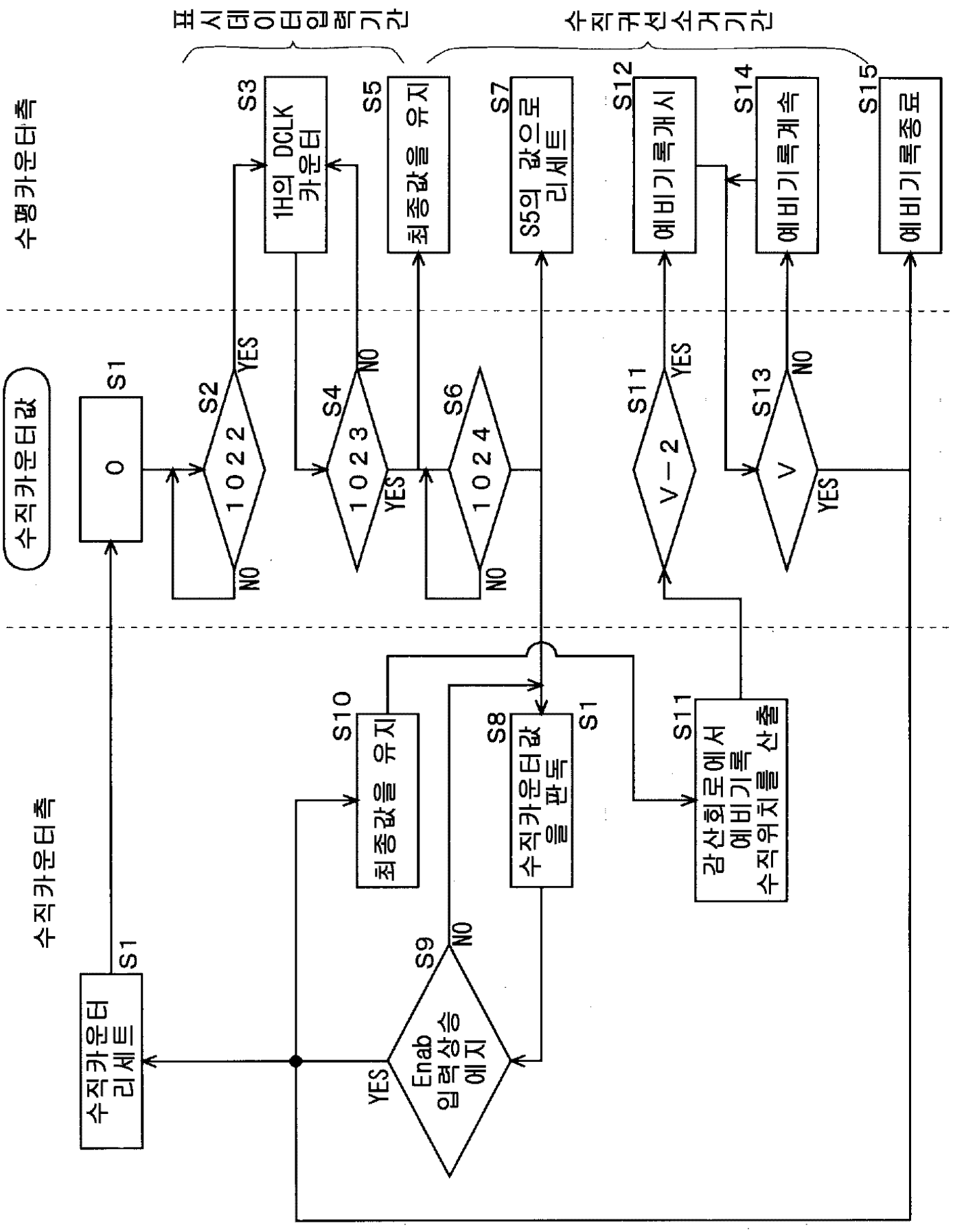
도면 4


VCC
44
52
CE1
PRN
J
Q
CV1
VBLANK
DCLK
CLK
K
CLRN
40
46
CLEAR
VCC
48
54
PRN
J
Q
CL1
EN001
DCLK
CLK
K
CLRN
42
50
CLEAR

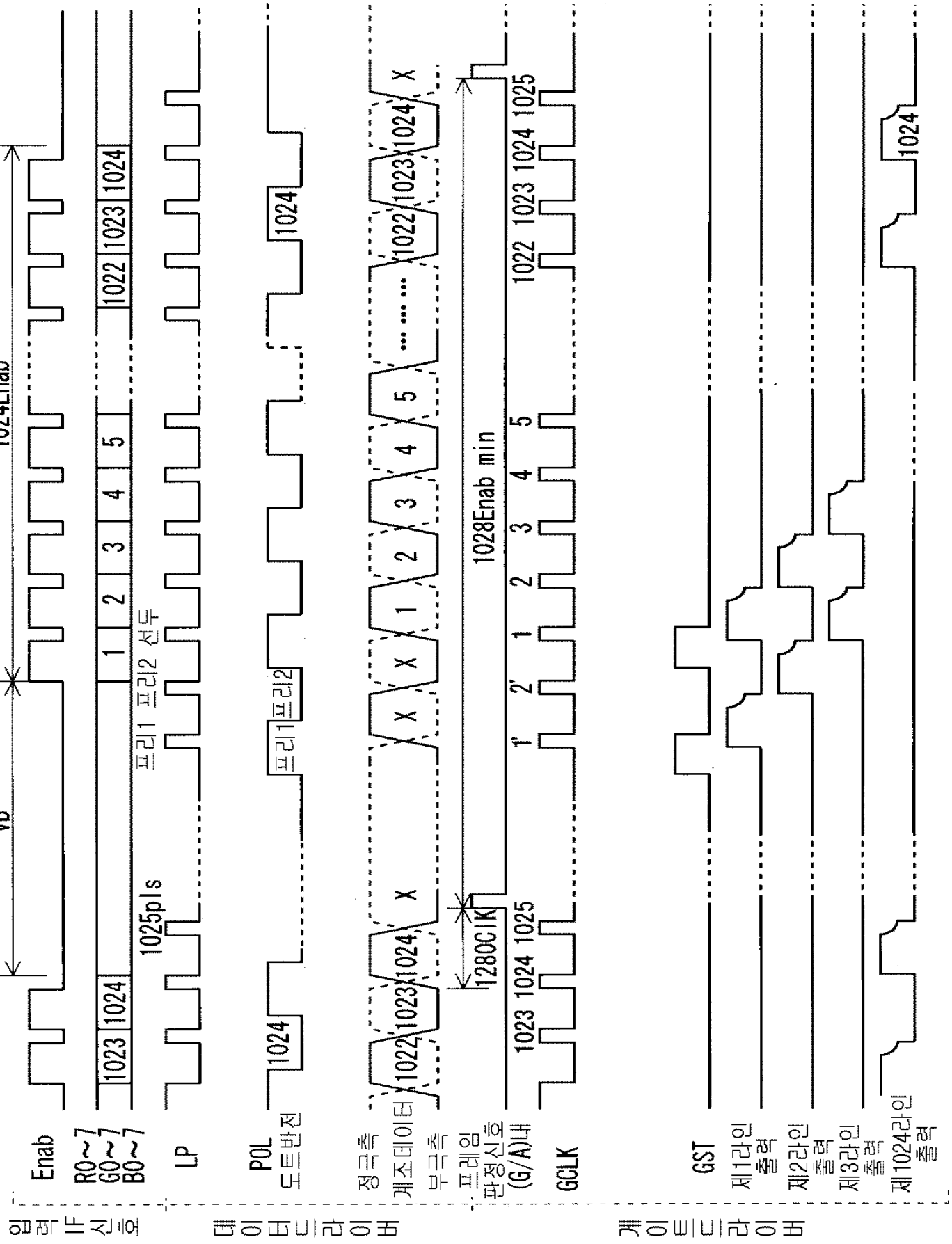
도면 5


66
PL5
PL4
PL3
PL2
PM5
60
64
PL4
PL3
PL2
PM4
58
62
PL3
PL2
PM3
PM2
56

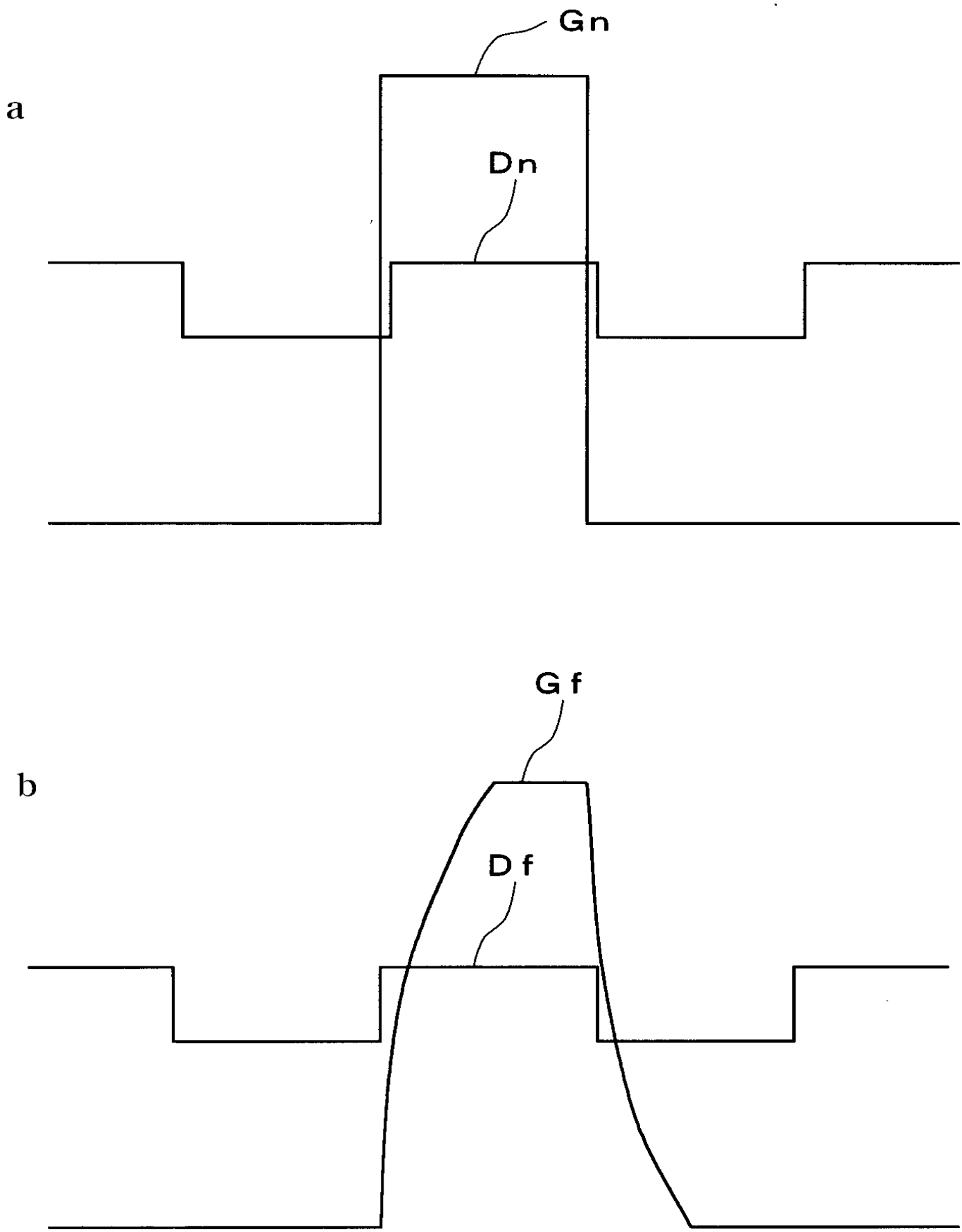
도면 6


표시데이터입력기간
수직귀선소거기간
수평카운터측
수직카운터값
S1
0
S2
1022
YES
NO
S3
1H의 DCLK 카운터
S4
1023
NO
YES
S5
최종값을 유지
S6
1024
NO
S7
S5의 값으로 리세트
S11
V-2
YES
S12
예비기록개시
S13
V
NO
YES
S14
예비기록계속
S15
예비기록종료
수직카운터측
S1
수직카운터 리세트
S9
Enab 입력상승 에지
NO
YES
S10
최종값을 유지
S8
수직카운터값을 판독
S1
S11
감산회로에서 예비기록 수직위치를 산출

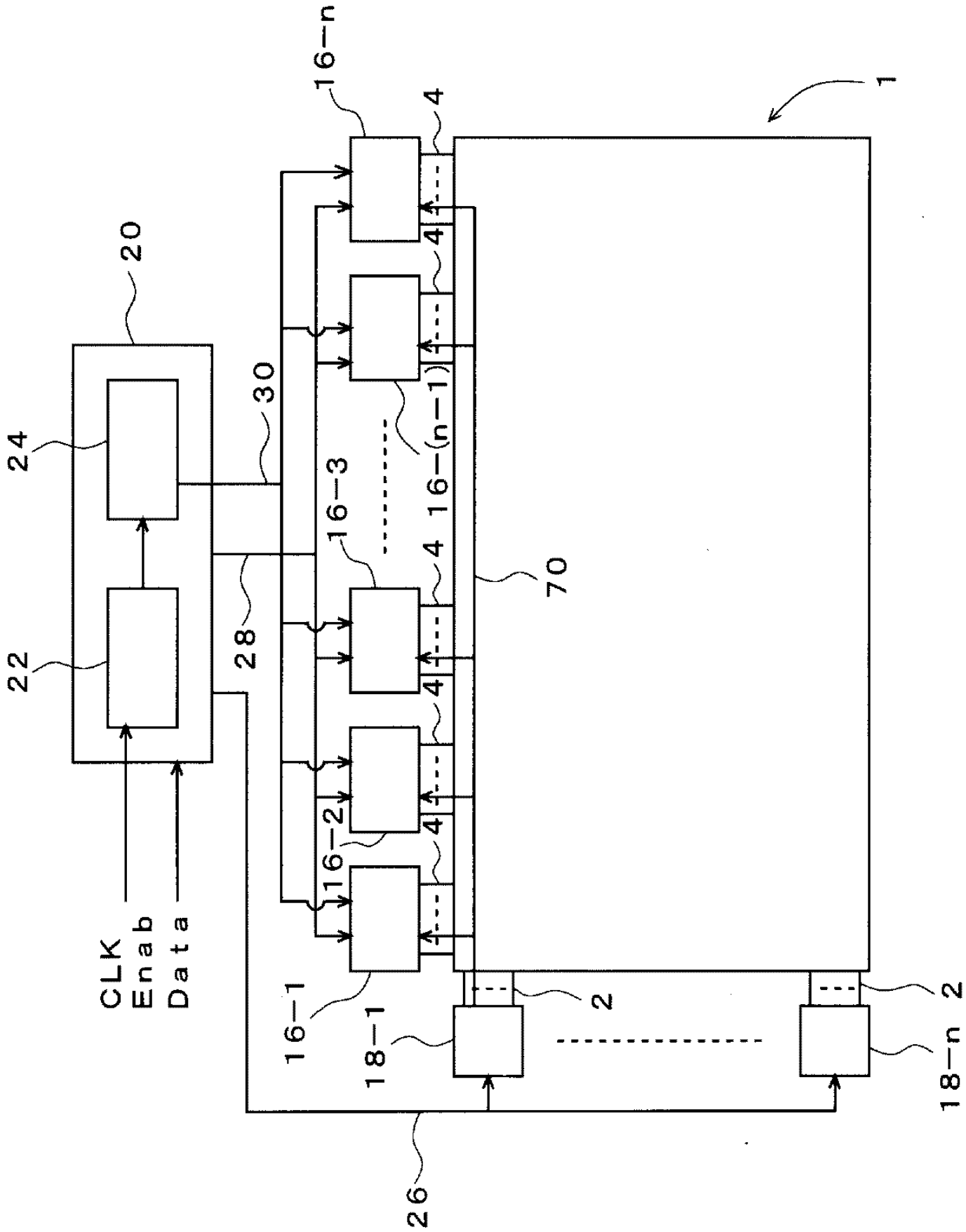
도면 7


입력 I/F 신호
Enab
R0~7
G0~7
B0~7
LP
VB
1024Enab
1025pls
프리1 프리2 선두
데이터드라이버
POL
도트반전
프리1
프리2
정극성
계조데이터
부극성
프레임
판정신호
(G/A)내
GCLK
1280CLK
1028Enab min
게이트드라이버
GST
제1라인
출력
제2라인
출력
제3라인
출력
제1024라인
출력

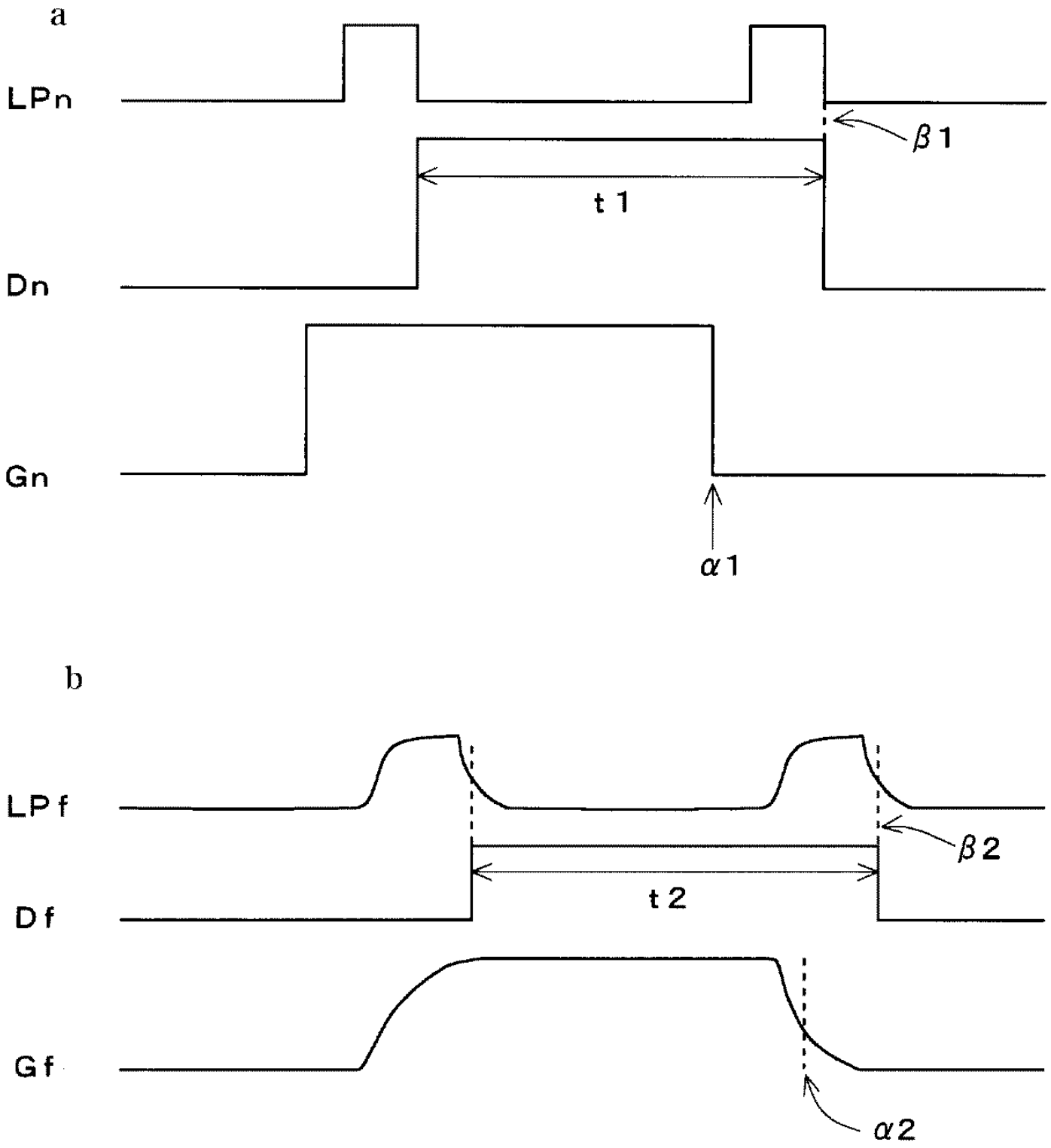
도면 8



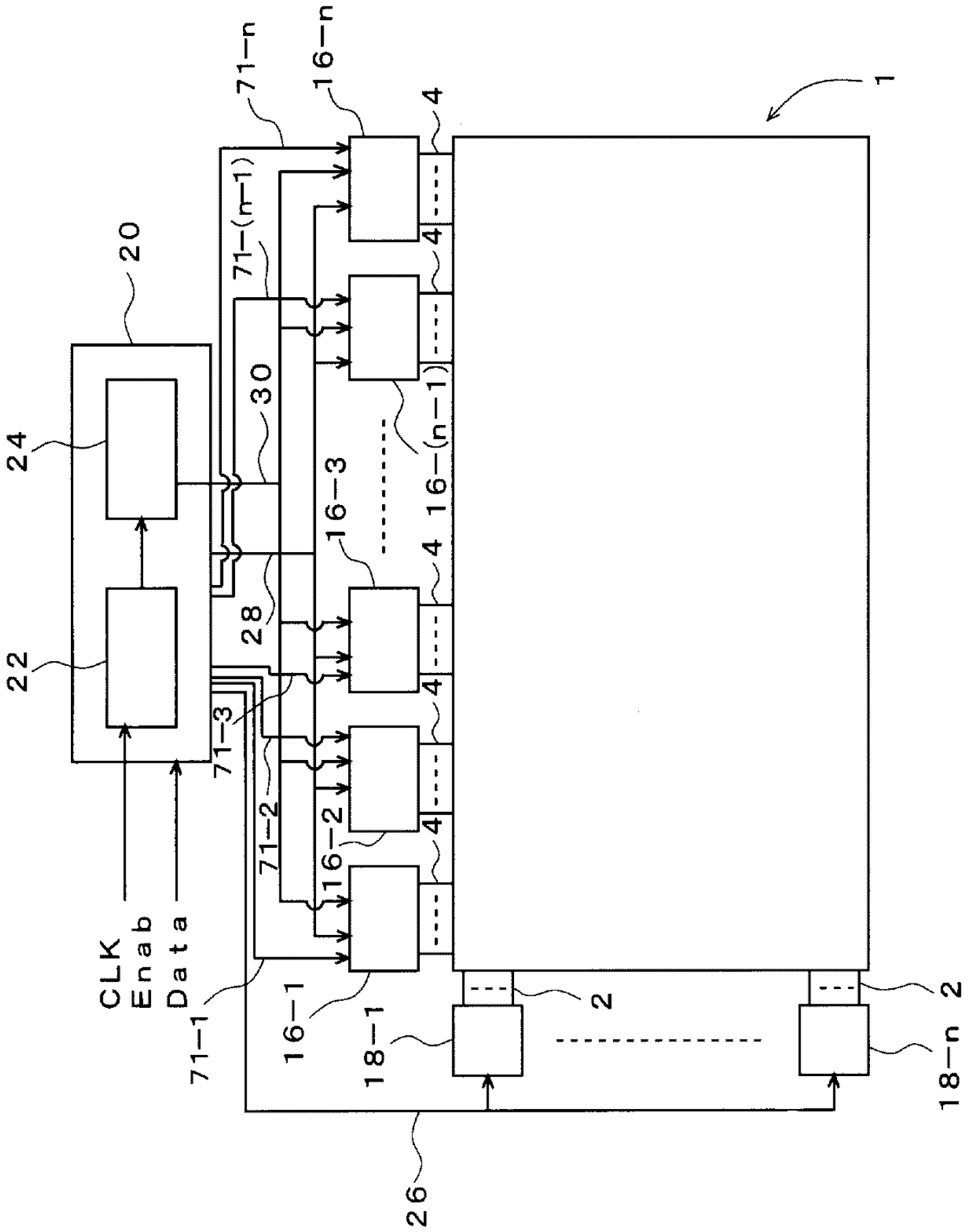
도면 9


1
2
4
16—1
16—2
16—3
16—n
16—(n—1)
18—1
18—n
20
22
24
26
28
30
70
CLK
Enab
Data

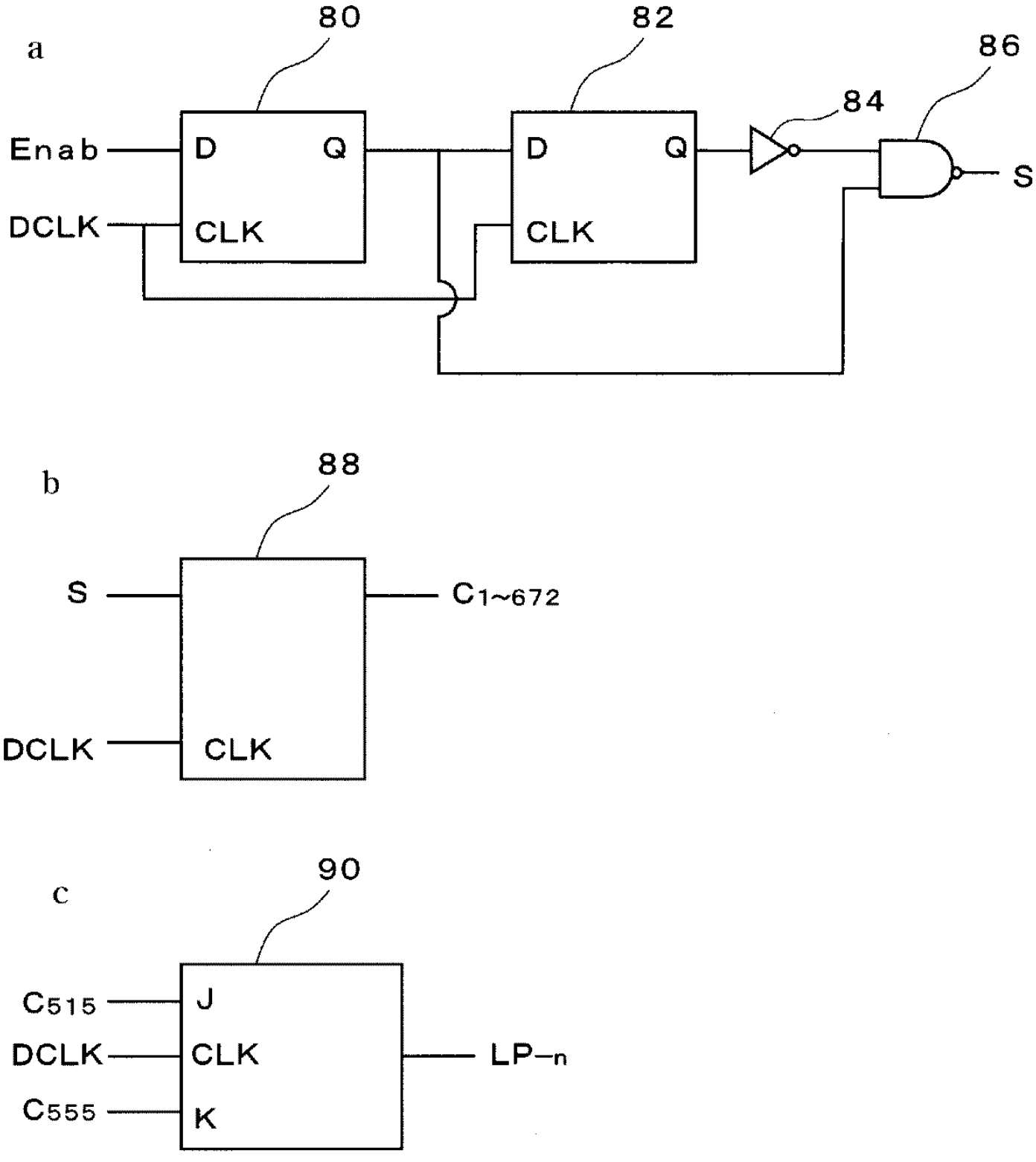
도면 10



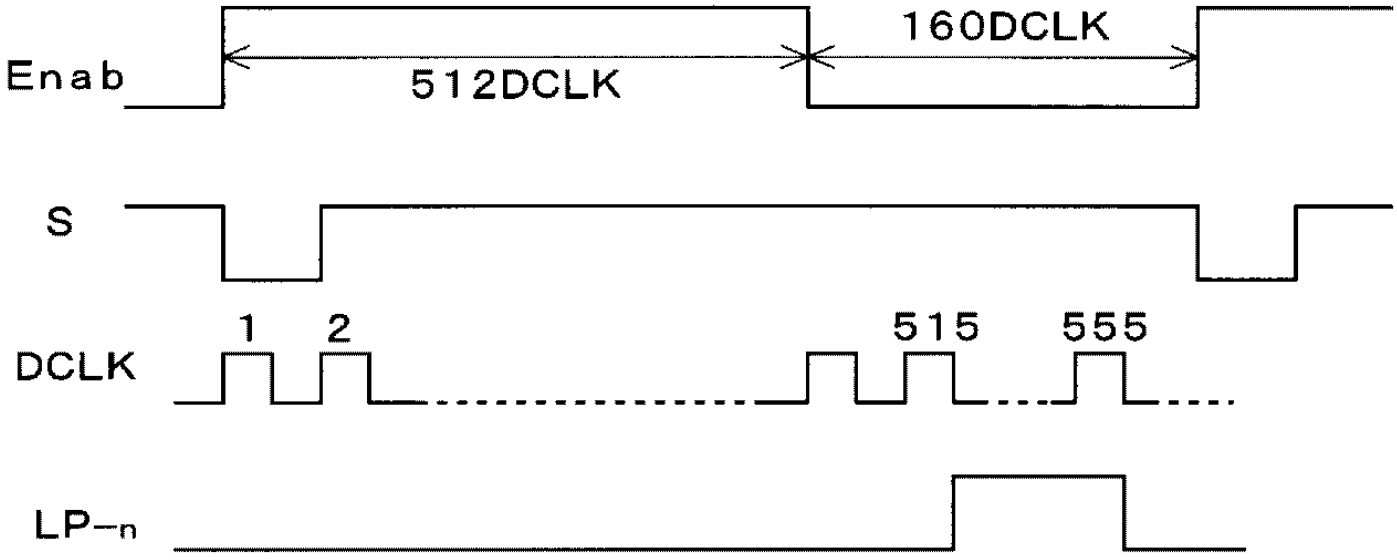
도면 11


1
2
4
16—1
16—2
16—3
16—(n—1)
16—n
18—1
18—n
20
22
24
26
28
30
71—1
71—2
71—3
71—(n—1)
71—n
CLK
Enab
Data

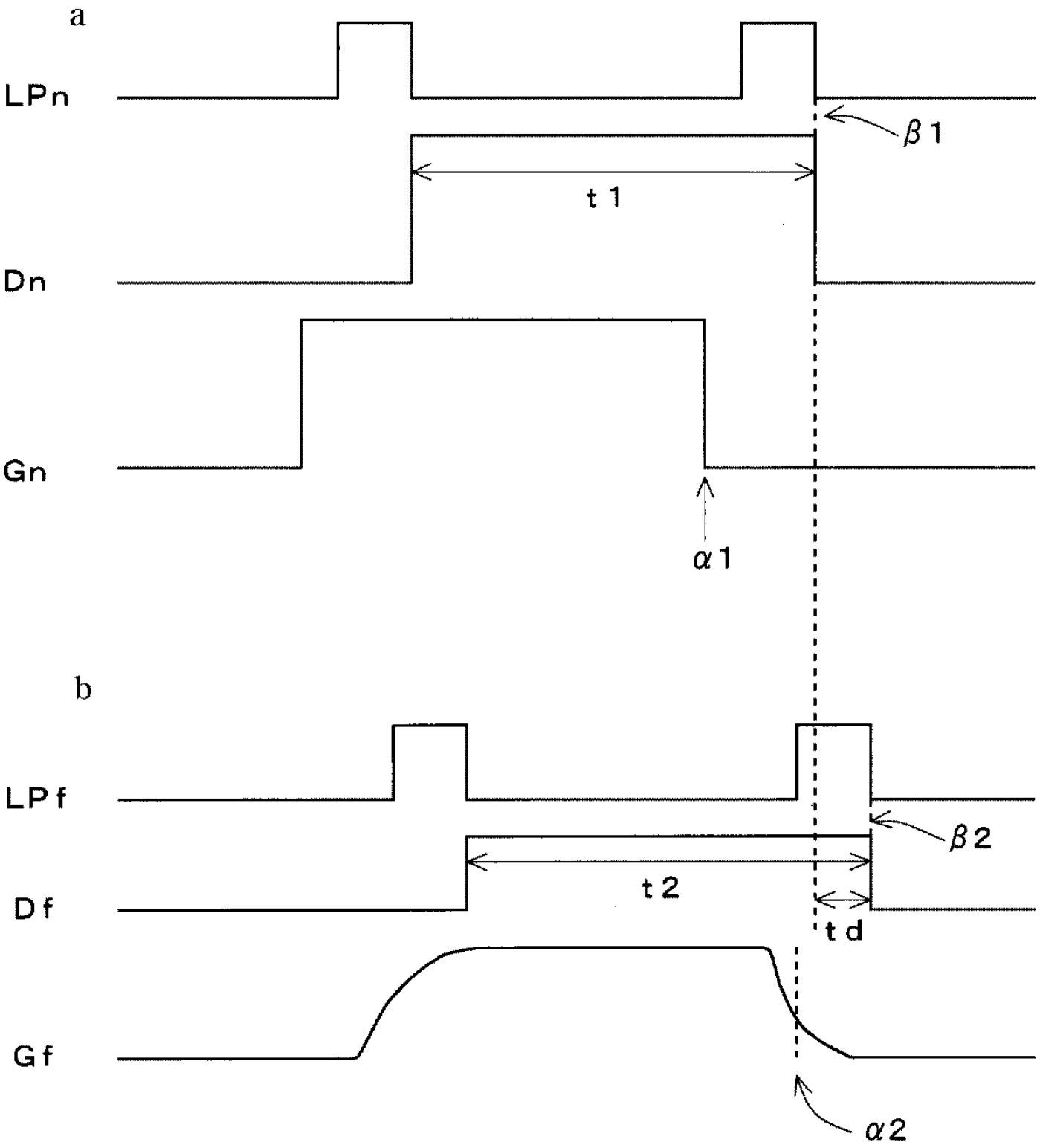
도면 12


a
80
82
86
84
Enab
DCLK
D
Q
CLK
D
Q
CLK
S
b
88
S
C1~672
DCLK
CLK
c
90
C515
DCLK
C555
J
CLK
K
LP-n

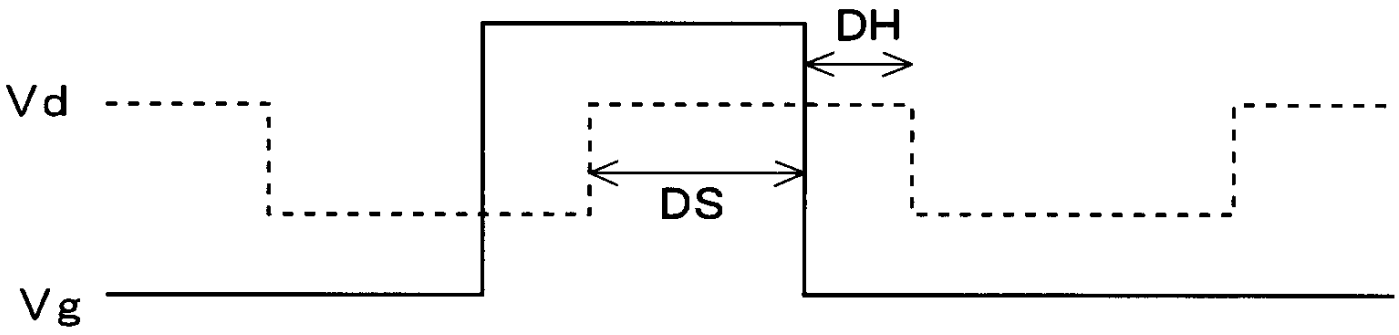
도면 13



도면 14



도면 15



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020010070236A	公开(公告)日	2001-07-25
申请号	KR1020000070555	申请日	2000-11-24
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	NUKIYAMA KAZUHIRO 누끼야마가즈히로 KATAGAWA KOICHI 가따가와고이찌		
发明人	누끼야마가즈히로 가따가와고이찌		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3648 G09G2310/0251 G09G3/3614		
代理人(译)	Munduhyeon Mungisang		
优先权	2000001490 2000-01-07 JP		
其他公开文献	KR100627093B1		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种驱动液晶显示装置的方法，该方法可以基于来自系统侧的数据使能信号在垂直消隐期间最佳地执行第一行的初步记录。 本发明提供一种驱动液晶显示装置的方法，该方法基于数据使能信号Enab来控制用于将灰度数据输出到预定像素的输出定时，并且将数据使能信号的周期测量为水平周期（步骤）。 S2至S5），在垂直消隐期间基于水平周期生成虚拟使能信号（步骤S6至S8），并且将数据使能信号和虚拟使能信号之和保持为垂直周期（步骤S10）。 至少在显示开始线的像素的水平周期是垂直周期的整数倍的时候，进行灰度数据的初步记录（步骤S11至S15）。 图6