



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2010년06월23일  
 (11) 등록번호 10-0965158  
 (24) 등록일자 2010년06월14일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2003-0044768  
 (22) 출원일자 2003년07월03일  
 심사청구일자 2008년06월12일  
 (65) 공개번호 10-2005-0004546  
 (43) 공개일자 2005년01월12일  
 (56) 선행기술조사문헌

KR1020000060468 A

KR1019990074694 A

전체 청구항 수 : 총 4 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박진혁

경기도성남시분당구수내동쌍용아파트603-801

(74) 대리인

박영우

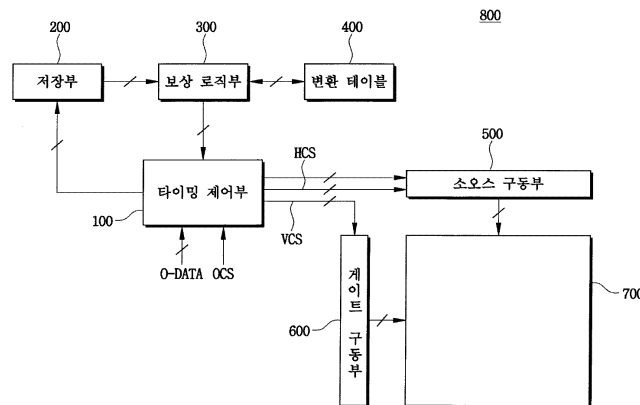
심사관 : 차건숙

**(54) 액정표시장치**

**(57) 요약**

액정표시장치에서, 보상부는 제1 영상 신호로부터 보상 신호를 생성하고, 제2 영상 신호를 그대로 출력한다. 소오스 구동부는 보상 신호 및 제2 영상 신호로부터 제1 및 제2 데이터 신호를 생성하여 액정표시패널로 제공한다. 액정표시패널은 제1 데이터 신호를 수신하는 다수의 제1 데이터 라인이 구비된 보상 영역과 제2 데이터 신호를 수신하는 다수의 제2 데이터 라인이 구비된 다수의 비보상 영역으로 이루어져 영상을 표시한다. 따라서, 액정표시장치의 표시 특성을 향상시킬 수 있다.

**대표도**



**특허청구의 범위**

**청구항 1**

제1 영상 신호로부터 보상 신호를 생성하고, 제2 영상 신호를 그대로 출력하기 위한 보상부;

게이트 신호를 생성하는 게이트 구동부;

상기 보상 신호 및 상기 제2 영상 신호로부터 각각 제1 및 제2 데이터 신호를 생성하기 위한 데이터 구동부; 및  
 상기 제1 데이터 신호를 수신하는 다수의 제1 데이터 라인과 상기 게이트 신호를 수신하는 다수의 게이트 라인이 구비된 보상 영역, 및 상기 제2 데이터 신호를 수신하는 다수의 제2 데이터 라인과 상기 다수의 게이트 라인이 구비된 다수의 비보상 영역으로 이루어져 영상을 표시하기 위한 액정표시패널을 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 2**

제1항에 있어서, 상기 보상 영역은 상기 비보상 영역들 사이에 형성되고,

상기 보상 영역의 투과율은 서로 인접한 상기 비보상 영역들 사이의 투과율의 범위 내에서 선형적으로 증가 또는 감소되는 것을 특징으로 하는 액정표시장치.

**청구항 3**

제1항에 있어서, 상기 보상부는,

상기 보상 신호를 저장하는 변환 테이블; 및

상기 제1 영상 신호에 해당하는 상기 보상 신호를 상기 변환 테이블로부터 읽어들이어 출력하는 보상 로직부를 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 4**

제1항에 있어서, 상기 보상부는,

상기 보상 로직부에 연결되어 상기 보상 신호 및 상기 보상 영역에 구비된 상기 제1 데이터 라인들의 수를 조정하기 위한 조정부를 더 포함하는 것을 특징으로 하는 액정표시장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0013] 본 발명은 액정표시장치에 관한 것으로, 더욱 상세하게는 표시 특성을 향상시킬 수 있는 액정표시장치에 관한 것이다.
- [0014] 일반적으로, 액정표시장치는 영상을 표시하기 위한 액정표시패널 및 상기 액정표시패널로 광을 제공하기 위한 백라이트 어셈블리를 포함한다. 액정표시패널은 하부기판, 상부기판 및 하부기판과 상부기판과의 사이에 개재된 액정층으로 이루어진다.
- [0015] 하부기판은 게이트 라인, 데이터 라인, TFT 및 화소전극으로 이루어진 다수의 화소가 매트릭스 형태로 형성된 기판이다. 상부기판에는 액정층을 사이에 두고 화소전극과 마주보는 공통전극이 구비된다.
- [0016] 최근 들어, 액정표시장치의 사이즈가 대형화됨에 따라서 액정표시장치의 화면을 정의하는 액정표시패널의 사이즈도 증가된다. 또한, 액정표시패널의 사이즈가 증가되면 액정표시패널을 형성하는 하부기판 및 상부기판의 사이즈도 증가된다.

[0017] 이와 같이, 하부기판의 사이즈가 증가되면 하부기판에 다수의 화소를 형성하기 위한 패터닝 공정에서 이용되는 마스크를 하부기판과 전체적으로 대응시키지 못하는 경우가 발생된다. 이러한 경우, 마스크는 하부기판 사이즈의  $1/n$ ( $n$ 은 2 이상의 자연수) 사이즈를 가짐으로써, 하부기판은 마스크에 의해서 순차적으로 패터닝되는  $n$  개의 마스크 영역을 구비한다.

[0018] 마스크를  $n$  개의 마스크 영역에 순차적으로 이동시켜 가면서 하부기판을 패터닝하는 경우, 마스크의 이동 과정에서 발생하는 오차로 인해서 마스크 영역별로 투과율의 차이가 발생한다. 특히, 각 마스크 영역이 서로 인접하는 경계부에서 투과율의 차이는 더 증가하게 된다. 이러한 투과율의 차이는 액정표시장치의 표시 특성을 저하시키는 요인으로 작용한다.

**발명이 이루고자 하는 기술적 과제**

[0019] 따라서, 본 발명의 목적은 표시 특성을 향상시키기 위한 액정표시장치를 제공하는 것이다.

**발명의 구성 및 작용**

[0020] 본 발명의 일 특징에 따른 액정표시장치는 보상부, 게이트 구동부, 데이터 구동부 및 액정표시패널을 포함한다.

[0021] 상기 보상부는 제1 영상 신호로부터 보상 신호를 생성하고, 제2 영상 신호를 그대로 출력하고, 상기 게이트 구동부는 게이트 신호를 생성한다. 상기 소오스 구동부는 상기 보상 신호 및 상기 제2 영상 신호로부터 각각 제1 및 제2 데이터 신호를 생성한다.

[0022] 상기 액정표시패널은 상기 제1 데이터 신호를 수신하는 다수의 제1 데이터 라인과 상기 게이트 신호를 수신하는 다수의 게이트 라인이 구비된 보상 영역 및 상기 제2 데이터 신호를 수신하는 다수의 제2 데이터 라인과 상기 다수의 게이트 라인이 구비된 다수의 비보상 영역으로 이루어져 영상을 표시한다.

[0023] 이러한 액정표시장치에 따르면, 액정표시패널은 보상부에 의해서 보상된 신호가 제공되는 보상 영역을 구비하여, 보상 영역에서 비보상 영역들의 투과율의 차이를 점차적으로 감소시킨다. 따라서, 액정표시장치의 표시 특성을 향상시킬 수 있다.

[0024] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

[0025] 도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 블럭도이다.

[0026] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정표시장치(800)는 외부로부터 원시 영상신호(O-DATA) 및 원시 제어신호(OCS)를 수신하는 타이밍 제어부(100)를 포함한다. 상기 타이밍 제어부(100)는 수신된 상기 원시 영상신호(O-DATA)를 메모리(200)에 저장한다. 상기 원시 영상신호(O-DATA)는 2-라인 단위 또는 프레임(frame) 단위로 수신된 후 상기 저장부(200)에 저장된다. 여기서, 상기 저장부(200)는 DRAM 또는 GRAM으로 구성된다.

[0027] 한편, 상기 타이밍 제어부(100)는 상기 저장부(200)에 저장된 상기 원시 영상신호(O-DATA)를 1-라인 단위로 읽어들이는. 상기 타이밍 제어부(100)와 상기 저장부(200)와의 사이에는 보상 로직부(300)가 더 구비된다.

[0028] 상기 보상 로직부(300)는 상기 저장부(200)로부터 출력된 상기 1-라인 단위의 상기 원시 영상신호(O-DATA)를 수신하고, 수신된 상기 원시 영상신호(O-DATA) 중 일부(이하, 제1 영상신호)를 보상한다. 상기 보상 로직부(300)는 보상 신호를 저장하고 있는 변환 테이블(400)에 연결되어, 상기 변환 테이블(400)로부터 상기 제1 영상신호에 해당하는 보상 신호를 읽어들이어 출력한다. 여기서, 상기 변환 테이블(400)은 ROM으로 구성된다.

[0029] 상기 보상 로직부(300)로부터 출력된 상기 보상 신호 및 상기 원시 영상신호의 나머지 일부(이하, 제2 영상신호)는 상기 타이밍 제어부(100)로 제공된다. 상기 타이밍 제어부(100)는 상기 원시 제어신호(OCS)에 응답하여 상기 보상 신호 및 상기 제2 영상신호를 출력한다. 뿐만 아니라, 상기 타이밍 컨트롤러는 수평 및 수직 제어신호(HCS, VCS)를 출력한다.

[0030] 상기 액정표시장치(800)는 영상을 표시하는 액정표시패널(700), 상기 액정표시패널(700)을 구동하기 위한 게이트 구동부(600) 및 소오스 구동부(500)를 더 포함한다.

[0031] 상기 소오스 구동부(500)는 상기 타이밍 제어부(100)로부터 상기 수평 제어신호(HCS), 보상 신호 및 제2 영상신호를 수신한다. 따라서, 상기 소오스 구동부(500)는 상기 수평 제어신호(HCS)에 응답하여 상기 보상 신호 및 제2 영상신호로부터 상기 액정표시패널(700)이 영상을 표시하는데 적절한 제1 및 제2 데이터 신호를 생성한다. 여기서, 상기 원시 영상신호, 보상 신호, 제1 및 제2 영상신호는 디지털 형태를 가지고, 상기 제1 및 제2 데이터

신호는 아날로그 형태를 가진다.

- [0032] 한편, 상기 게이트 구동부(600)는 상기 타이밍 제어부(100)로부터 상기 수직 제어신호(VCS)를 수신하고, 상기 수직 제어신호(VCS)에 응답하여 상기 게이트 신호를 생성한다.
- [0033] 따라서, 상기 액정표시패널(700)은 상기 게이트 신호, 제1 및 제2 데이터 신호에 응답하여 영상을 표시한다.
- [0034] 도 2는 도 1에 도시된 액정표시패널의 보상 영역을 나타낸 도면이다.
- [0035] 도 2를 참조하면, 액정표시패널(700)은 제1 내지 제4 마스크 영역(A-SHOT, B-SHOT, C-SHOT, D-SHOT)으로 이루어지고, 상기 제1 내지 제4 마스크 영역은 하나의 표시영역으로 구현된다.
- [0036] 상기 액정표시패널(700)의 제조 과정에는 상기 액정표시패널(700)에 형성되는 층들을 패터닝하기 위한 마스크(미도시)가 이용된다. 상기 마스크는 상기 액정표시패널(700)의 1/4 사이즈를 가진다. 따라서, 상기 마스크는 상기 액정표시패널(700)의 전면을 한꺼번에 패터닝하는데 이용되지 않고, 상기 제1 마스크 영역(A-SHOT)으로부터 제4 마스크 영역(D-SHOT)으로 이동되어 각 마스크 영역을 순차적으로 패터닝하는데 이용된다.
- [0037] 상기 제1 마스크 영역(A-SHOT)은 제1 비보상 영역(A-NCA) 및 제1 보상 영역(A-CA)으로 이루어진다. 상기 제1 보상 영역(A-CA)은 상기 제2 마스크 영역(B-SHOT)에 인접하여 구비된다. 상기 제2 마스크 영역(B-SHOT)은 제2 비보상 영역(B-NCA), 제2 및 제3 보상 영역(B-CA1, B-CA2)으로 이루어진다. 상기 제2 보상 영역(B-CA1)은 상기 제1 마스크 영역(A-SHOT)과 인접하여 구비되고, 상기 제3 보상 영역(B-CA2)은 상기 제2 마스크 영역(B-SHOT)에 인접하여 구비된다. 상기 제2 비보상 영역(B-NCA)은 상기 제2 및 제3 보상 영역(B-CA1, B-CA2) 사이에 구비된다.
- [0038] 또한, 상기 제3 마스크 영역(C-SHOT)은 제3 비보상 영역(C-NCA), 제4 및 제5 보상 영역(C-CA1, C-CA2)으로 이루어진다. 상기 제4 보상 영역(C-CA1)은 상기 제2 마스크 영역(B-SHOT)에 인접하여 구비되고, 상기 제5 보상 영역(C-CA2)은 상기 제4 마스크 영역(D-SHOT)에 인접하여 구비된다. 상기 제3 비보상 영역(C-NCA)은 상기 제4 및 제5 보상 영역(C-CA1, C-CA2) 사이에 구비된다. 상기 제4 마스크 영역(D-SHOT)은 제4 비보상 영역(D-NCA) 및 제6 보상 영역(D-CA)으로 이루어진다. 상기 제6 보상 영역(D-CA)은 상기 제3 마스크 영역(C-SHOT)에 인접하여 구비된다.
- [0039] 도 1 및 도 2에 도시된 바와 같이, 상기 보상 로직부(300)에 의해서 보상된 상기 보상 신호는 상기 제1 내지 제6 보상영역(A-CA ~ D-CA) 내에 구비된 다수의 데이터 라인에 인가된다.
- [0040] 도면에 도시하지는 않았지만, 상기 마스크는 1/2, 1/3, 1/5...의 사이즈를 가짐으로써 상기 액정표시패널(700)은 2, 3, 5...개의 마스크 영역으로 이루어질 수 있다.
- [0041] 도 3은 도 2에 도시된 액정표시패널을 구체적으로 나타낸 단면도이고, 도 4는 도 3의 회로도이다. 단, 도 3 및 도 4는 제1 마스크 영역과 제2 마스크 영역이 서로 인접하는 영역에서의 액정표시패널의 구성을 구체적으로 나타낸다.
- [0042] 도 3 및 도 4를 참조하면, 액정표시패널(700)은 하부기관(710), 상부기관(730) 및 상기 하부기관(710)과 상부기관(730)과의 사이에 개재된 액정층(750)으로 이루어진다.
- [0043] 상기 하부기관(710)의 제1 마스크 영역(A-SHOT)에는  $i-1$ 번째 데이터 라인(DLi-1), 상기 제2 마스크 영역(B-SHOT)에는  $i$  및  $i+1$ 번째 데이터 라인(DLi, DLi+1)이 구비된다. 상기 제1 및 제2 마스크 영역(A-SHOT, B-SHOT)에는 상기  $i-1$ ,  $i$  및  $i+1$ 번째 데이터 라인(DLi-1, DLi, DLi+1)과 교차하는 게이트 라인(GL1)이 구비된다. 여기서,  $i$ 는 2 이상의 자연수이다.
- [0044] 상기  $i-1$ ,  $i$  및  $i+1$ 번째 데이터 라인(DLi-1, DLi, DLi+1) 상에는 절연막(711)이 구비되고, 상기 절연막(711) 상에는 인듐 틴 옥사이드(Indium Tin Oxide; 이하, ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide; 이하, IZO)로 이루어진  $i-1$ ,  $i$  및  $i+1$  화소전극(PEi-1, PEi, PEi+1)이 형성된다.
- [0045]  $i-1$  TFT(Ti-1)는 게이트 전극이 상기 게이트 라인(GL1)에 연결되고, 소오스 전극이 상기  $i-1$ 번째 데이터 라인(DLi-1)에 연결되며, 드레인 전극이 상기  $i-1$  화소전극(PEi-1)에 연결된 구성을 가진다. 또한,  $i$  TFT(Ti)는 게이트 전극이 상기 게이트 라인(GL1)에 연결되고, 소오스 전극이 상기  $i$ 번째 데이터 라인(DLi)에 연결되며, 드레인 전극이 상기  $i$  화소전극(PEi)에 연결된 구성을 가진다.
- [0046] 한편, 상기 상부기관(730)에는 블랙 매트릭스층(731), 컬러필터층(732) 및 공통전극(CE)이 구비된다. 상기 공통

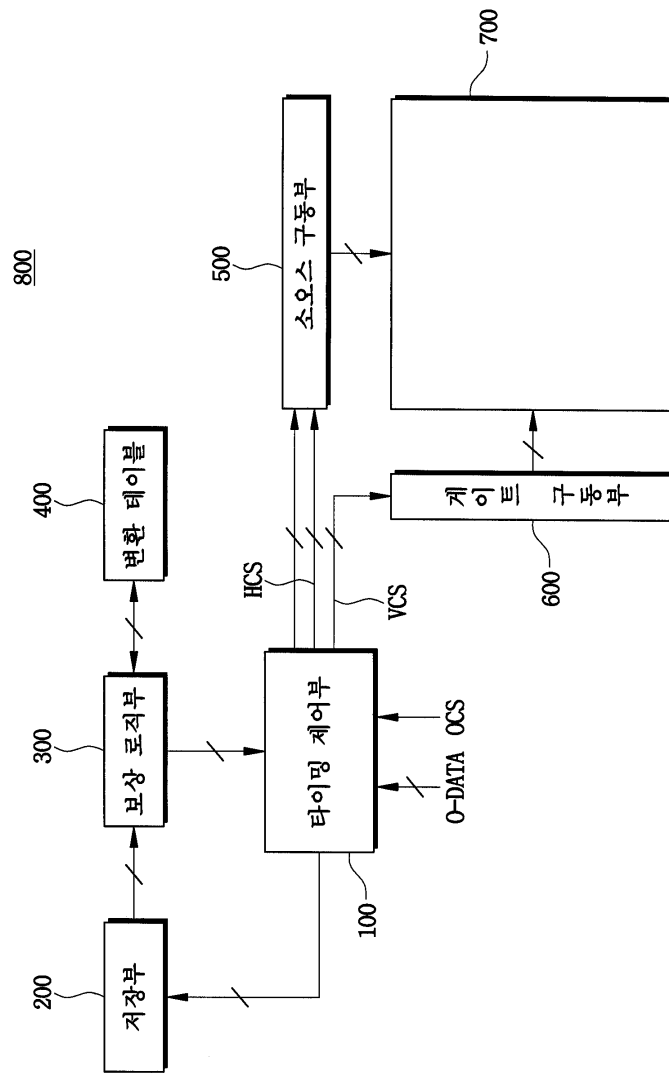
전극(CE)은 상기 액정층(750)을 사이에 두고 상기  $i-1$ ,  $i$  및  $i+1$ 번째 화소전극(P<sub>E*i*-1</sub>, P<sub>E*i*</sub>, P<sub>E*i*+1</sub>)과 마주본다. 따라서, 상기  $i-1$  화소전극(P<sub>E*i*-1</sub>)과 상기 공통전극(CE)은  $i-1$  액정 커패시터(C<sub>i-1</sub>)를 형성하고, 상기  $i$  화소전극(P<sub>E*i*</sub>)과 상기 공통전극(CE)은  $i$  액정커패시터(C<sub>i</sub>)를 형성한다.

- [0047] 상기  $i-1$ 번째 데이터 라인(DL <sub>$i-1$</sub> )과 상기  $i-1$  화소전극(P<sub>E*i*-1</sub>)과의 사이에는 제1 기생 커패시터(C<sub>a</sub>)가 형성되고, 상기  $i-1$ 번째 데이터 라인(DL <sub>$i-1$</sub> )과 상기  $i$  화소전극(P<sub>E*i*</sub>)과의 사이에는 제2 기생 커패시터(C<sub>b</sub>)가 형성된다. 또한, 상기  $i$ 번째 데이터 라인(DL <sub>$i$</sub> )과 상기  $i$  화소전극(P<sub>E*i*</sub>)과의 사이에는 제3 기생 커패시터(C<sub>c</sub>)가 형성되고, 상기  $i$ 번째 데이터 라인(DL <sub>$i$</sub> )과 상기  $i+1$  화소전극(P<sub>E*i*+1</sub>)과의 사이에는 제4 기생 커패시터(C<sub>d</sub>)가 형성된다.
- [0048] 도 3에 도시된 바와 같이, 상기  $i-1$ 번째 데이터 라인(DL <sub>$i-1$</sub> )과 상기  $i-1$  화소전극(P<sub>E*i*-1</sub>)은 제1 수평거리(D<sub>a</sub>)로 이격되고, 상기  $i-1$ 번째 데이터 라인(DL <sub>$i-1$</sub> )과 상기  $i$  화소전극(P<sub>E*i*</sub>)은 제2 수평거리(D<sub>b</sub>)로 이격된다. 또한, 상기  $i$ 번째 데이터 라인(DL <sub>$i$</sub> )과 상기  $i$  화소전극(P<sub>E*i*</sub>)은 제3 수평거리(D<sub>c</sub>)로 이격되고, 상기  $i$ 번째 데이터 라인(DL <sub>$i$</sub> )과 상기  $i+1$  화소전극(P<sub>E*i*+1</sub>)은 제4 수평거리(D<sub>d</sub>)로 이격된다.
- [0049] 상기 액정표시패널(700)의 제조 공정 중, 상기 제1 마스크 영역(A-SHOT)을 패터닝하는데 이용된 마스크는 상기 제2 마스크 영역(B-SHOT)으로 이동하여 상기 제2 마스크 영역(B-SHOT)을 패터닝한다. 이때, 상기 마스크의 이동 중 오차가 발생하면 상기 제1 및 제3 수평거리(D<sub>a</sub>, D<sub>c</sub>)가 서로 달라지고, 그로 인해서 상기 제1 및 제3 기생 커패시터(C<sub>a</sub>, C<sub>c</sub>)의 충전 용량 사이에 오차가 발생한다. 또한, 같은 이유로 상기 제2 및 제4 수평거리(D<sub>b</sub>, D<sub>d</sub>)가 서로 달라지고, 그로 인해서 상기 제2 및 제4 기생 커패시터(C<sub>b</sub>, C<sub>d</sub>)의 충전 용량 사이에 오차가 발생한다.
- [0050] 따라서, 상기 제1 마스크 영역(A-SHOT)의  $i-1$ 번째 액정 커패시터(C<sub>i-1</sub>)의 충전 용량과 상기 제2 마스크 영역(B-SHOT)의  $i$ 번째 액정 커패시터(C<sub>i</sub>)의 충전 용량과의 사이에 오차가 발생된다.
- [0051] 도 5는 제1 및 제2 보상 영역에 구비된 데이터 라인에 보상 신호를 인가한 결과를 나타낸 그래프이다. 단, 도 5에서 x축은 데이터 라인이고, y 축은 계조량이다.
- [0052] 도 1 및 5를 참조하면, 제1 보상 영역(A-CA)에는  $i-100$ 번째부터  $i-1$ 번째의 데이터 라인(DL <sub>$i-100$</sub>  ~ DL <sub>$i-1$</sub> )이 구비되고, 상기 제2 보상 영역(B-CA)에는  $i$ 번째부터  $i+99$ 번째의 데이터 라인(DL <sub>$i$</sub>  ~ DL <sub>$i+99$</sub> )이 구비된다.
- [0053] 한편, 변환 테이블(400)에는 200개의 보상 신호를 저장한다. 보상 로직부(300)는 상기 변환 테이블(400)로부터 상기 200개의 보상 신호를 출력하고, 이를 상기 타이밍 컨트롤러(100)를 거쳐 상기 소오스 구동부(500)로 제공한다. 상기 소오스 구동부(500)는 상기 보상 신호를 아날로그 형태의 제1 데이터 신호로 변환하여 출력한다. 도 5를 참조하여서는, 상기 제1 및 제2 보상 영역에서의 상기 소오스 구동부(500)의 동작을 설명하나, 상기 제1 및 제2 비보상 영역에서 상기 소오스 구동부(500)는 보상되지 않은 상기 제2 영상 신호로부터 상기 제2 데이터 신호를 생성한다.
- [0054] 상기 제1 데이터 신호는 상기 제1 보상 영역(A-CA)의  $i-100$ 번째부터  $i$ 번째 데이터 라인(DL <sub>$i-100$</sub>  ~ DL <sub>$i-1$</sub> ) 및 상기 제2 보상 영역(B-CA)의  $i$ 번째부터  $i+99$ 번째의 데이터 라인(DL <sub>$i$</sub>  ~ DL <sub>$i+99$</sub> )에 인가된다.
- [0055] 제1 그래프(G<sub>1</sub>)에서는, 상기  $i-100$ 번째부터  $i+99$ 번째의 데이터 라인(DL <sub>$i-100$</sub>  ~ DL <sub>$i+99$</sub> )에 인가되는 상기 제1 데이터 신호의 계조량이 일정한 양으로 감소되는 상태를 나타낸다. 상기 보상 로직부(300)는 상기 제1 및 제2 보상 영역(A-CA, B-CA)에 보상된 제1 데이터 신호를 인가함으로써, 상기 제1 마스크 영역(A-SHOT)의 계조량과 상기 제2 마스크 영역(B-SHOT)의 계조량과의 차이가 완만해지도록 보상한다.
- [0056] 따라서, 상기 제1 마스크 영역(A-SHOT)과 상기 제2 마스크 영역(B-SHOT)과의 경계부에서 상기 계조량이 급격하게 저하되는 것을 방지할 수 있다.
- [0057] 한편, 제2 그래프(G<sub>2</sub>)는 계조량이 서서히 증가하는 제1 구간 및 계조량이 서서히 감소하는 제2 구간이 반복적으로 나타나는 구조를 갖는다. 이때, 상기 제1 구간에서 증가분은 일정하지 않고 서서히 증가되고, 상기 제2 구간에서 감소분은 일정하지 않고 서서히 증가된다.
- [0058] 상기 보상 로직부(300)는 상기 제1 및 제2 보상 영역(A-CA, B-CA)에 보상된 제1 데이터 신호를 인가함으로써, 상기 제1 마스크 영역(A-SHOT)의 계조량과 상기 제2 마스크 영역(B-SHOT)의 계조량과의 차이가 완만해지도록 보상한다. 따라서, 상기 제1 마스크 영역(A-SHOT)과 상기 제2 마스크 영역(B-SHOT)과의 경계부에서 상기 계조량이 급격하게 저하되는 것을 방지할 수 있다.
- [0059] 도 6은 본 발명의 다른 실시예에 따른 액정표시장치를 나타낸 블록도이다. 단, 도 6에서는 도 1에 도시된 구성

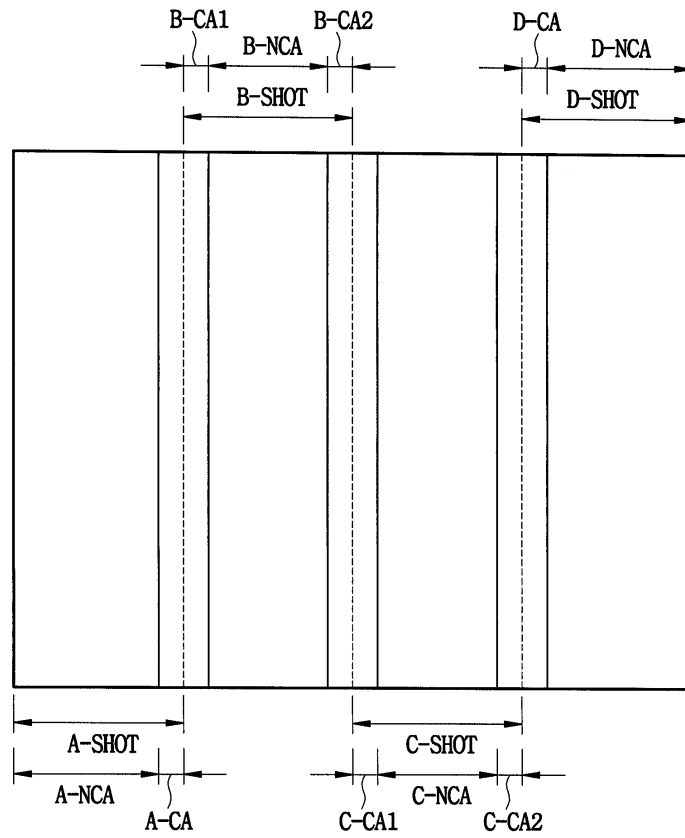


도면

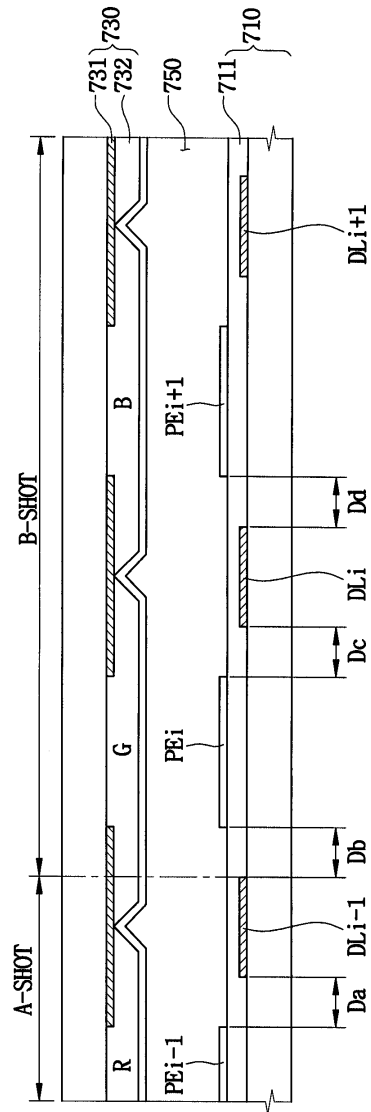
도면1



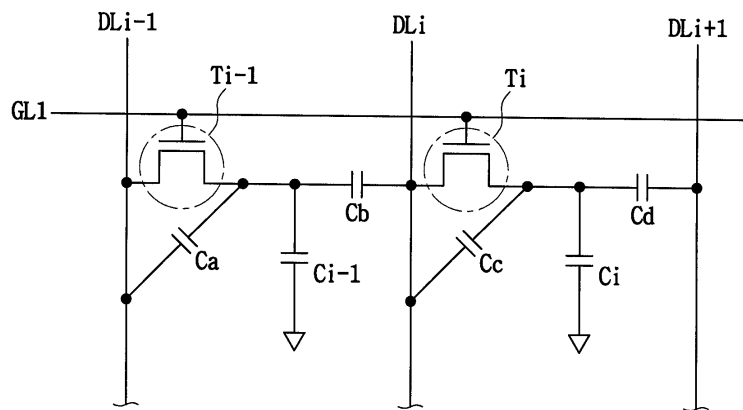
도면2



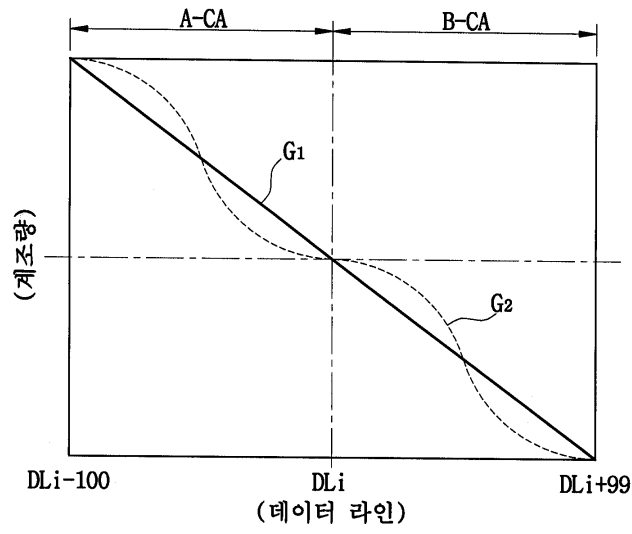
도면3



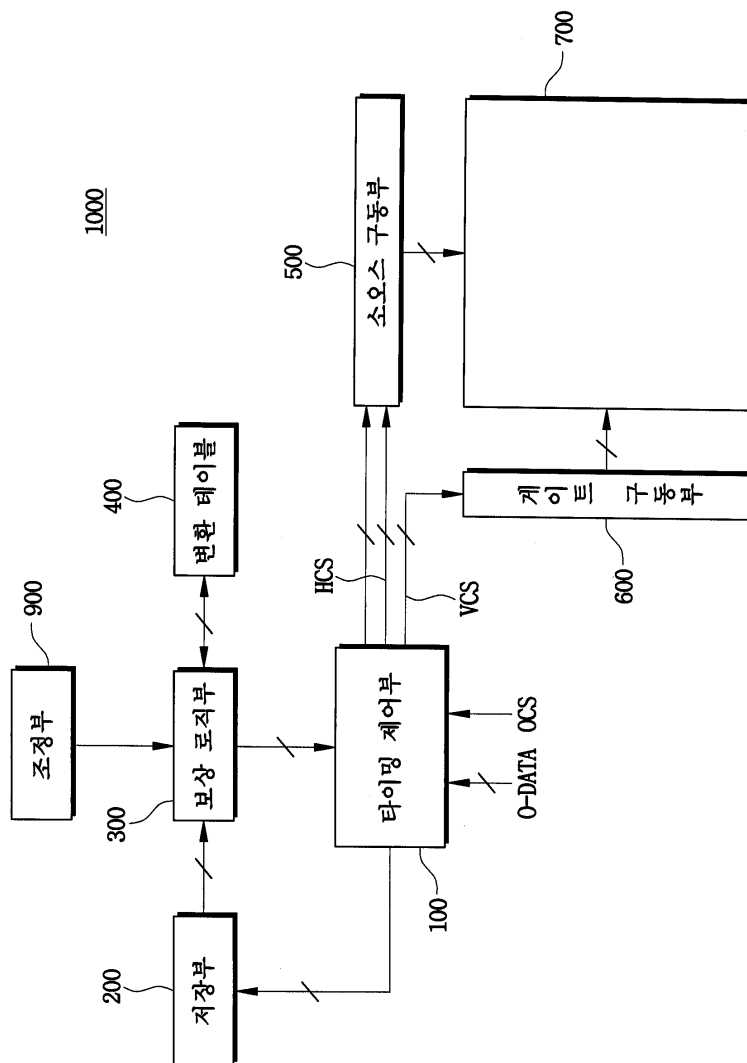
도면4



도면5



도면6



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR100965158B1</a>	公开(公告)日	2010-06-23
申请号	KR1020030044768	申请日	2003-07-03
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	PARK JHEENHYEOK		
发明人	PARK,JHEENHYEOK		
IPC分类号	G02F1/133		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR1020050004546A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

在液晶显示装置中，补偿单元从第一视频信号产生补偿信号，并按原样输出第二视频信号。源极驱动器根据补偿信号和第二视频信号产生第一和第二数据信号，并将第一和第二数据信号提供给液晶显示板。液晶显示面板包括多个非补偿区域，其具有补偿区域，该补偿区域具有用于接收第一数据信号的多个第一数据线和用于接收第二数据信号以显示图像的多个第二数据线。因此，可以改善液晶显示装置的显示特性。

