



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0019145
(43) 공개일자 2008년03월03일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0081290

(22) 출원일자 2006년08월25일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

구영동

경기 용인시 성북동 LG차빌리지 305동 604호

이두원

서울 노원구 중계1동 363-1 롯데우성아파트
101-1003

(74) 대리인

정상빈, 특허법인가산

전체 청구항 수 : 총 6 항

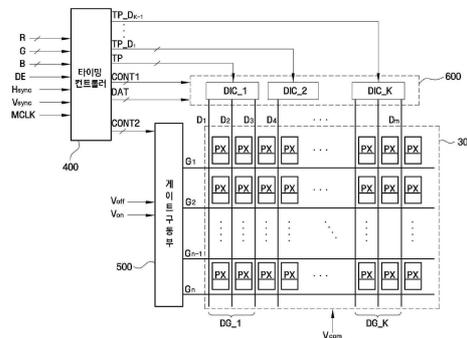
(54) 액정 표시 장치

(57) 요약

표시 품질을 향상시킬 수 있는 액정 표시 장치가 제공된다. 액정 표시 장치는, 다수의 게이트 라인과 다수의 데이터 라인을 포함하는 액정 패널과, 인버터 체인을 포함하는 다수의 위상 지연부를 포함하여 다수의 로드 신호를 출력하는 타이밍 컨트롤러로서, 다수의 로드 신호는 각각 소정의 위상차를 갖는 타이밍 컨트롤러 및 각 로드 신호에 인에이블되어 데이터 전압을 각 데이터 라인에 제공하는 다수의 데이터 드라이브 IC를 포함한다.

대표도

10



특허청구의 범위

청구항 1

다수의 게이트 라인과 다수의 데이터 라인을 포함하는 액정 패널;

인버터 체인을 포함하는 다수의 위상 지연부를 포함하여 다수의 로드 신호를 출력하는 타이밍 컨트롤러로서, 상기 다수의 로드 신호는 각각 소정의 위상차를 갖는 타이밍 컨트롤러; 및

상기 각 로드 신호에 인에이블되어 데이터 전압을 상기 각 데이터 라인에 제공하는 다수의 데이터 드라이브 IC를 포함하는 액정 표시 장치.

청구항 2

제 1항에 있어서,

상기 다수의 위상 지연부는 직렬로 연결되고, 상기 각 위상 지연부마다 상기 각 로드 신호를 출력하는 액정 표시 장치.

청구항 3

다수의 게이트 라인과 다수의 데이터 라인을 포함하는 액정 패널;

제1 로드 신호를 출력하는 타이밍 컨트롤러;

저항 및 커패시터를 포함하는 다수의 위상 지연부를 포함하여, 상기 로드 신호를 입력받아 각각 소정의 위상차를 갖는 다수의 제2 로드 신호를 출력하는 지연부; 및

상기 각 제2 로드 신호에 인에이블되어 데이터 전압을 상기 각 데이터 라인에 제공하는 다수의 데이터 드라이브 IC를 포함하는 액정 표시 장치.

청구항 4

제 3항에 있어서,

상기 다수의 위상 지연부는 직렬로 연결되고, 상기 각 위상 지연부마다 상기 각 제2 로드 신호를 출력하는 액정 표시 장치.

청구항 5

다수의 게이트 라인과 다수의 데이터 라인을 포함하는 액정 패널;

제1 로드 신호를 출력하는 타이밍 컨트롤러;

인버터 체인을 포함하는 다수의 위상 지연부를 포함하여, 상기 로드 신호를 입력받아 각각 소정의 위상차를 갖는 다수의 제2 로드 신호를 출력하는 지연부; 및

상기 각 제2 로드 신호에 인에이블되어 데이터 전압을 상기 각 데이터 라인에 제공하는 다수의 데이터 드라이브 IC를 포함하는 액정 표시 장치.

청구항 6

제 5항에 있어서,

상기 다수의 위상 지연부는 직렬로 연결되고, 상기 각 위상 지연부마다 상기 각 제2 로드 신호를 출력하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 액정 표시 장치에 관한 것으로, 보다 상세하게는 표시 품질을 향상시킬 수 있는 액정 표시 장치에 관한 것이다.
- <14> 액정 표시 장치는 다수의 게이트 라인과, 게이트 라인에 절연되어 교차하는 다수의 데이터 라인과, 이들 게이트 라인 및 데이터 라인이 교차하는 영역에 형성된 다수의 화소를 구비하는 액정 패널을 포함한다.
- <15> 이때 액정 패널에는 다수의 게이트 라인에 순차적으로 게이트 구동 신호, 예를 들어 게이트 온/오프 전압을 인가하는 게이트 구동부와, 다수의 데이터 라인에 데이터 전압을 인가하는 데이터 구동부가 전기적으로 연결되어 있다.
- <16> 게이트 구동부는 액정 패널의 일측, 예를 들어 액정 패널의 왼쪽에 연결되어 있다. 따라서 게이트 구동 신호가 액정 패널의 오른쪽으로 전달될수록, 게이트 라인의 저항 성분과 커패시턴스 성분 등에 의해 게이트 구동 신호의 지연(이하 'RC 딜레이'라 함)이 발생한다. 예를 들어 액정 패널의 오른쪽 부분에 게이트 온 전압이 인가되는 시간은, 액정 패널의 왼쪽 부분에서 게이트 온 전압이 인가되는 시간보다 늦다.
- <17> 이러한 게이트 구동 신호의 지연에도 불구하고, 로드 신호는 액정 패널의 왼쪽 부분 및 오른쪽 부분 모두에서 동일하게 인가되므로, 화소 전극에 데이터 전압이 충분하게 충전되지 못한다. 이러한 데이터 전압의 불충분한 충전은, 액정 표시 장치의 표시 품질을 저하시킨다.

발명이 이루고자 하는 기술적 과제

- <18> 본 발명이 이루고자 하는 기술적 과제는 표시 품질을 향상시킬 수 있는 액정 표시 장치를 제공하고자 하는 것이다.
- <19> 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제는 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

- <20> 상기 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 액정 표시 장치는, 다수의 게이트 라인과 다수의 데이터 라인을 포함하는 액정 패널과, 인버터 체인을 포함하는 다수의 위상 지연부를 포함하여 다수의 로드 신호를 출력하는 타이밍 컨트롤러로서, 상기 다수의 로드 신호는 각각 소정의 위상차를 갖는 타이밍 컨트롤러 및 상기 각 로드 신호에 인에이블되어 데이터 전압을 상기 각 데이터 라인에 제공하는 다수의 데이터 드라이브 IC를 포함한다.
- <21> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 태양에 따른 액정 표시 장치는, 다수의 게이트 라인과 다수의 데이터 라인을 포함하는 액정 패널과, 제1 로드 신호를 출력하는 타이밍 컨트롤러와, 저항 및 커패시터를 포함하는 다수의 위상 지연부를 포함하여, 상기 로드 신호를 입력받아 각각 소정의 위상차를 갖는 다수의 제2 로드 신호를 출력하는 지연부 및 상기 각 제2 로드 신호에 인에이블되어 데이터 전압을 상기 각 데이터 라인에 제공하는 다수의 데이터 드라이브 IC를 포함한다.
- <22> 상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 태양에 따른 액정 표시 장치는, 다수의 게이트 라인과 다수의 데이터 라인을 포함하는 액정 패널과, 제1 로드 신호를 출력하는 타이밍 컨트롤러와, 인버터 체인을 포함하는 다수의 위상 지연부를 포함하여, 상기 로드 신호를 입력받아 각각 소정의 위상차를 갖는 다수의 제2 로드 신호를 출력하는 지연부 및 상기 각 제2 로드 신호에 인에이블되어 데이터 전압을 상기 각 데이터 라인에 제공하는 다수의 데이터 드라이브 IC를 포함한다.
- <23> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- <24> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

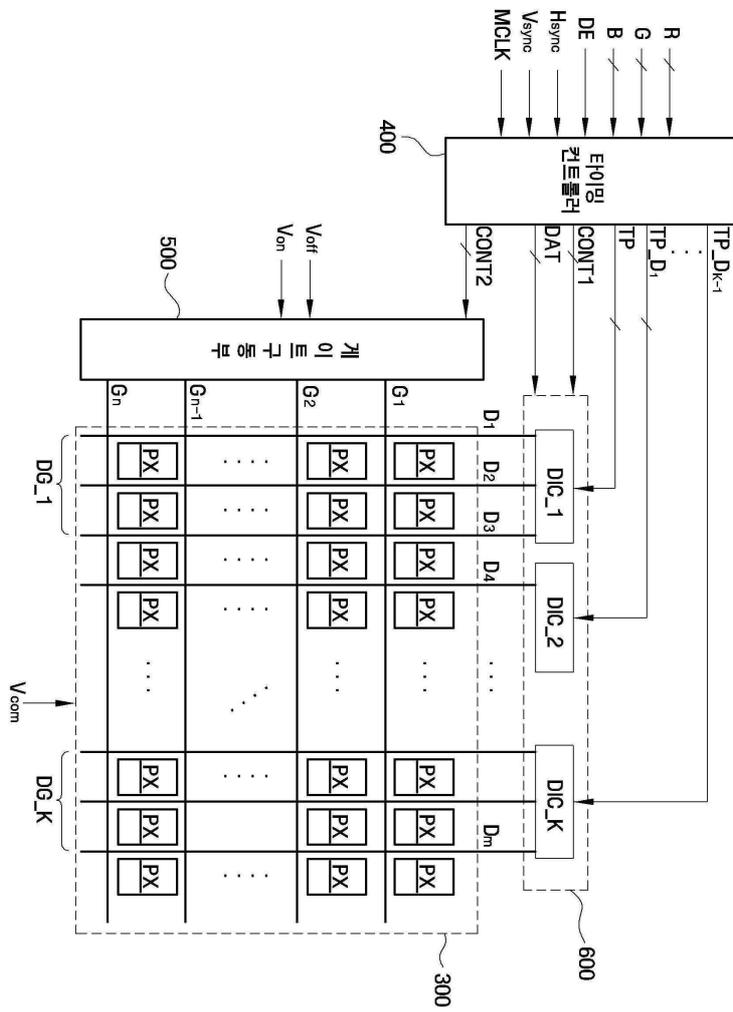
- <25> 이하 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다.
- <26> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 도 1의 액정 표시 장치의 한 화소에 대한 등가 회로도이고, 도 3은 도 1의 타이밍 컨트롤러를 설명하기 위한 회로도이고, 도 4는 도 3의 각 로드 신호를 나타내는 신호도이다.
- <27> 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치(10)는, RC 딜레이에 의해 게이트 온 전압(Von)이 게이트 라인(G₁-G_n)의 오른쪽 부분에 늦게 인가되는 것에 대응하여, 타이밍 컨트롤러(600)가 소정의 위상차를 갖는 로드 신호(TP, TP_{D1}, ..., TP_{Dm-1})를 각 드라이브 IC(DIC₁, DIC₂, ..., DIC_K)에 제공하고, 이에 따라 데이터 라인(D₁-D_m)에 데이터 전압이 각각 인가되므로, 데이터 전압의 화소(PX)에의 충전 시간이 충분히 보장된다.
- <28> 구체적으로 설명하면, 먼저 액정 표시 장치(10)는 액정 패널(300), 타이밍 컨트롤러(400), 게이트 구동부(500) 및 데이터 구동부(600)를 포함한다.
- <29> 액정 패널(300)은 등가 회로로 볼 때 다수의 표시 신호선(G₁-G_n, D₁-D_m)과 이에 연결되어 있으며 행렬의 형태로 배열된 다수의 화소(PX)를 포함한다. 표시 신호선(G₁-G_n, D₁-D_m)은 게이트 신호를 전달하는 다수의 게이트 라인(G₁-G_n)과 데이터 신호를 전달하는 다수의 데이터 라인(D₁-D_m)을 포함한다.
- <30> 도 2에 도 1의 한 화소(PX)에 대한 등가 회로를 나타내었다. 제1 표시판(100)의 화소 전극(PE)과 대향하도록 제2 표시판(200)의 공통 전극(CE)의 일부 영역에 선크필터(CF)가 형성될 수 있다. 각 화소(PX), 예를 들면 i번째(i=1, 2, ..., n) 게이트선(G_i)과 j번째(j=1, 2, ..., m) 데이터선(D_j)에 연결된 화소(PX)는 신호선(G_i, D_j)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 커패시터(liquid crystal capacitor, Clc) 및 유지 커패시터(storage capacitor, Cst)를 포함한다. 유지 커패시터(Cst)는 필요에 따라 생략될 수 있다.
- <31> 한편, 타이밍 컨트롤러(400)는 외부의 그래픽 제어기(미도시)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수직 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- <32> 타이밍 컨트롤러(400)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 게이트 제어 신호(CONT1)와 데이터 제어 신호(CONT2)를 생성하고 게이트 제어 신호(CONT1)를 게이트 구동부(500)에, 데이터 제어 신호(CONT2)와 영상 신호(DAT)를 데이터 구동부(600)로 보낸다.
- <33> 여기서 게이트 제어 신호(CONT1)는 게이트 구동부(500)의 동작을 제어하기 위한 신호로써, 게이트 구동부(500)의 동작을 개시하는 수직 시작 신호, 게이트 온 전압의 출력 시기를 결정하는 게이트 클럭 신호 및 게이트 온 전압의 펄스 폭을 결정하는 출력 인에이블 신호 등을 포함한다.
- <34> 데이터 제어 신호(CONT2)는 데이터 구동부(600)의 동작을 제어하는 신호로써, 데이터 구동부(600)의 동작을 개시하는 수평 개시 신호 등을 포함한다.
- <35> 또한, 타이밍 컨트롤러(400)는 각각 소정의 위상차를 갖는 다수의 로드 신호(TP, TP_{D1}, ..., TP_{Dk-1})를 데이터 구동부(600)에 제공한다. 여기서 타이밍 컨트롤러(400)는 다수의 위상 지연부를 포함한다.
- <36> 여기서 도 1 및 도 3을 참조하여 구체적으로 설명하면, 타이밍 컨트롤러(400)는 직렬로 연결된 다수의 위상 지연부(PD₁, PD₂, ..., PD_{K-1})를 포함하고, 각 위상 지연부(PD₁, PD₂, ..., PD_{K-1})는 각각 소정의 위상차를 갖는 로드 신호(TP, TP_{D1}, ..., TP_{Dk-1})를 출력한다.
- <37> 각 위상 지연부(PD₁, PD₂, ..., PD_{K-1})는 인버터 체인을 포함한다. 즉, 각 로드 신호(TP, TP_{D1}, ..., TP_{Dk-1})는 인버터 체인을 구성하는 2개의 인버터(INV)를 통과하면서 소정 시간만큼 딜레이된다. 따라서, 도 4에 도시된 바와 같이 소정의 위상차(Δt₁, Δt_{m-1})를 갖는 로드 신호(TP, TP_{D1}, ..., TP_{Dk-1})가 각각 위상 지연부(PD₁, PD₂, ..., PD_{K-1})로부터 출력된다. 이러한 로드 신호(TP, TP_{D1}, ..., TP_{Dk-1})는 데이터 구동부(600)에 제공된다.
- <38> 여기서 인버터 체인은 도 3에 도시된 바와 같이 2개의 인버터(INV)가 직렬로 연결되어 구성될 수 있으나, 이에 한정되지 않고, 다수의 인버터(INV), 예를 들어 짝수개의 인버터(INV)가 직렬로 연결되어 구성될 수 있다.
- <39> 게이트 구동부(500)는 게이트 라인(G₁-G_n)에 연결되어 게이트 온/오프 전압 발생부(미도시)로부터 제공된 게이트

온 전압(Von)과 게이트 오프 전압(Voff)을, 게이트 제어 신호(CONT1)에 응답하여 게이트 라인(G₁-G_n)에 인가한다.

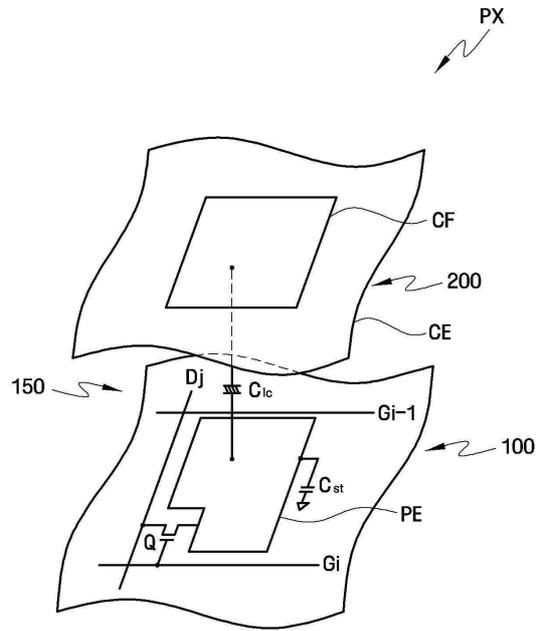
- <40> 데이터 구동부(600)는 다수의 데이터 드라이브 IC(DIC₁, DIC₂, ..., DIC_K)를 포함하는데, 각 데이터 드라이브 IC(DIC₁, DIC₂, ..., DIC_K)는 액정 패널(300) 상에 형성된 다수의 데이터 라인(D₁-D_m)과 전기적으로 연결되어 있다.
- <41> 예를 들어 데이터 드라이브 IC(DIC₁, DIC₂, ..., DIC_K)가 K개인 경우, 다수의 데이터 라인(D₁-D_m)이 K개의 데이터 라인 그룹(DG₁, ..., DG_K)으로 나뉘고, 각 데이터 드라이브 IC(DIC₁, DIC₂, ..., DIC_K)가 각 데이터 라인 그룹(DG₁, ..., DG_K)과 전기적으로 연결된다. 이러한 각 데이터 드라이브 IC(DIC₁, DIC₂, ..., DIC_K)는 타이밍 컨트롤러(400)로부터 영상 신호(DAT)와 로드 신호(TP, TP_{D1}, ..., TP_{D_{k-1}})를 제공받는다.
- <42> 타이밍 컨트롤러(400)로부터 영상 신호(DAT)를 제공받으면, 제공된 영상 신호(DAT)에 대응하는 데이터 전압을 선택한다. 여기서 데이터 전압은 계조 전압 발생부(미도시)로부터 제공된다. 그리고, 각 데이터 드라이브 IC(DIC₁, DIC₂, ..., DIC_K)는 로드 신호(TP, TP_{D1}, ..., TP_{D_{k-1}})에 인에이블되어 선택한 데이터 전압을 각 데이터 라인(D₁-D_m)에 출력한다. 여기서 각 데이터 드라이브 IC(DIC₁, DIC₂, ..., DIC_K)마다 제공되는 로드 신호(TP, TP_{D1}, ..., TP_{D_{k-1}})의 위상차는 각각 다르다.
- <43> 앞에서 도 4를 참조하여 설명하였듯이, 첫번째 데이터 라인 그룹(DG₁)과 연결된 데이터 드라이브 IC(DIC₁)에 제공된 로드 신호(TP)를 기준으로 하여, 순차적으로 증가된 위상차를 갖는 로드 신호(TP, TP_{D1}, ..., TP_{D_{k-1}})가 각 데이터 드라이브 IC(DIC₂, ..., DIC_K)에 제공된다.
- <44> 따라서 각 데이터 드라이브 IC(DIC₁, DIC₂, ..., DIC_K)가 로드 신호(TP, TP_{D1}, ..., TP_{D_{k-1}})에 인에이블되어 데이터 전압을 출력하는데, 각 데이터 드라이브 IC(DIC₁, DIC₂, ..., DIC_K)에 제공되는 로드 신호(TP, TP_{D1}, ..., TP_{D_{k-1}})의 위상차가 다르므로, 데이터 라인(D₁-D_m)에 데이터 전압이 각각 인가되는 시간도 다르게 된다.
- <45> 즉, 가장 먼저 액정 패널(300)의 가장 왼쪽에 형성된 데이터 라인 그룹(DG₁)에 데이터 전압이 인가되고, 액정 패널(300)의 가장 오른쪽에 있는 데이터 라인 그룹(DG_K)에 데이터 전압이 가장 늦게 인가된다.
- <46> 한편, 첫 번째 데이터 라인 그룹(DG₁)과 전기적으로 연결된 데이터 드라이브 IC(DIC₁, DIC₂, ..., DIC_K)에 로드 신호(TP, TP_{D1}, ..., TP_{D_{k-1}})가 제공되면, 이와 실질적으로 동시에, 게이트 구동부(500)는 해당 게이트 라인(G₁-G_n)에 게이트 온 전압(Von)을 인가한다.
- <47> 따라서, 액정 패널(300)의 오른쪽 부분에는 RC 딜레이에 의해 게이트 온 전압(Von)이, 액정 패널(300)의 왼쪽 부분에 비해 늦게 인가되더라도, 이에 대응하여, 액정 패널(300)의 오른쪽 부분의 데이터 라인 그룹(DG_K)에 데이터 전압이 늦게 인가되므로, 액정 패널의 오른쪽 부분의 화소(PX)에 데이터 전압이 충전되는 시간이 충분히 보장된다. 즉, 액정 패널(300)의 전 화소(PX)에 데이터 전압이 충전되는데, 충분한 시간이 주어지게 되어, 액정 표시 장치(10)의 표시 품질이 향상될 수 있다.
- <48> 여기서, 각 로드 신호(TP, TP_{D1}, ..., TP_{D_{k-1}})의 위상차는 게이트 라인(G₁-G_n)의 RC 딜레이에 따라 조절될 수 있다. 예를 들어, 마지막 데이터 라인 그룹(DG_K)과 교차하는 게이트 라인(G₁-G_n)에 게이트 온 전압(Von)이 인가되는 시점과 동시에, 마지막 데이터 라인 그룹(DG_K)에 데이터 전압이 인가되도록 로드 신호(TP_{D_{k-1}})가 제공될 수 있다.
- <49> 각 로드 신호(TP, TP_{D1}, ..., TP_{D_{k-1}})의 위상차는 인버터(INV) 체인을 구성하는 인버터(INV)의 수에 의해 결정되므로, 게이트 라인(G₁-G_n)의 RC 딜레이에 따라 인버터(INV)의 수를 결정하여 소정의 위상차를 갖는 로드 신호(TP, TP_{D1}, ..., TP_{D_{k-1}})를 출력하는 타이밍 컨트롤러(400)를 구성할 수 있다.
- <50> 도 5를 참조하여, 본 발명의 다른 실시예들에 따른 액정 표시 장치를 설명한다. 도 1과 실질적으로 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하고, 설명의 편의상, 해당 구성 요소의 상세한 설명은 생략한다.
- <51> 도 5를 참조하면, 이전 실시예와 달리, 타이밍 컨트롤러(401)는 제1 로드 신호(TP)를 출력하고, 지연부(650)가 타이밍 컨트롤러(401)로부터 제1 로드 신호(TP)를 제공받아 각각 소정의 위상차를 갖는 다수의 제2 로드 신호

도면

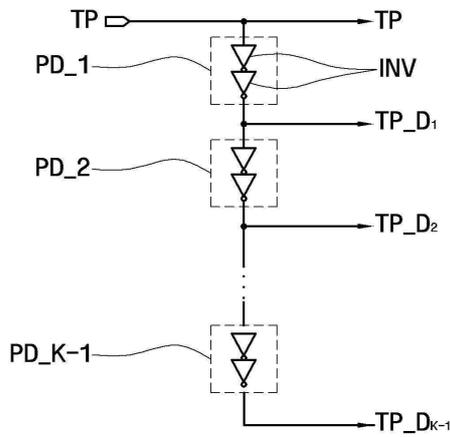
도면1



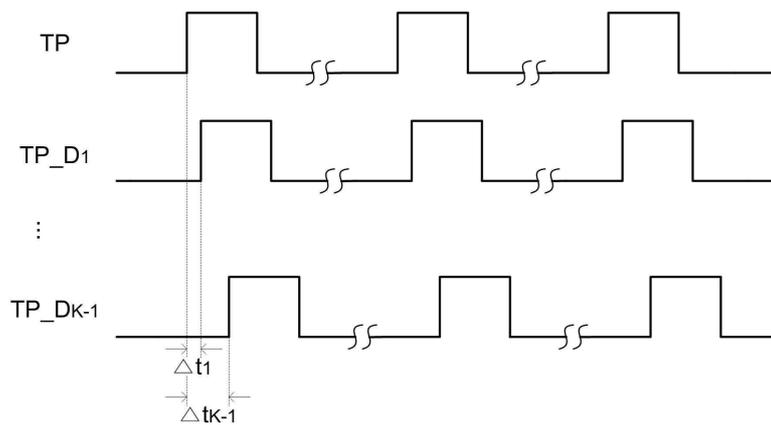
도면2



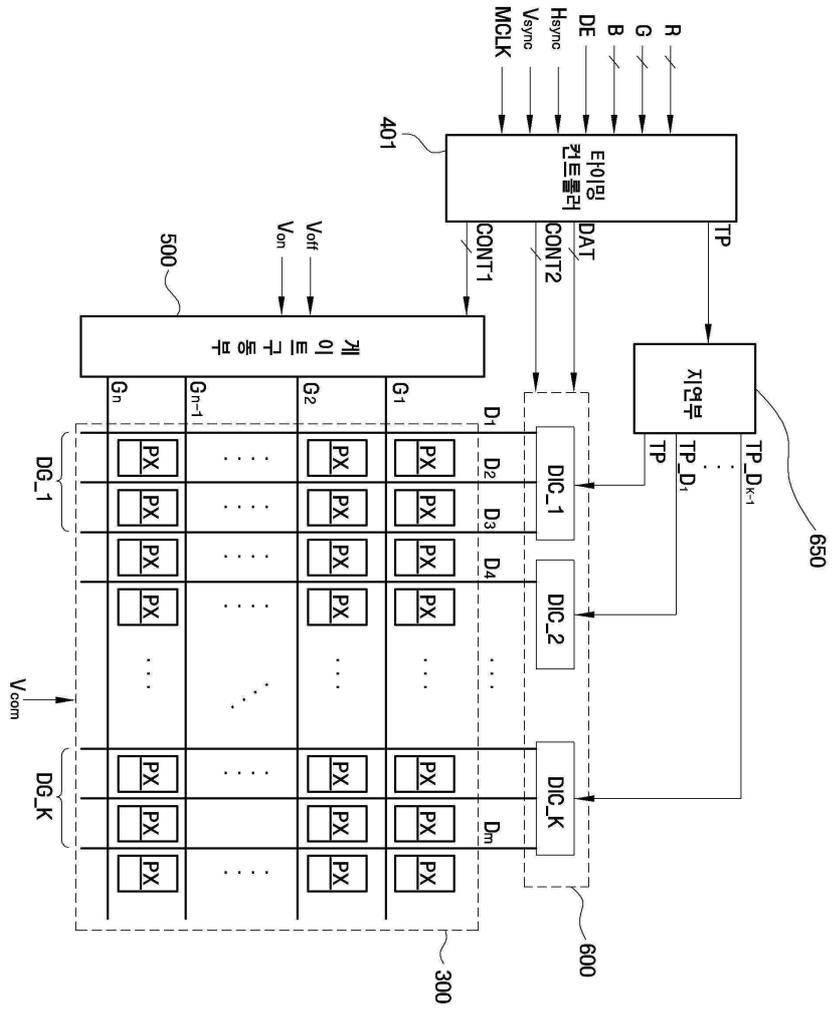
도면3



도면4

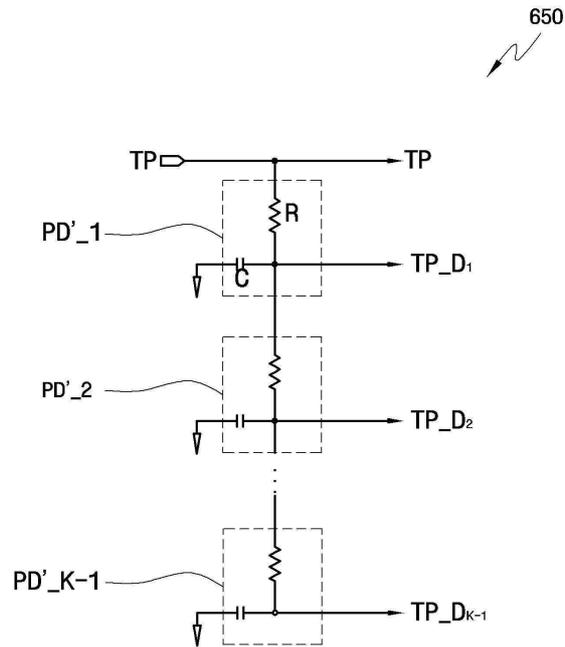


도면5

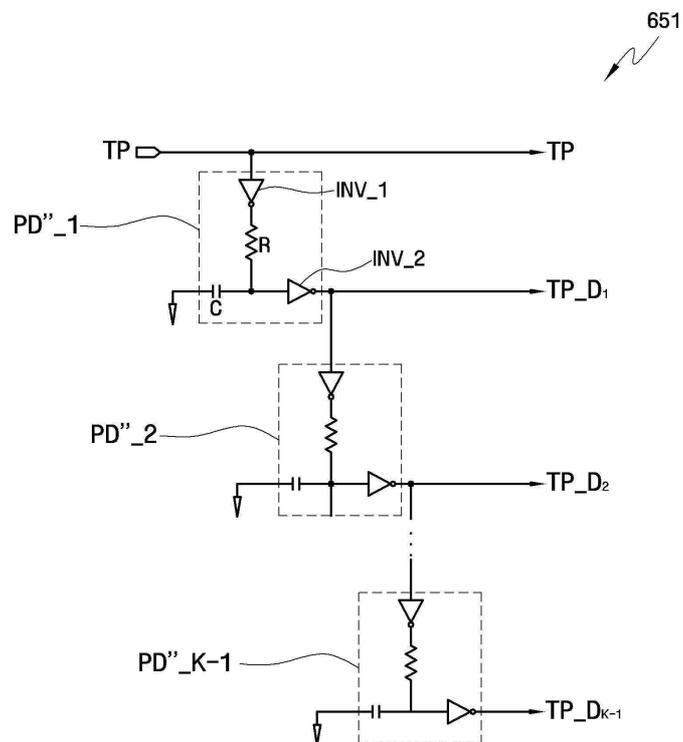


11

도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080019145A	公开(公告)日	2008-03-03
申请号	KR1020060081290	申请日	2006-08-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KOO YOUNG DONG 구영동 LEE DOO WON 이두원		
发明人	구영동 이두원		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3611 G09G2310/08 G09G2320/02		
代理人(译)	JEONG , SANG BIN		
外部链接	Espacenet		

摘要(译)

提供一种能够改善显示质量的液晶显示装置。一种液晶显示装置，包括：液晶面板，包括多条栅极线和多条数据线；以及时序控制器，包括多个相位延迟单元，包括用于输出多个负载信号的反相器链，具有预定相位差的定时控制器和多个数据驱动IC，其对每个负载信号启用并向每条数据线提供数据电压。

