



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0100034  
(43) 공개일자 2007년10월10일

(51) Int. Cl.

G02F 1/136(2006.01)

(21) 출원번호 10-2006-0031572

(22) 출원일자 2006년04월06일

심사청구일자 2006년04월06일

(71) 출원인

비오이 하이디스 테크놀로지 주식회사

경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자

장병현

경기 수원시 권선구 구운동 LD코오롱아파트 106동 903호

임무식

경기 이천시 부발읍 신하6리 삼익아파트 101/1402

최형석

경기 수원시 영통구 영통동 주공9단지아파트 912-1904

(74) 대리인

조영현, 나승택

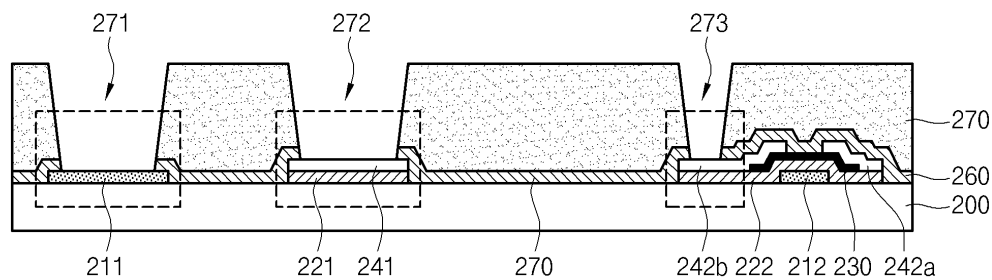
전체 청구항 수 : 총 4 항

(54) 액정표시장치의 제조방법

(57) 요약

본 발명은 개구율 저하를 방지할 수 있는 액정표시장치의 제조방법을 개시한다. 개시된 액정표시장치의 제조방법은, 게이트 라인 및 게이트 전극이 형성되고 게이트 라인과 게이트 전극을 덮도록 전면에 게이트 절연막이 형성되며 게이트 전극에 대응하는 게이트 절연막 위에 액티브층이 형성된 기판을 준비하고, 기판의 전면 위에 데이터 라인용 물질막을 형성하고, 물질막을 패터닝하여 데이터 라인과 액티브층을 덮는 물질막 패턴을 형성하고, 데이터 라인용 물질막 패턴에 의해 노출된 부분의 게이트 절연막을 제거하여 게이트 라인을 노출시키고, 물질막 패턴을 식각하여 액티브층과 각각 콘택하면서 서로 분리되는 소오스 전극 및 드레인 전극을 형성하고, 기판의 전면 위에 절연막을 형성하고, 절연막을 식각하여 게이트 라인, 데이터 라인 및 드레인 전극을 노출시키는 제1, 제2 및 제3 콘택홀을 동시에 형성하는 단계들을 포함하는 것을 특징으로 한다. 본 발명은 콘택홀의 불필요한 크기 증가를 방지하면서 패드부의 게이트 라인과 데이터 라인 및 화소부의 드레인 전극을 노출시키는 콘택홀을 동시에 형성할 수 있어, 콘택홀 크기 증가로 인해 야기되는 개구율 저하를 방지할 수 있으므로 액정표시장치의 표시 품질을 개선할 수 있다.

대표도 - 도2e



## 특허청구의 범위

### 청구항 1

게이트 라인 및 게이트 전극이 형성되고, 상기 게이트 라인과 상기 게이트 전극을 덮도록 전면에 게이트 절연막이 형성되며, 상기 게이트 전극에 대응하는 상기 게이트 절연막 위에 액티브층이 형성된 기판을 준비하는 단계;  
상기 기판의 전면 위에 데이터 라인용 물질막을 형성하는 단계;

상기 물질막을 패터닝하여 데이터 라인과 상기 액티브층을 덮는 물질막 패턴을 형성하는 단계;

상기 데이터 라인과 상기 물질막 패턴에 의해 노출된 부분의 상기 게이트 절연막을 제거하여 상기 게이트 라인을 노출시키는 단계;

상기 물질막 패턴을 식각하여 상기 액티브층과 각각 콘택하면서 서로 분리되는 소오스 전극 및 드레인 전극을 형성하는 단계;

상기 기판의 전면 위에 절연막을 형성하는 단계; 및

상기 절연막을 식각하여 상기 게이트 라인, 상기 데이터 라인 및 상기 드레인 전극을 노출시키는 제1, 제2 및 제3 콘택홀을 동시에 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 2

제 1 항에 있어서,

상기 데이터 라인용 물질막의 패터닝 시 하프톤 마스크에 의한 포토레지스트 패턴을 이용하는 것을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 3

제 2 항에 있어서,

상기 포토레지스트 패턴이 상기 데이터 라인을 마스킹하는 제1 패턴과,

상기 제1 패턴과 동일한 높이를 가지면서 상기 소오스 전극 및 드레인 전극 사이의 분리 영역에서 상기 제1 패턴보다 낮은 높이를 가지는 제2 패턴으로 이루어지는 것을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 4

제 3 항에 있어서,

상기 물질막 패턴의 식각 시 상기 포토레지스트 패턴을 일부 제거하여 상기 제2 패턴을 분리한 후 이를 이용하는 것을 특징으로 하는 액정표시장치의 제조방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 액정표시장치에 관한 것으로서, 특히, 개구율 저하를 방지할 수 있는 액정표시장치의 제조방법에 관한 것이다.
- <12> 일반적으로, 액정표시장치는 액정의 광학적 이방성과 분극 성질을 이용하여 화상을 구현하는 장치로서, 두 개의 기판이 액정층을 사이에 두고 서로 대향 배치되고 두 개의 기판 중 일 기판에는 액정 구동 전극들이 제공되고 다른 기판에는 칼라 필터가 제공되어, 액정 구동 전극들 사이의 전기장 변화를 통해 액정 분자의 배열 방향을 인위적으로 조절하고 이때 변화되는 빛의 투과율을 이용하여 여러 가지 화상을 표시한다.
- <13> 액정표시장치는 구동 방식에 따라 능동형과 수동형으로 구동하는데, 최근에는 해상도 및 동영상 구현 능력에서

우수한 능동형을 주로 적용하고 있다. 이러한 능동형 액정표시장치는 화상 표현의 기본 단위인 화소(pixel)를 행렬 방식으로 배열하고 일 기관에 스위칭 소자를 각 화소에 배치시켜 독립적으로 제어하며 스위칭 소자로 주로 박막 트랜지스터(thin film transistor; TFT)를 사용하고 있어 일 기관을 주로 TFT 기관이라고도 한다.

- <14> 도 1a 내지 도 1e를 참조하여 종래 액정표시장치의 제조방법을 설명한다.
- <15> 도 1a를 참조하면, 유리 와 같은 투명 절연 물질로 이루어지는 기관(100) 상에 게이트 라인(111)과 게이트 라인(111)으로부터 연장되는 게이트 전극(112)을 형성한다.
- <16> 도 1b를 참조하면, 게이트 라인(111) 및 게이트 전극(112)을 덮도록 기관(100)의 전면 상에 게이트 절연막(120)을 형성한다.
- <17> 도 1c를 참조하면, 게이트 전극(112)에 대응하는 게이트 절연막(120) 상에 실리콘막으로 이루어지는 액티브층(130)을 형성한다.
- <18> 도 1d를 참조하면, 게이트 절연막(120) 상에 데이터 라인(141)을 형성함과 동시에 액티브층(130)의 일 측과 콘택하는 소오스 전극(142)과 액티브층(130)의 다른 측과 콘택하는 드레인 전극(143)을 각각 형성하여 TFT를 형성한다.
- <19> 여기서, 데이터 라인(141)은 게이트 라인(111)과 교차하여 배치될 수 있고, 드레인 전극(143)은 데이터 라인(141)으로부터 연장되어 형성될 수 있다.
- <20> 도 1e를 참조하면, 기관(100)의 전면 위에 절연막(150)을 형성하고, 상기 절연막(150) 상에 패드부에 위치하는 게이트 라인(111) 위의 절연막 부분과 패드부에 위치하는 데이터 라인(141) 위의 절연막 부분 및 화소부에 위치하는 TFT의 드레인 전극(143) 위의 절연막 부분들을 노출시키는 포토레지스트(160)를 형성한다. 그런다음, 노출된 절연막 부분들을 식각한다. 그러면, 패드부에는 게이트 라인(111) 및 데이터 라인(141)을 노출시키는 제1 및 제2 콘택홀(161, 162)이 형성되고, 화소부에는 드레인 전극(143)을 노출시키는 제3 콘택홀(163)이 형성된다.
- <21> 그 후, 도시되지는 않았지만, 절연막(150) 상에 제3 콘택홀(153)을 통하여 TFT의 드레인 전극(143)과 전기적으로 연결되는 화소 전극을 형성한다.
- <22> 그런데, 상술한 바와 같은 종래의 액정표시장치의 제조 공정에서는, 게이트 라인(111)이 데이터 라인(141) 및 드레인 전극(143)과 서로 다른 평면상에 위치함에 따라, 데이터 라인(141) 및 드레인 전극(143)과는 달리 게이트 전극(111) 위에는 절연막(150)과 게이트 절연막(120)이 같이 존재하기 때문에 콘택홀(151, 152, 153) 형성을 위해 소요되는 시간에서 차이가 발생하게 된다.
- <23> 이처럼 콘택홀(161, 162, 163) 형성 시 소요되는 시간에서 차이가 발생하게 되면 상대적으로 시간이 짧게 소요되는 부분, 즉 데이터 라인(141) 및 드레인 전극(143)을 노출시키는 제2 및 제3 콘택홀(162, 163)이 과도하게 식각되어 이들의 크기가 불필요하게 커짐으로써 광 누설을 일으키는 요인으로 작용하게 된다.
- <24> 또한, 이러한 큰 콘택홀로 인해 야기되는 광 누설을 차단하기 위해서는 데이터 라인(141)과 드레인 전극(143)의 크기를 증가시켜야 하나, 이는 액정표시장치의 개구율 저하를 유발하는 요인으로 작용하게 된다.

**발명이 이루고자 하는 기술적 과제**

- <25> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 창출된 것으로서, 콘택홀의 불필요한 크기 증가를 억제하여 개구율 저하를 방지할 수 있는 액정표시장치의 제조방법을 제공하는 것을 그 목적으로 한다.

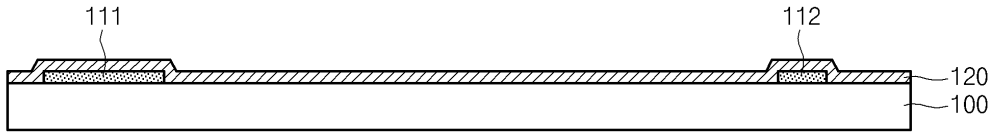
**발명의 구성 및 작용**

- <26> 상기의 목적을 달성하기 위한 본 발명의 액정표시장치의 제조방법은, 게이트 라인 및 게이트 전극이 형성되고 게이트 라인과 게이트 전극을 덮도록 전면에 게이트 절연막이 형성되며 게이트 전극에 대응하는 게이트 절연막 위에 액티브층이 형성된 기관을 준비하고, 기관의 전면 위에 데이터 라인용 물질막을 형성하고, 물질막을 패터닝하여 데이터 라인과 액티브층을 덮는 물질막 패턴을 형성하고, 데이터 라인과 물질막 패턴에 의해 노출된 부분의 게이트 절연막을 제거하여 게이트 라인을 노출시키고, 물질막 패턴을 식각하여 액티브층과 각각 콘택하면 서로 분리되는 소오스 전극 및 드레인 전극을 형성하고, 기관의 전면 위에 절연막을 형성하고, 절연막을 식각하여 게이트 라인, 데이터 라인 및 드레인 전극을 노출시키는 제1, 제2 및 제3 콘택홀을 동시에 형성하는 단계들을 포함하는 것을 특징으로 한다.

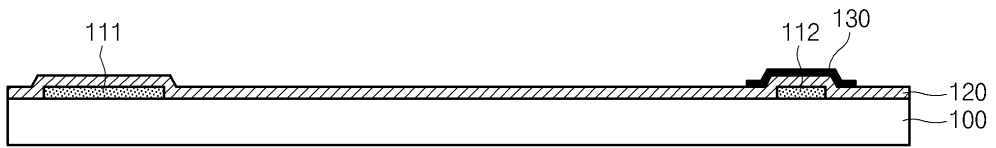
- <27> 여기서, 데이터 라인용 물질막의 패터닝 시 하프톤 마스크에 의한 포토레지스트 패턴을 이용할 수 있으며, 이 경우 포토레지스트 패턴이 데이터 라인을 마스크하는 제1 패턴과, 제1 패턴과 동일한 높이를 가지면서 소오스 전극 및 드레인 전극 사이의 분리 영역에서 제1 패턴보다 낮은 높이를 가지는 제2 패턴으로 이루어지는 것이 바람직하다.
- <28> 또한, 물질막 패턴의 식각 시 포토레지스트 패턴을 일부 제거하여 제2 패턴을 분리한 후 이를 이용하는 것이 바람직하다.
- <29> (실시예)
- <30> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하도록 한다.
- <31> 도 2a 내지 도 2e는 본 발명의 실시예에 따른 액정표시장치의 제조방법을 설명하기 위한 순차적 공정 단면도들이다.
- <32> 도 2a를 참조하면, 유리와 같은 투명 절연 물질로 이루어지는 기판(200) 상에 게이트 라인(211)과 게이트 라인(211)으로부터 연장되는 게이트 전극(212)을 형성한다.
- <33> 그 다음, 게이트 라인(211) 및 게이트 전극(212)을 덮도록 기판(200)의 전면 상에 게이트 절연막(220)을 형성하고, 게이트 전극(212)에 대응하는 게이트 절연막(220) 상에 실리콘막으로 이루어지는 액티브층(230)을 형성한다.
- <34> 그 후, 게이트 라인(211)과 게이트 전극(212)을 덮도록 게이트 절연막(220) 상에 데이터 라인 물질막, 일례로 금속막을 증착한다. 그 다음, 금속막 상부에 포토레지스트막을 도포하고 하프톤 마스크를 이용하여 포토레지스트막을 노광 및 현상하여, 데이터 라인 형성 부분을 마스크하는 제1 패턴(251)과, 이 제1 패턴(251)과 동일한 높이를 가지면서 소오스 및 드레인 전극 형성 부분을 마스크하되 소오스 및 드레인 전극 사이의 분리 영역(253)에서 제1 패턴(251)보다 낮은 높이를 가지는 제2 패턴(252)으로 이루어지는 포토레지스트 패턴을 형성한다.
- <35> 그 후, 포토레지스트 패턴에 의해 노출된 부분의 금속막을 식각하여 데이터 라인(241)을 형성함과 동시에 액티브층(230)을 덮은 금속막 패턴(242)을 형성한다.
- <36> 여기서, 데이터 라인(241)은 게이트 라인(211)과 교차하여 배치될 수 있다.
- <37> 도 2b를 참조하면, 포토레지스트 패턴, 데이터 라인(241) 및 금속막 패턴(242)에 의해 노출된 부분의 게이트 절연막(220)을 제거하여, 게이트 라인(211)은 기판(200)의 표면 위로 노출시키고 게이트 절연막(220)은 데이터 라인(241) 및 금속막 패턴(242) 하부에 패턴(221, 222)으로 남도록 한다.
- <38> 도 2c를 참조하면, 포토레지스트 패턴의 제2 패턴(252)이 분리되도록 포토레지스트 패턴을 일부 제거하여 분리 영역(253)에 위치하는 금속막 패턴(242)을 노출시킨다.
- <39> 이때, 포토레지스트 패턴의 제거는 에칭(ashing) 공정으로 수행할 수 있다.
- <40> 한편, 본 실시예에서는 별도의 제거 공정에 의해 포토레지스트 패턴의 제2 패턴(252)을 분리하였지만, 이를 게이트 절연막(220)의 식각 시 동시에 수행하는 것도 가능하다.
- <41> 도 2d를 참조하면, 노출된 금속막 패턴(242)을 식각하여 액티브층(230)의 일 측 및 다른 측과 각각 콘택하는 소오스 전극 및 드레인 전극(242a, 242b)을 형성하여 TFT를 형성한 후 포토레지스트 패턴을 제거한다.
- <42> 여기서, 드레인 전극(242b)은 데이터 라인(241)으로부터 연장되어 형성될 수 있다.
- <43> 도 2e를 참조하면, 기판(200)의 전면 위로 절연막(260)을 형성하고, 상기 절연막(260) 상에 패드부에 위치하는 게이트 라인(211) 위의 절연막 부분과 패드부에 위치하는 데이터 라인(241) 위의 절연막 부분 및 화소부에 위치하는 TFT의 드레인 전극(242b) 위의 절연막 부분들을 노출시키는 포토레지스트 패턴(260)을 형성한다. 그다음, 노출된 절연막 부분들을 식각해서 패드부에는 게이트 라인(211) 및 데이터 라인(241)을 노출시키는 제1 및 제2 콘택홀(271, 272)을 동시에 형성하고, 화소부에는 드레인 전극(242b)을 노출시키는 제3 콘택홀(273)을 형성한다.
- <44> 이때, 데이터 라인(241) 및 드레인 전극(242b) 뿐만 아니라 게이트 라인(211) 위에도 절연막(270) 만이 존재하기 때문에, 콘택홀(271, 272, 273) 형성을 위해 소요되는 시간에서 차이가 발생하지 않아 종래에서와 같이 데이터 라인(241) 및 드레인 전극(242b)을 노출시키는 제2 및 제3 콘택홀(272, 273)의 과도한 식각이 발생되지 않음



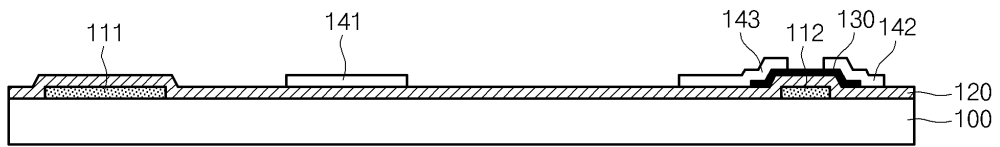
도면1b



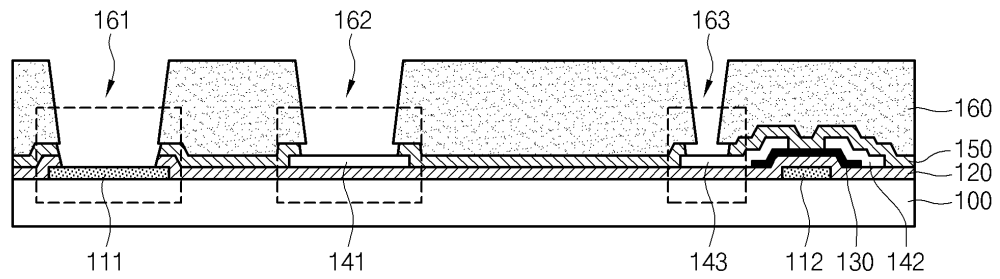
도면1c



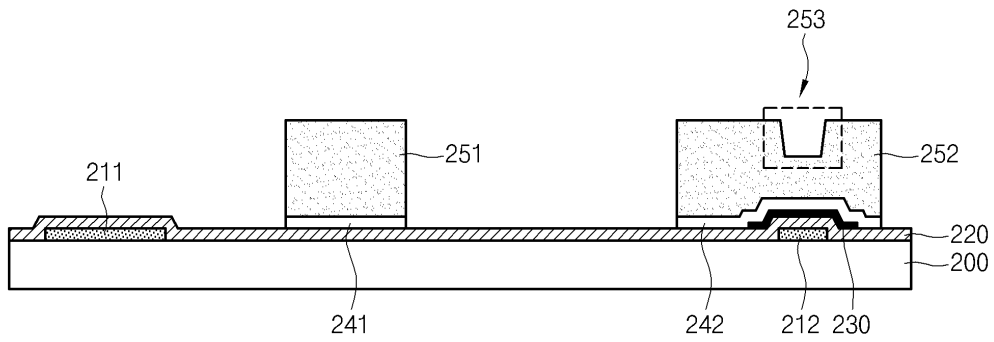
도면1d



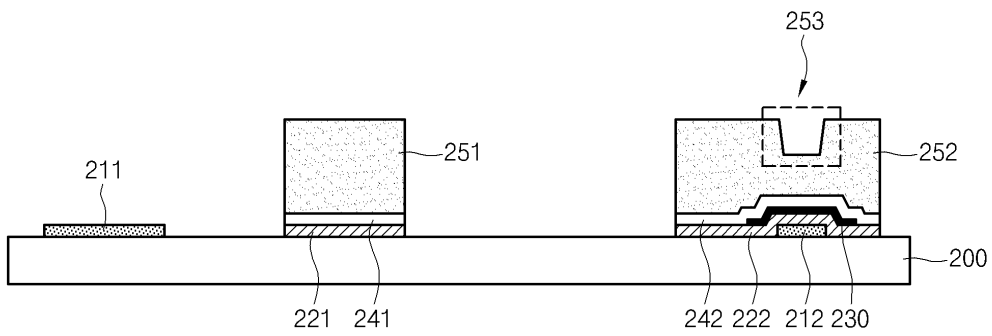
도면1e



도면2a



도면2b



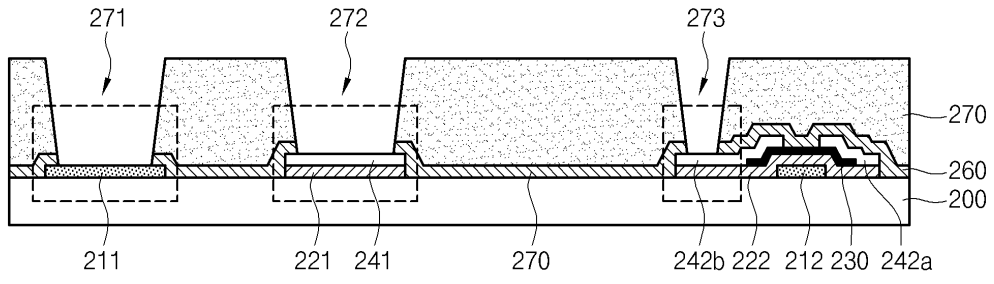
도면2c



도면2d



도면2e



专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	<a href="#">KR1020070100034A</a>	公开(公告)日	2007-10-10
申请号	KR1020060031572	申请日	2006-04-06
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	JANG BYEONG HYEON 장병현 IM MOO SHICK 임무식 CHOI HYUNG SUK 최형석		
发明人	장병현 임무식 최형석		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1335 G02F1/136286 G02F2001/136236 H01L29/78696		
代理人(译)	赵龙HYUN		
其他公开文献	KR100785196B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供一种用于制造液晶显示装置的方法，以形成用于同时暴露像素单元的漏极和焊盘单元的栅极线和数据线同时防止接触孔的不必要区域的接触孔。因此，可以防止开口率变差，并且可以提高液晶显示装置的显示质量。制造液晶显示装置的方法包括以下步骤：形成用于形成栅极线，栅电极，栅极绝缘层和有源层的基板；在基板的前表面上形成用于数据线的材料层；形成用于覆盖数据线和有源层的材料层图案；通过去除栅极绝缘层来暴露栅极线；形成源电极和漏电极；在基板的前表面上形成绝缘层；形成第一，第二和第三接触孔。

