



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G02F 1/1345 (2006.01)

G02F 1/1333 (2006.01)

(11) 공개번호 10-2007-0001557

(43) 공개일자 2007년01월04일

(21) 출원번호 10-2005-0057118

(22) 출원일자 2005년06월29일

심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 박병현
인천 남동구 간석동 167-20 (45/2)

(74) 대리인 특허법인네이트

전체 청구항 수 : 총 8 항

(54) 액정표시장치

(57) 요약

본 발명은, 서로 마주보는 제 1, 2 기판과; 상기 제 1, 2 기판 사이에 개재된 액정층과; 상기 제 1, 2 기판의 가장자리에 위치하여, 상기 제 1, 2 기판을 합착하는 씰패턴과; 상기 제 1 기판 상에 형성된 다수의 게이트배선과; 상기 다수의 게이트배선과 교차하는 다수의 데이터배선과; 상기 다수의 데이터배선의 일끝단과 연결되고, 상기 게이트배선이 연장된 방향을 따라 상기 씰패턴의 외부까지 연장된 전하배출배선과; 상기 전하배출배선과 연결되는 전도성테입과; 상기 전도성테입과 연결되는 금속재질의 케이스를 포함하는 액정표시장치를 제공한다.

대표도

도 4

특허청구의 범위

청구항 1.

서로 마주보는 제 1, 2 기판과;

상기 제 1, 2 기판 사이에 개재된 액정층과;

상기 제 1, 2 기판의 가장자리에 위치하여, 상기 제 1, 2 기판을 합착하는 씰패턴과;

상기 제 1 기판 상에 형성된 다수의 게이트배선과;

상기 다수의 게이트배선과 교차하는 다수의 데이터배선과;

상기 다수의 데이터배선의 일끝단과 연결되고, 상기 게이트배선이 연장된 방향을 따라 상기 칩패턴의 외부까지 연장된 전하배출배선과;

상기 전하배출배선과 연결되는 전도성테입과;

상기 전도성테입과 연결되는 금속재질의 케이스

를 포함하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 전하배출배선은 양끝단이 상기 칩패턴의 외부까지 연장된 액정표시장치.

청구항 3.

제 1 항에 있어서,

상기 전하배출배선과 상기 데이터배선을 연결하는 정전기방지회로를 더욱 포함하는 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 전하배출배선은 500 μ m 이상의 선폭을 갖는 액정표시장치.

청구항 5.

제 1 항에 있어서,

상기 전하배출배선 및 전도성테입은 100 Ω 이하의 저항을 갖는 액정표시장치.

청구항 6.

제 1 항에 있어서,

상기 전하배출배선은, 상기 제 2 기판에 의해 노출되는 부분까지 연장된 액정표시장치.

청구항 7.

제 1 항에 있어서,

상기 금속재질의 케이스는, 상기 합착된 제 1, 2 기관의 가장자리를 테두리하는 탑케이스와, 상기 합착된 제 1, 2 기관의 배면에 위치하는 보텀커버를 포함하는 액정표시장치.

청구항 8.

제 1 항에 있어서,

상기 액정표시장치는 횡전계방식으로 구동되는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(liquid crystal display device : LCD)에 관한 것이다.

정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 LCD(liquid crystal display), PDP(plasma display panel), ELD(electro luminescent display), VFD(vacuum fluorescent display)와 같은 여러가지 평판표시장치가 활용되고 있다.

평판표시장치 중 액정표시장치는 소형화, 경량화, 박형화, 저전력 구동의 장점을 가지고 있어 현재 널리 사용되고 있다.

액정표시장치는 서로 마주보는 두 기관과 두 기관 사이에 개재된 액정으로 이루어진다. 한편, 두기관의 가장자리에는 두기관을 합착하기 위한 씰패턴(seal pattern)이 형성되어 있다. 따라서, 액정은 씰패턴에 의해 둘러싸여지게 된다.

일반적으로, 액정표시장치는 두 기관 각각에 형성된 화소전극과 공통전극 사이에 발생된 수직전계에 의해 액정 배열을 변화시켜 화상을 표시하게 된다. 이와 같은 액정표시장치는 수직전계방식 액정표시장치에 해당된다. 한편, 수직전계방식 액정표시장치보다 시야각(viewing angle)을 향상시키기 위해, 기관면과 평행한 횡전계에 의해 액정 배열을 변화시켜 영상을 표시하는 횡전계방식(in-plane switching mode : IPS mode) 액정표시장치가 사용된다. 횡전계방식 액정표시장치에서는, 박막트랜지스터가 형성된 기관에 화소전극과 공통전극을 평행하게 배치하여 횡전계를 형성하게 된다.

도 1은 종래의 횡전계방식 액정패널을 도시한 등가회로도이다.

도 1에 도시한 바와 같이, 종래의 액정패널(10)에는, 서로 교차하여 다수의 화소영역(P)을 정의하는 게이트배선(GL1, GL2, ..., GLn, GLn+1) 및 데이터배선(DL1, DL2, ..., DLm, DLm+1)이 위치한다. 게이트배선(GL1, GL2, ..., GLn, GLn+1)은 액정패널(10)의 가로방향으로 연장되어 있고, 데이터배선(DL1, DL2, ..., DLm, DLm+1)은 액정패널(10)의 세로방향으로 연장되어 있다. 공통배선(CL1, CL2, ..., CLn, CLn+1)은 게이트배선(GL1, GL2, ..., GLn, GLn+1)과 평행하게 이격되어 있다. 한편, 액정패널(10)에는, 다수의 화소영역(P)을 포함하는 표시영역(DR)과, 표시영역(DR) 주변의 비표시영역(NR)이 정의되어 있다.

화소영역(P)에는, 게이트배선(GL1, GL2, ..., GLn, GLn+1) 및 데이터배선(DL1, DL2, ..., DLm, DLm+1)과 연결되는 박막트랜지스터(T)와, 박막트랜지스터(T)와 연결되는 액정캐패시터(C_{LC}) 및 스토리지캐패시터(C_{ST})가 위치한다.

박막트랜지스터(T)의 게이트전극은 게이트배선(GL1, GL2, ..., GLn, GLn+1)과 연결되고, 소스전극은 데이터배선(DL1, DL2, ..., DLm, DLm+1)과 연결된다. 액정캐패시터(C_{LC})는 박막트랜지스터(T)와 연결되는 화소전극과, 공통배선(CL1,

CL2, ..., CLn, CLn+ 1)과 연결되는 공통전극을 포함한다. 화소전극과 공통전극은 박막트랜지스터(T)가 형성된 제 1 기판(미도시)에 서로 평행하게 이격되어, 횡전계를 형성하게 된다. 스토리지캐패시터(C_{ST})는 액정캐패시터(C_{LC})와 병렬로 연결되어 액정캐패시터(C_{LC})의 보조용량으로서 기능하게 된다.

비표시영역(NR)에는, 표시영역(DR) 주변을 따라, 액정패널(10)의 서로 마주보는 제 1, 2 기판(미도시)을 합착하기 위한 쉘패턴(50)이 위치한다. 쉘패턴(50)과 표시영역(DR) 사이의 비표시영역(NR)에는, 공통공급배선(CSL)과 전하배출배선(FL)이 위치한다.

공통공급배선(CSL)은 외부의 전원공급부(미도시)와 연결되어 공통배선(CL1, CL2, ..., CLn, CLn+ 1)에 공통전압(Vcom)을 공급하게 된다. 공통공급배선(CSL)은, 모든 화소에 균일한 공통전압(Vcom)을 공급하기 위해, 표시영역(DR) 주변을 따라 위치한다. 한편, 전하배출배선(FL)은, 액정패널(10)의 하부에서 다수의 데이터배선(DL1, DL2, ..., DLm, DLm+ 1)과 연결되어 있다.

게이트배선(GL1, GL2, ..., GLn, GLn+ 1)은, 액정패널(10)의 좌측부 및 우측부에서, 정전기방지회로(ESD : electro-static discharger)를 통해 공통공급배선(CSL)과 연결된다. 데이터배선(DL1, DL2, ..., DLm, DLm+ 1)은, 데이터전압(Vd)이 전달되는 액정패널(10)의 상부에서, 정전기방지회로(ESD)를 통해 공통공급배선(CSL)과 연결된다.

한편, 데이터배선(DL1, DL2, ..., DLm, DLm+ 1)은, 액정패널(10)의 하부에서, 정전기방지회로(ESD)를 통해 전하배출배선(FL)과 연결된다. 전하배출배선(FL)은, 정전기방지회로(ESD)를 통해 공통공급배선(CSL)과 연결된다.

게이트배선(GL1, GL2, ..., GLn, GLn+ 1)은 순차적으로 선택되어, 액정패널(10)의 좌측부로부터, 온(ON)상태의 게이트전압(Vg)이 박막트랜지스터(T)에 인가된다. 박막트랜지스터(T)가 온상태가 되면, 데이터배선(DL1, DL2, ..., DLm, DLm+ 1)을 통해, 액정패널(10)의 상부로부터, 데이터전압(Vd)이 박막트랜지스터(T)에 전달된다. 인가된 데이터전압(Vd)은 액정캐패시터(C_{LC})의 화소전극에 전달되어, 화소전극에는 화소전압(Vp)이 충전된다. 한편, 공통전극에는 공통공급배선(CSL) 및 공통배선(CL1, CL2, ..., CLn, CLn+ 1)을 통해 공통전압(Vcom)이 전달된다. 이에 따라, 액정캐패시터(C_{LC})에는 화소전압(Vp)과 공통전압(Vcom)의 차전압인 액정전압이 생성된다. 액정전압에 의해 발생된 횡전계는 액정 배열을 변화시키게 된다. 변화된 액정 배열에 따라 액정에 입사되는 빛의 투과율은 조절되고, 이에 따라 화상이 표시된다.

전술한 바와 같이 구동되는 액정패널(10)에서, 데이터전압(Vd)은 데이터배선이 연장된 세로방향을 따라, 즉, 액정패널(10)의 상부에서 하부방향을 따라 전달된다. 즉, 데이터전압(Vd)을 위한 데이터전하가 액정패널(10)의 상부에서 하부방향을 따라 전달된다. 이와 같은 방향으로 전달되는 데이터전하는 전하배출배선(FL)과, 전하배출배선(FL)과 연결된 공통공급배선(CSL)을 통해 외부로 빠져나가게 된다.

그런데, 도 1의 액정패널(10)을 장시간 구동하는 경우에, 데이터배선(DL1, DL2, ..., DLm, DLm+ 1)에 인가된 데이터전하가, 전하배출배선 및 공통공급배선(FL, CSL)을 통해 원활하게 빠져나가지 못하는 경우가 발생한다. 따라서, 액정패널(10)의 하부에는 데이터전하가 오버차징(over-charging)된다. 오버차징된 데이터전하는, 액정패널(10)의 하부에 위치하는 화소들의 박막트랜지스터(T)에 전기적 손상(damage)을 주게 된다. 특히, 박막트랜지스터(T)의 채널(channel)을 이루는 반도체층에 심각한 손상을 주게 된다. 이와 같은 손상에 의해, 액정패널(10)의 하부에 위치하는 화소에는 신호왜곡현상이 발생하여, 화소가 검게 보이는 흑화현상을 유발하게 된다. 이와 같은 흑화현상은, 구동시간이 장기화됨에 따라, 상부로 번져나가게 된다.

전술한 바와 같은 문제를 해결하기 위해, 도 2와 같은 구조의 액정패널이 제안되었다.

도 2는, 도 1의 액정패널의 신호왜곡현상을 개선하기 위한, 종래의 다른 횡전계방식 액정패널을 도시한 등가회로도이다. 도 2에서는, 설명의 편의를 위해, 화소 내부의 구조에 대해서는 설명을 생략하였다.

도 2에 도시한 바와 같이, 도 2의 액정패널(110)에는, 서로 교차하여 다수의 화소영역(P)을 정의하는 게이트배선(GL1, GL2, ..., GLn, GLn+ 1) 및 데이터배선(DL1, DL2, ..., DLm, DLm+ 1)이 위치한다. 게이트배선(GL1, GL2, ..., GLn, GLn+ 1)은 액정패널(110)의 가로방향으로 연장되어 있고, 데이터배선(DL1, DL2, ..., DLm, DLm+ 1)은 액정패널(110)의 세로방향으로 연장되어 있다. 공통배선(CL1, CL2, ..., CLn, CLn+ 1)은 게이트배선(GL1, GL2, ..., GLn, GLn+ 1)과 평행하게 이격되어 있다.

비표시영역(NR)에는, 표시영역(DR) 주변을 따라, 액정패널(110)의 두기판을 합착하기 위한 썰패턴(150)이 위치한다. 썰패턴(150)과 표시영역(DR) 사이의 비표시영역(NR)에는, 공통공급배선(CSL)과 전하배출배선(FL)이 위치한다. 공통공급배선(CSL)은 표시영역(DR) 주변을 따라 위치한다.

한편, 전하배출배선(FL)은, 액정패널(110)의 하부에서 다수의 데이터배선(DL1, DL2, ..., DLm, DLm+1)과 연결되어 있다. 특히, 도 2의 전하배출배선(FL)은, 도 1과는 달리, 공통공급배선(CSL)과 연결되지 않고, 썰패턴(150) 내에서 액정패널(110)의 하부 및 우측부를 따라 연장되어 있다. 이와 같이 연장된 전하배출배선(FL)은 액정패널(110) 외부의 인쇄회로기판(PCB : printed circuit board)과 연결되어 접지된다. 따라서, 데이터배선(DL1, DL2, ..., DLm, DLm+1)에 인가된 데이터전하는, 전하배출배선(FL) 및 인쇄회로기판을 통해 배출된다.

이와 같이, 데이터전하를, 공통공급배선을 통하지 않고, 인쇄회로기판을 통해 배출함으로써, 도 1의 액정패널에서 발생하는 신호왜곡현상과 이에 따른 흑화현상이 개선될 수 있게 되었다.

그런데, 도 2의 액정패널에서, 전하배출배선(FL)은 액정패널(110)의 하부 및 우측부를 따라 연장되어 형성되기 때문에, 데이터전하의 배출경로가 길어지게 된다. 즉, 데이터전하가, 전하배출배선(FL) 및 인쇄회로기판을 통해 접지되기 까지의 저항은 100Ω 이상이 된다. 더욱이, 전하배출배선(FL)은 썰패턴(150) 내부에 위치하여 연장되기 때문에, 저항을 줄이기 위해, 그 폭을 확장하는 데 있어서도 한계가 있다. 따라서, 이와 같은 도 2의 액정패널(110)이 500시간 이상 구동되면, 도 1의 액정패널과 마찬가지로, 액정패널(110)의 하부에 위치하는 화소에는 오버차징에 의한 신호왜곡현상이 발생하여, 화소가 검게 보이는 흑화현상이 유발된다. 더욱이 액정패널이 대면적화되는 경우에는, 접지점까지의 저항이 더욱 증가하게 되어 흑화현상이 증가하게 된다.

도 3은 도 2의 액정패널의 불량부와 정상부에서의 박막트랜지스터의 전압-전류(V-I)특성을 나타낸 그래프이다. 도 3의 그래프는, 접지점까지의 저항이 180Ω인 액정패널을 500시간 구동한 경우에 나타난 그래프이다.

도 3에 도시한 바와 같이, 흑화현상이 발생하는 불량부의 박막트랜지스터는, 정상부의 박막트랜지스터에 비해, 문턱전압(threshold voltage)이 이동(shift)되어 있음을 알 수 있다.

결국, 종래의 액정패널은 신호왜곡에 따른 흑화현상에 의해 화질이 저하되는 문제를 갖게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은, 전술한 바와 같은 문제를 해결하기 위한 것으로서, 데이터전하를 효과적으로 방출하여 신호왜곡에 의한 흑화현상을 방지함으로써, 화질을 향상시킬 수 있는 액정표시장치를 제공하는 데 그 목적이 있다.

발명의 구성

전술한 바와 같은 목적을 달성하기 위해, 본 발명은, 서로 마주보는 제 1, 2 기판과; 상기 제 1, 2 기판 사이에 개재된 액정층과; 상기 제 1, 2 기판의 가장자리에 위치하여, 상기 제 1, 2 기판을 합착하는 썰패턴과; 상기 제 1 기판 상에 형성된 다수의 게이트배선과; 상기 다수의 게이트배선과 교차하는 다수의 데이터배선과; 상기 다수의 데이터배선의 일끝단과 연결되고, 상기 게이트배선이 연장된 방향을 따라 상기 썰패턴의 외부까지 연장된 전하배출배선과; 상기 전하배출배선과 연결되는 전도성테입과; 상기 전도성테입과 연결되는 금속재질의 케이스를 포함하는 액정표시장치를 제공한다.

여기서, 상기 전하배출배선은 양끝단이 상기 썰패턴의 외부까지 연장될 수 있다. 상기 전하배출배선과 상기 데이터배선을 연결하는 정전기방지회로를 더욱 포함할 수 있다.

상기 전하배출배선은 500 μ m 이상의 선폭을 가질 수 있다. 상기 전하배출배선 및 전도성테입은 100Ω 이하의 저항을 가질 수 있다.

상기 전하배출배선은, 상기 제 2 기판에 의해 노출되는 부분까지 연장될 수 있다.

상기 금속재질의 케이스는, 상기 합착된 제 1, 2 기판의 가장자리를 테두리하는 탑케이스와, 상기 합착된 제 1, 2 기판의 배면에 위치하는 보텀커버를 포함할 수 있다.

상기 액정표시장치는 횡전계방식으로 구동될 수 있다.

이하, 도면을 참조하여, 본 발명의 실시예를 상세히 설명한다.

도 4는 본 발명의 실시예에 따른 횡전계방식 액정패널을 도시한 등가회로도이다.

도 4에 도시한 바와 같이, 본 발명의 실시예에 따른 액정패널(210)에는, 서로 교차하여 다수의 화소영역(P)을 정의하는 게이트배선(GL1, GL2, ..., GLn, GLn+1) 및 데이터배선(DL1, DL2, ..., DLm, DLm+1)이 위치한다. 게이트배선(GL1, GL2, ..., GLn, GLn+1)은 액정패널(210)의 가로방향으로 연장되어 있고, 데이터배선(DL1, DL2, ..., DLm, DLm+1)은 액정패널(210)의 세로방향으로 연장되어 있다. 공통배선(CL1, CL2, ..., CLn, CLn+1)은 게이트배선(GL1, GL2, ..., GLn, GLn+1)과 평행하게 이격되어 있다. 한편, 액정표시장치(210)에는, 다수의 화소영역(P)을 포함하는 표시영역(DR)과, 표시영역(DR) 주변의 비표시영역(NR)이 정의되어 있다.

화소영역(P)에는, 게이트배선(GL1, GL2, ..., GLn, GLn+1) 및 데이터배선(DL1, DL2, ..., DLm, DLm+1)과 연결되는 박막트랜지스터(T)와, 박막트랜지스터(T)와 연결되는 액정캐패시터(C_{LC}) 및 스토리지캐패시터(C_{ST})가 위치한다.

박막트랜지스터(T)의 게이트전극은 게이트배선(GL1, GL2, ..., GLn, GLn+1)과 연결되고, 소스전극은 데이터배선(DL1, DL2, ..., DLm, DLm+1)과 연결된다. 액정캐패시터(C_{LC})는 박막트랜지스터(T)와 연결되는 화소전극과, 공통배선(CL1, CL2, ..., CLn, CLn+1)과 연결되는 공통전극을 포함한다. 화소전극과 공통전극은 박막트랜지스터(T)가 형성된 제 1 기판(미도시)에 서로 평행하게 이격되어, 횡전계를 형성하게 된다. 이와 같이 형성된 횡전계는 액정의 배열을 변화시키게 되고, 이와 같은 횡전계에 의해 화상이 표시된다. 스토리지캐패시터(C_{ST})는 액정캐패시터(C_{LC})와 병렬로 연결되어 액정캐패시터(C_{LC})의 보조용량으로서 기능하게 된다.

액정패널(210)의 좌측 가장자리에는 게이트배선(GL1, GL2, ..., GLn, GLn+1)에 게이트전압(Vg)을 공급하기 위한 게이트구동회로(220)가 위치하고, 상측 가장자리에는 데이터배선(DL1, DL2, ..., DLm, DLm+1)에 데이터전압(Vd)을 공급하기 위한 데이터구동회로(230)가 위치한다. 게이트구동회로 및 데이터구동회로(220, 230)는 각각, 게이트배선(GL1, GL2, ..., GLn, GLn+1) 및 데이터배선(DL1, DL2, ..., DLm, DLm+1)의 일끝단에 위치하는 게이트패드 및 데이터패드(미도시)와 연결되어, 게이트전압 및 데이터전압(Vg, Vd)을 전달하게 된다. 게이트구동회로(220)는 게이트배선(GL1, GL2, ..., GLn, GLn+1)을 세로방향을 따라 순차적으로 선택하여 게이트전압(Vg)을 공급하게 된다.

비표시영역(NR)에는, 표시영역(DR) 주변을 따라, 액정패널(210)의 두기판(미도시)을 합착하기 위한 쉘패턴(250)이 위치한다. 쉘패턴(250)과 표시영역(DR) 사이의 비표시영역(NR)에는, 공통공급배선(CSL)이 위치한다.

공통공급배선(CSL)은 외부의 전원공급부(미도시)와 연결되어, 공통배선(CL1, CL2, ..., CLn, CLn+1)을 통해 공통전극에 공통전압(Vcom)을 공급하게 된다. 공통공급배선(CSL)은, 모든 화소에 균일한 공통전압(Vcom)을 공급하기 위해, 표시영역(DR) 주변을 따라 위치한다.

한편, 전하배출배선(FL)은, 액정패널(210)의 하부의 비표시영역(NR)에서 다수의 데이터배선(DL1, DL2, ..., DLm, DLm+1)과 연결되어 있다. 전하배출배선(FL)은, 게이트배선(GL1, GL2, ..., GLn, GLn+1)이 연장된 가로방향을 따라 연장된다. 특히, 전하배출배선(FL)은 쉘패턴(250)을 통과하여, 쉘패턴(250)의 외부까지 연장되어 형성된다. 이와 같이 쉘패턴(250)의 외부까지 직선형상으로 연장된 전하배출배선(FL)은 전도성테입(280)을 통해, 액정패널(210) 외부의 금속케이스(미도시)와 연결되어 접지된다. 이처럼, 전하배출배선(FL)은 직선형상으로 연장됨으로써, 도 2의 전하배출배선에 비해, 데이터전하의 배출경로가 상당히 단축될 수 있게 된다. 따라서, 신호호폭에 따른 흑화현상을 방지하기 위해, 데이터전하가 전하배출배선(FL) 및 전도성테입(280)을 통해 금속케이스에 접지되기까지의 저항인 100Ω 이하의 값을 가질 수 있게 된다. 특히, 본 발명의 실시예에서는, 데이터전하를 배출하기 위한 구조의 저항은 50Ω 이하의 값을 가지게 되어, 데이터전하를 효과적으로 배출할 수 있게 된다.

전하배출배선(FL)은, 데이터전하의 배출을 효과적으로 하기 위해, 액정패널(210)의 양측부, 즉 좌측부 및 우측부 방향으로, 쉘패턴(250)의 외부까지 연장될 수 있다. 물론, 전하배출배선(FL)은, 액정패널(210)의 좌측부 및 우측부 중 어느 하나의 방향으로, 쉘패턴(250)의 외부까지 연장될 수 있다.

전하배출배선(FL)은, 전술한 100Ω 이하의 저항을 갖기 위해, 500 μ m 이상의 선폭을 가질 수 있다. 더욱이, 저항을 더욱 낮추기 위해, 전하배출배선(FL)은 1000 μ m 이상의 선폭을 가지는 것이 보다 효과적이다. 이와 같은 선폭을 가지기 위해, 전하배출배선(FL)은 썰패턴(250)과 일부 중첩되어 연장될 수 있다.

한편, 데이터배선(DL1, DL2, ..., DLm, DLm+1)은, 액정패널(210)의 하부에서, 정전기방지회로(ESD)를 통해 전하배출배선(FL)과 연결된다.

또한, 게이트배선(GL1, GL2, ..., GLn, GLn+1)은, 액정패널(210)의 좌측부 및 우측부에서, 정전기방지회로(ESD)를 통해 공통공급배선(CSL)과 연결된다. 데이터배선(DL1, DL2, ..., DLm, DLm+1)은, 데이터전압(Vd)이 전달되는 액정패널(210)의 상부에서, 정전기방지회로(ESD)를 통해 공통공급배선(CSL)과 연결된다.

전술한 바와 같이, 본 발명의 실시예에 따른 액정패널에서는, 전하배출배선을 게이트배선과 평행한 직선형상을 갖도록 형성하며, 더욱이 썰패턴 외부까지 연장되도록 형성한다. 이와 같은 전하배출배선을 도전성테이프를 사용하여 액정패널 외부의 금속케이스에 연결하게 된다. 따라서, 데이터전하를 접지점까지 배출하기 위한 저항은 종래에 비해 상당히 단축될 수 있게 되어, 종래와 같은 신호왜곡 현상을 개선할 수 있게 된다.

이하, 도전성테이프를 사용한 데이터전하 배출 구조에 대해 보다 상세히 설명한다.

도 5는 본 발명의 실시예에 따른 액정패널을 개략적으로 도시한 평면도이고, 도 6은 도 5의 절단선 VI-VI을 따라 도시한 단면도이다. 도 5와 6에서는, 설명의 편의를 위해, 표시영역 내부의 구체적인 화소구조는 생략하였다. 한편, 도 5와 6에서는, 액정패널의 좌측부에만 전도성테이프가 연결된 구조를 도시하였다.

도 5와 6에 도시한 바와 같이, 액정패널(210)은 서로 마주보는 제 1, 2 기관(211, 213)과, 제 1, 2 기관(211, 213) 사이에 개재된 액정층(260)을 포함한다. 제 1, 2 기관(211, 213)은 썰패턴(250)을 통해 합착된다. 제 1 기관(211)의 좌측 가장자리에는 게이트배선에 게이트전압을 공급하기 위한 게이트구동회로로서 다수의 게이트드라이버(GD : gate driver)가 제 1 기관(211)과 결합한다. 제 1 기관(211)의 상측 가장자리에는 데이터배선에 데이터전압을 공급하기 위한 데이터구동회로로서 다수의 데이터드라이버(DD : data driver)가 위치한다. 게이트드라이버 및 데이터드라이버(GD, DD) 각각은, 게이트배선 및 데이터배선의 일끝단에 위치하는 게이트패드 및 데이터패드와 연결된다.

제 2 기관(213)은, 게이트드라이버 및 데이터드라이버(GD, DD)와 연결되는 제 1 기관(211) 부분을 노출하기 위해, 제 1 기관(211)보다 작은 면적을 갖게 된다. 이를 위해, 제 2 기관(213)에 대해서는, 두기관(211, 213)의 합착 후에 스크라이빙(scribing) 공정이 진행된다.

한편, 다수의 데이터배선과 액정패널(210)의 하부에서 연결되는 전하배출배선(FL)은 게이트배선의 연장방향을 따라 썰패턴(280)을 통과하게 된다. 특히, 전하배출배선(FL)은 썰패턴(280)을 통과해 제 1 기관(211)의 노출된 부분까지 연장된다. 이와 같이 연장된 전하배출배선(FL)은 전도성테이프(280)와 연결된다. 전도성테이프(280)은, 낮은 저항을 갖기 위해, 구리(Cu), 알루미늄(Al)과 같은 저저항금속물질로 이루어질 수 있다.

앞서 언급한 바와 같이, 전하배출배선(FL)은 데이터전하의 배출을 효과적으로 하기 위해, 액정패널(210)의 양측부, 즉 좌측부 및 우측부 방향으로, 썰패턴(250)의 외부까지 연장될 수 있다. 이에 따라, 전도성테이프(280)은 액정패널(210)의 좌측부 및 우측부에 위치하여, 전하배출배선(FL)과 접촉할 수 있게 된다. 이와 같은 전도성테이프(280)은 액정패널(210) 외부의 금속케이스(미도시)와 연결되어 접지된다.

도 7은 본 발명의 실시예에 따른 액정패널을 포함하는 액정표시장치모듈을 도시한 분해사시도이다.

도 7에 도시한 바와 같이, 본 발명의 실시예에 따른 액정표시장치모듈에는, 액정패널(210)과 백라이트어셈블리(300)가 상하로 포개어진 상태에서 이들 가장자리를 대략 사각테형상의 서포트메인(310 ; support main)이 테두리한다. 액정표시장치모듈의 바닥면 역할을 하는 보텀커버(320 ; bottom cover)는 백라이트어셈블리(300)의 배면을 덮으면서 서포트메인(310)에 결합된다. 탑케이스(330 ; top case)는 액정패널(210)의 가장자리를 테두리하는 사각테형상을 가지며, 서포트메인 및 보텀커버(310, 320)와 조립 체결된다. 액정패널(210)의 가장자리에서 접촉하는 게이트드라이버 및 데이터드라이버(GD, DD)는, 금속패턴을 갖는 플렉서블한 필름 상에 위치한다. 따라서, 게이트드라이버 및 데이터드라이버(GD, DD)는 조립과정에서 서포트메인(310) 외측 또는 보텀커버(320) 배면으로 적절하게 젖혀져서 밀착된다. 백라이트어셈블리(300)는 도광판(311)과, 도광판(311) 일측의 램프(312)와, 도광판(311) 전면에 위치하는 다수의 광학시트(313)와, 도광판(311)

배면에 위치하는 반사판(314)과, 램프(312)를 감싸는 램프가이드(315)를 포함한다. 도 7에서는 램프(312)가 액정표시장치 모듈의 일측에 위치하는 에지형(edge type)인 경우를 예로 들었으나, 병렬배치된 다수의 램프가 액정패널(210)의 하부에 위치하는 직하형(direct type) 또한 사용될 수 있다.

전술한 바와 같은 액정표시장치 모듈에서, 탑케이스(330)과 보텀커버(320)는 금속재질로 이루어진다. 이와 같은 금속재질의 탑케이스(330)과 보텀커버(320) 중 적어도 하나는, 액정패널(210)의 전하배출배선과 연결되는 전도성테입(280)과 연결되어 접지부로서 기능하게 된다.

전술한 바와 같이, 본 발명의 실시예에 따른 액정패널에서는, 전하배출배선이 직선형태로 연장되어 쉘패턴을 통과하도록 형성된다. 이와 같은 전하배출배선은 전도성테입을 통해, 탑케이스 그리고/또는 보텀커버와 같은 금속케이스와 연결되어 접지된다. 따라서, 데이터전하는 액정패널의 하부에 오버차징되지 않고, 효과적으로 배출될 수 있게 된다. 이와 같은 전하배출구조에 의해, 도 2의 불량부에 대응하는 본 발명의 액정패널 부분의 박막트랜지스터는, 도 2의 정상부와 동일한 전압-전류 특성을 갖게 된다. 따라서, 본 발명의 실시예에 따른 액정패널은 신호왜곡에 의한 흑화현상을 방지할 수 있게 된다.

전술한 본 발명의 실시예에서는, 횡전계방식 액정패널을 예로 들어 설명하였다. 그러나, 본 발명의 실시예는, 횡전계방식 이외의 액정패널, 예를 들면, 수직전계방식 액정패널에 대해서도 동일하게 적용될 수 있다.

전술한 본 발명의 실시예는 본 발명의 일예로서, 본 발명의 정신에 포함되는 범위 내에서 자유로운 변형이 가능하다. 따라서, 본 발명은, 첨부된 특허청구범위 및 이와 등가되는 범위 내에서의 본 발명의 변형을 포함한다.

발명의 효과

본 발명은, 액정패널의 전하배출배선이 직선형태로 연장되어 쉘패턴을 통과하도록 형성된다. 이와 같은 전하배출배선은 전도성테입을 통해, 탑케이스 그리고/또는 보텀커버와 같은 금속케이스와 연결되어 접지된다. 따라서, 데이터전하는 액정패널의 하부에 오버차징되지 않고, 효과적으로 배출될 수 있게 된다.

따라서, 본 발명은, 신호왜곡에 의한 흑화현상을 방지하여, 화질을 향상시킬 수 있는 효과를 갖게 된다.

도면의 간단한 설명

도 1은 종래의 횡전계방식 액정패널을 도시한 등가회로도.

도 2는, 도 1의 액정패널의 신호왜곡현상을 개선하기 위한, 종래의 다른 횡전계방식 액정패널을 도시한 등가회로도.

도 3은 도 2의 액정패널의 불량부와 정상부에서의 박막트랜지스터의 전압-전류(V-I)특성을 나타낸 그래프.

도 4는 본 발명의 실시예에 따른 횡전계방식 액정패널을 도시한 등가회로도.

도 5는 본 발명의 실시예에 따른 액정패널을 개략적으로 도시한 평면도.

도 6은 도 5의 절단선 VI-VI을 따라 도시한 단면도

도 7은 본 발명의 실시예에 따른 액정패널을 포함하는 액정표시장치 모듈을 도시한 분해사시도.

< 도면의 주요부분에 대한 부호의 설명 >

210 : 액정패널 220 : 게이트구동회로

230 : 데이터구동회로 250 : 쉘패턴

280 : 도전성테입

GL1, GL2, ..., GLn, GLn+1 : 게이트배선

DL1, DL2, ..., DLm, DLm+1 : 데이터배선

CL1, CL2, ..., CLn, CLn+1 : 공통배선

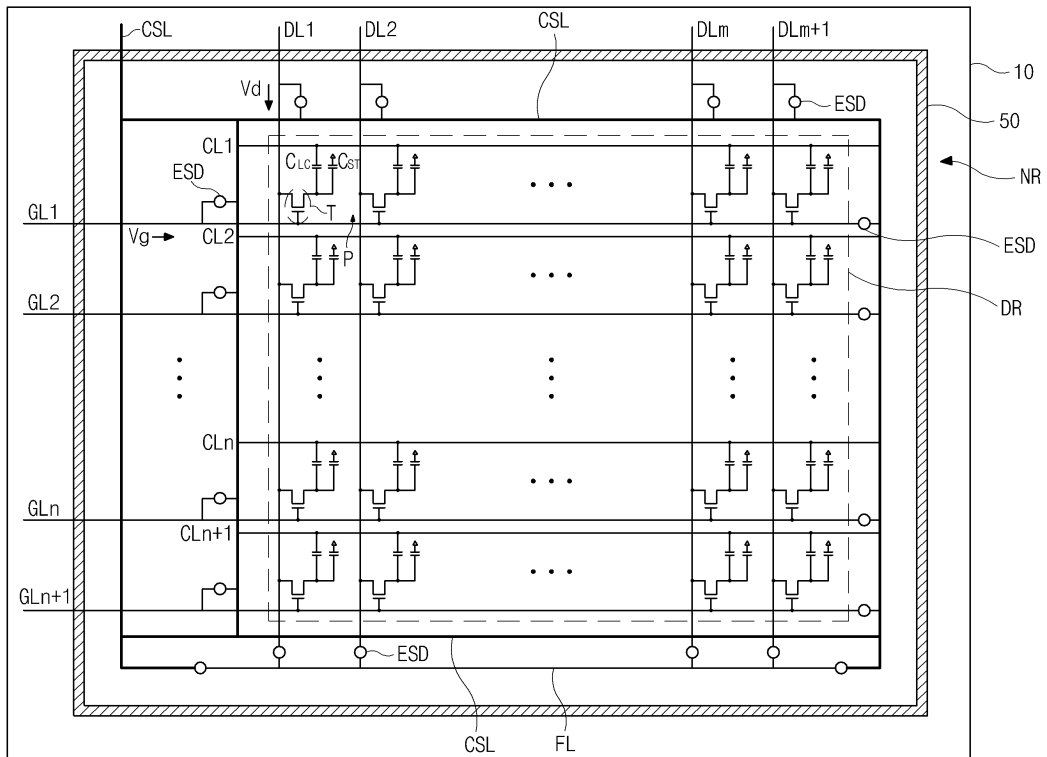
CSL : 공통공급배선

ESD : 정전기방지회로

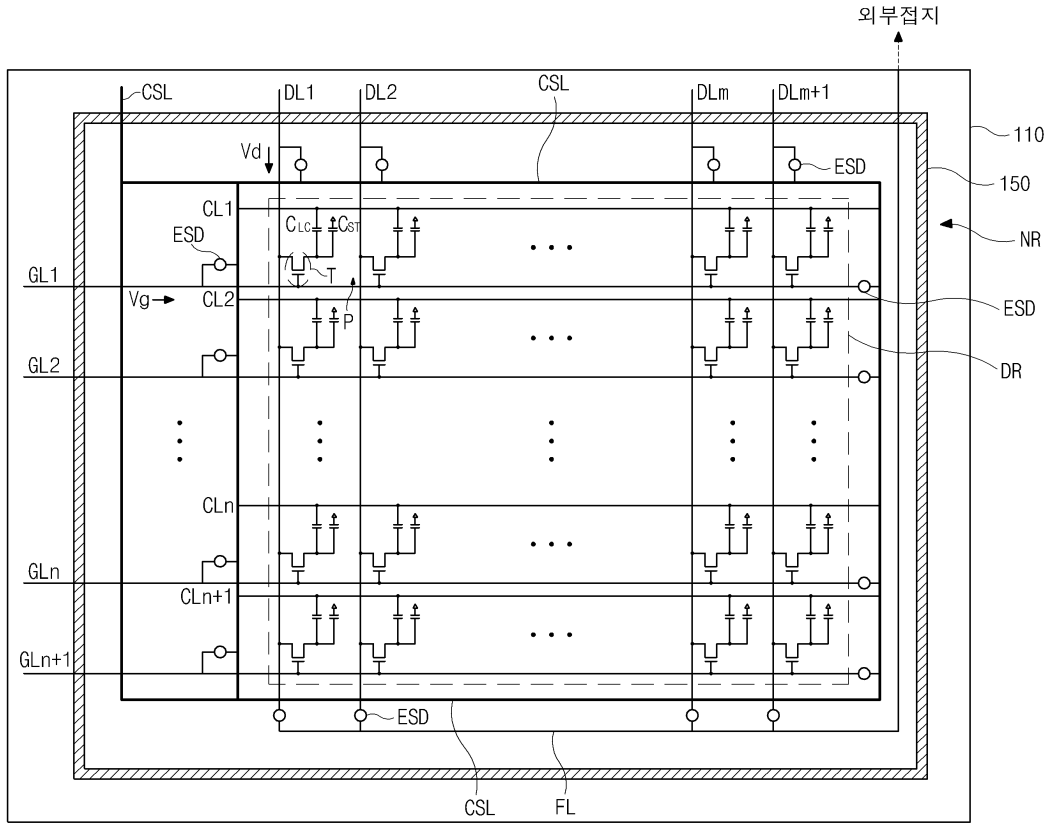
FL : 전하배출배선

도면

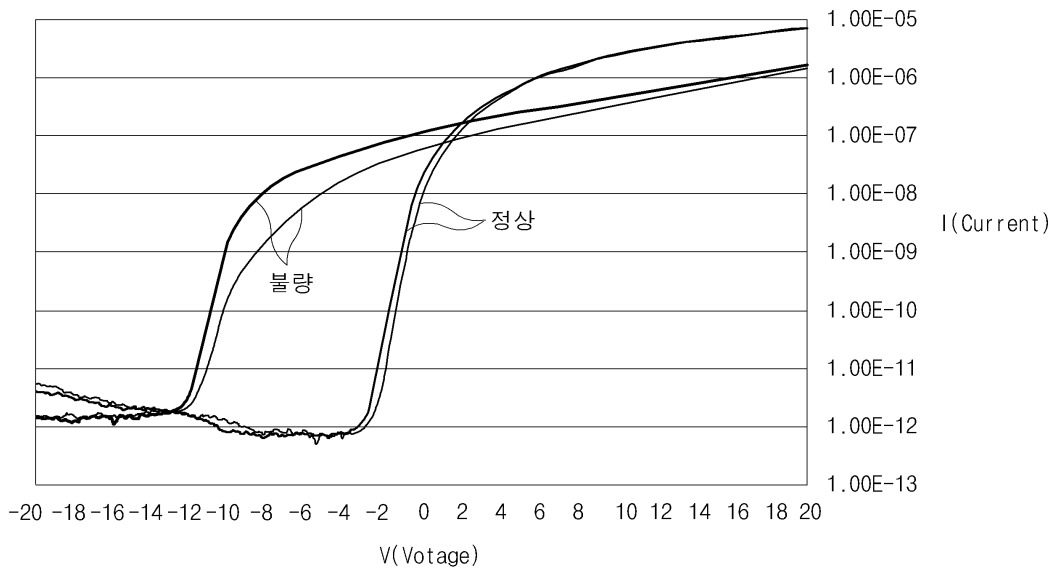
도면1



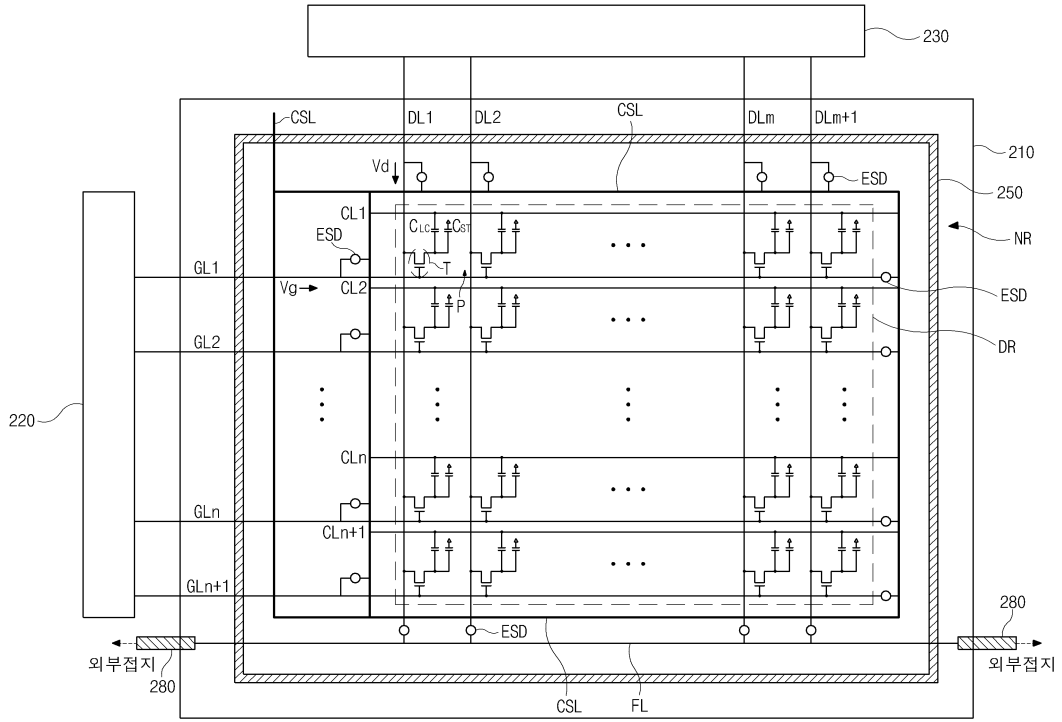
도면2



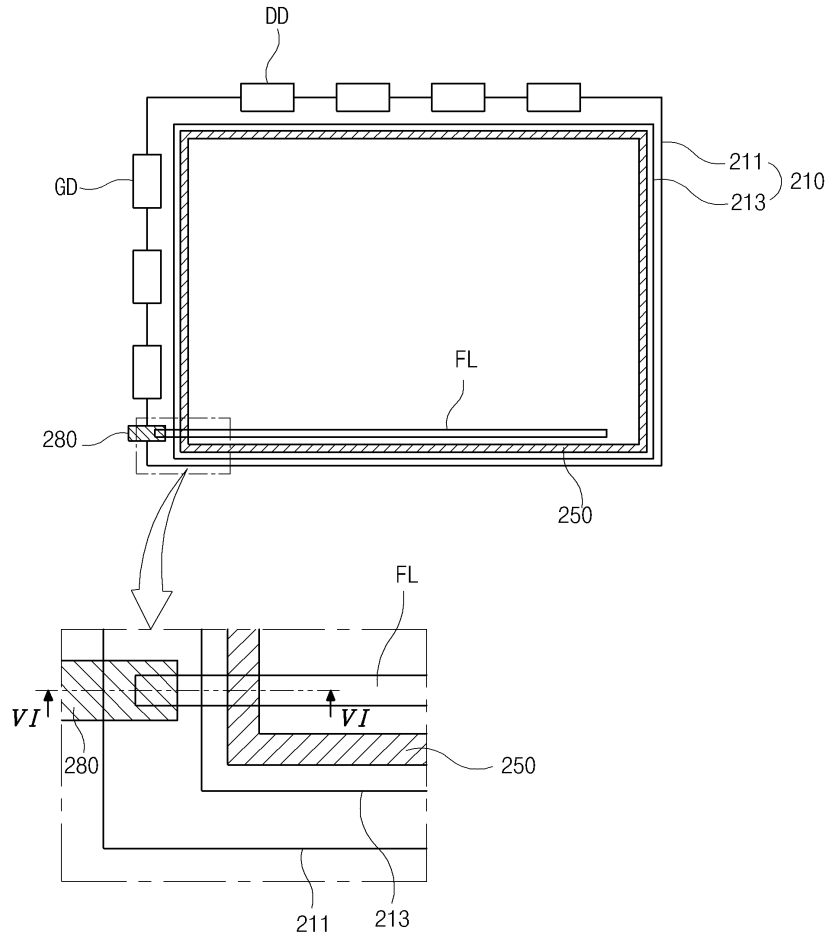
도면3



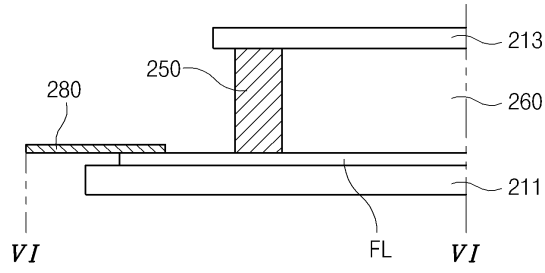
도면4



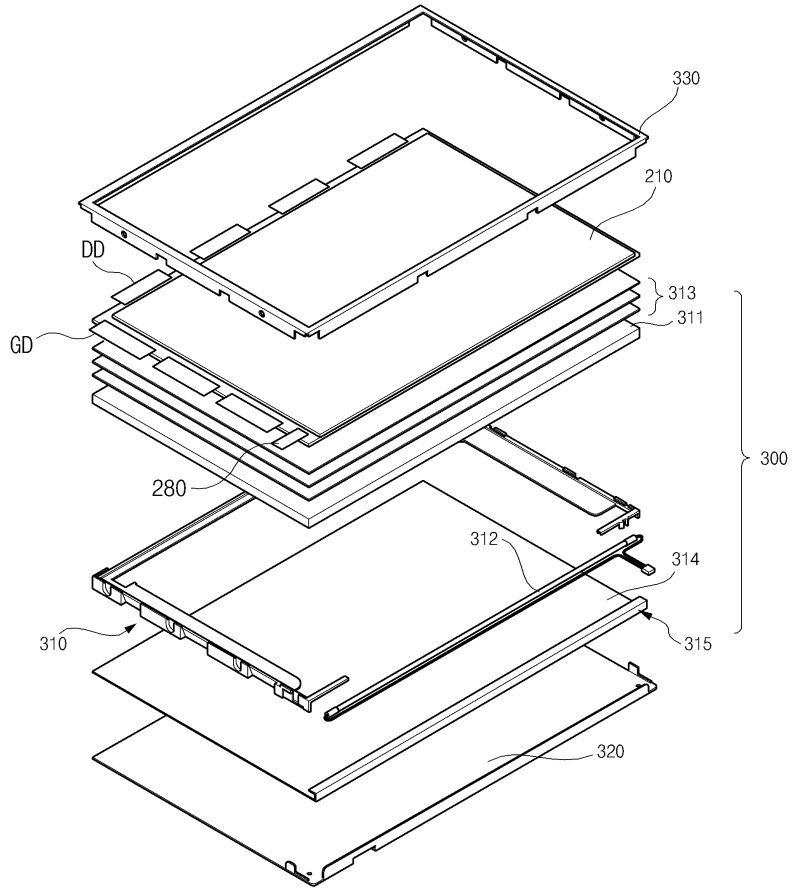
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR1020070001557A	公开(公告)日	2007-01-04
申请号	KR1020050057118	申请日	2005-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK BYUNG HYUN		
发明人	PARK, BYUNG HYUN		
IPC分类号	G02F1/1345 G02F1/1333		
CPC分类号	G02F1/13452 G02F1/136204 G02F1/136286 G09G3/3648		
其他公开文献	KR101162112B1		
外部链接	Espacenet		

摘要(译)

用途：提供LCD（液晶显示器）以有效地释放数据电荷，以防止由于信号失真引起的黑化现象，从而提高图像质量。

