

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0091376
G02F 1/136 (2006.01) (43) 공개일자 2006년08월21일

(21) 출원번호 10-2005-0011900
(22) 출원일자 2005년02월14일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자 김명철
경기 화성시 태안읍 기산리 삼성래미안 107동 401호
(74) 대리인 유미특허법인

심사청구 : 없음

(54) 박막 트랜지스터 표시판 및 그 제조 방법

요약

본 발명에 따른 박막 트랜지스터 표시판은 기판 위에 형성되어 있는 게이트선 및 유지 전극, 게이트선 및 유지 전극 위에 형성되어 있는 게이트 절연막, 게이트 절연막 위에 형성되어 있는 반도체층, 적어도 일부분 반도체층 위에 형성되어 있는 데이터선, 적어도 일부분 반도체층 위에 형성되어 있으며 데이터선과 떨어져 있는 드레인 전극, 데이터선 및 드레인 전극 위에 형성되어 있으며, 드레인 전극의 적어도 일부를 노출하는 제1 접촉 구멍을 가지는 보호막, 보호막 위에 형성되어 있으며 제1 접촉 구멍을 통하여 드레인 전극과 연결되어 있는 화소 전극, 화소 전극과 동일한 층에 형성되며, 화소 전극과 분리되어 유지 전극과 중첩되는 위치에 형성되는 유지 전극용 도전체를 포함하고, 유지 전극과 유지 전극용 도전체는 서로 연결되며, 드레인 전극의 확장부는 유지 전극 및 유지 전극용 도전체와 중첩하고 있는 것이 바람직하다. 따라서, 본 발명에 따른 박막 트랜지스터 표시판 및 그 제조 방법은 유지 용량용 도전체 및 유지 전극이 드레인 전극의 확장부와 중첩되도록 함으로써 유지 용량을 향상시키는 장점이 있다.

대표도

도 1

색인어

액정표시장치, 유지용량, 킥백전압

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이고,

도 2a는 도 1의 박막 트랜지스터 표시판을 IIa-IIa'선을 따라 잘라 도시한 단면도이고,

도 2b는 도 1의 박막 트랜지스터 표시판을 IIb-IIb'선 및 IIb'-IIb"선을 따라 잘라 도시한 단면도이고,
 도 3은 도 1에 도시한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도이고,
 도 4a는 도 3의 박막 트랜지스터 표시판을 IVa-IVa'선을 따라 잘라 도시한 단면도이고,
 도 4b는 도 3의 박막 트랜지스터 표시판을 IVb-IVb'선 및 IVb'-IVb"선을 따라 잘라 도시한 단면도이고,
 도 5는 도 3의 다음 단계의 배치도이고,
 도 6a는 도 5의 박막 트랜지스터 표시판을 VIa-VIa'선을 따라 잘라 도시한 단면도이고,
 도 6b는 도 5의 박막 트랜지스터 표시판을 VIb-VIb'선 및 VIb'-VIb"선을 따라 잘라 도시한 단면도이고,
 도 7은 도 5의 다음 단계의 배치도이고,
 도 8a는 도 7의 박막 트랜지스터 표시판을 VIIIa-VIIIa'선을 따라 잘라 도시한 단면도이고,
 도 8b는 도 7의 박막 트랜지스터 표시판을 VIIIb-VIIIb'선 및 VIIIb'-VIIIb"선을 따라 잘라 도시한 단면도이고,
 도 9는 도 7의 다음 단계의 배치도이고,
 도 10a는 도 9의 박막 트랜지스터 표시판을 Xa-Xa'선을 따라 잘라 도시한 단면도이고,
 도 10b는 도 9의 박막 트랜지스터 표시판을 Xb-Xb'선 및 Xb'-Xb"선을 따라 잘라 도시한 단면도이고,
 도 11은 킥 백 현상에 의한 데이터 전압의 하락을 도시한 도면이고,
 도 12는 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 배치도이고,
 도 13은 도 12의 박막 트랜지스터 표시판을 XIII-XIII'선을 따라 잘라 도시한 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

- 110: 기관 121, 129: 게이트선
- 124: 게이트 전극 140: 게이트 절연막
- 151, 154: 반도체 161, 165: 저항성 접촉 부재
- 171, 179: 데이터선 173: 소스 전극
- 175: 드레인 전극 180p: 보호막
- 180q: 유기막 190: 화소 전극
- 81, 82: 접촉 보조 부재

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 액정층을 통과하는 빛의 투과율을 조절하는 표시 장치이다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 전계 생성 전극이 두 표시판에 각각 구비되어 있는 것이다. 이 중에서도 한 표시판에는 복수의 화소 전극이 행렬의 형태로 배열되어 있고 다른 표시판에는 하나의 공통 전극이 표시판 전면을 덮고 있는 구조의 액정 표시 장치가 주류이다. 이 액정 표시 장치에서의 화상의 표시는 각 화소 전극에 별도의 전압을 인가함으로써 이루어진다. 이를 위해서 화소 전극에 인가되는 전압을 스위칭하기 위한 삼단자 소자인 박막 트랜지스터를 각 화소 전극에 연결하고 이 박막 트랜지스터를 제어하기 위한 신호를 전달하는 게이트선과 화소 전극에 인가될 전압을 전달하는 데이터선을 표시판에 설치한다.

이러한 액정 표시 장치용 표시판은 여러 개의 도전층과 절연층이 적층된 층상 구조를 가진다. 게이트선, 데이터선 및 화소 전극은 차례로 적층된 서로 다른 도전층(이하 각각 게이트 도전체, 데이터 도전체 및 화소 도전체라 함)으로 만들어지고 절연층으로 분리되어 있다. 박막 트랜지스터는 세 개의 전극, 즉 게이트 도전체로 만들어진 게이트 전극과 데이터 도전체로 만들어진 소스 및 드레인 전극을 가지고 있다. 소스 전극과 드레인 전극은 통상 그 아래에 위치하는 반도체로 연결되어 있고, 드레인 전극은 절연막에 뚫린 구멍을 통하여 화소 전극과 연결된다.

화소 전극과 공통 전극은 축전기를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며 이를 유지 축전기(storage capacitor)라 한다. 또한, 유지 축전기의 정전 용량, 즉 유지 용량은 킨백 전압에 영향을 주어 화질 특성에 주요한 영향을 준다.

이러한 유지 축전기는 화소 전극과 유지 전극선의 중첩으로 만들어지거나, 화소 전극과 이에 이웃하는 게이트선을 중첩시킴으로써 만들어진다. 이 때, 유지 용량은 중첩되는 게이트선의 폭이 넓어질수록 커지나, 개구율은 감소되기 때문에 게이트선의 폭을 확장할 수 없다.

발명이 이루고자 하는 기술적 과제

본 발명의 기술적 과제는 개구율의 감소없이 유지 용량을 향상시키는 박막 트랜지스터 표시판 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명에 따른 박막 트랜지스터 표시판은 기판 위에 형성되어 있는 게이트선 및 유지 전극, 상기 게이트선 및 유지 전극 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 적어도 일부분 상기 반도체층 위에 형성되어 있는 데이터선, 적어도 일부분 상기 반도체층 위에 형성되어 있으며 상기 데이터선과 떨어져 있는 드레인 전극, 상기 데이터선 및 상기 드레인 전극 위에 형성되어 있으며, 상기 드레인 전극의 적어도 일부를 노출하는 제1 접촉 구멍을 가지는 보호막, 상기 보호막 위에 형성되어 있으며 상기 제1 접촉 구멍을 통하여 상기 드레인 전극과 연결되어 있는 화소 전극, 상기 화소 전극과 동일한 층에 형성되며, 상기 화소 전극과 분리되어 상기 유지 전극과 중첩되는 위치에 형성되는 유지 전극용 도전체를 포함하고, 상기 유지 전극과 상기 유지 전극용 도전체는 서로 연결되며, 상기 드레인 전극의 확장부는 상기 유지 전극 및 상기 유지 전극용 도전체와 중첩하고 있는 것이 바람직하다.

또한, 상기 보호막 및 화소 전극 사이에 유기막이 더 형성되어 있는 것이 바람직하다.

또한, 상기 반도체층은 상기 데이터선과 상기 드레인 전극 사이에 위치한 부분을 제외하면 상기 데이터선 및 상기 드레인 전극과 실질적으로 동일한 평면 모양을 가지는 것이 바람직하다.

또한, 상기 유지 전극 및 상기 유지 전극용 도전체는 동일한 물질인 것이 바람직하다.

또한, 상기 유지 전극 및 상기 유지 전극용 도전체는 상기 보호막에 형성되어 있는 제2 접촉 구멍을 통해 서로 연결되어 있는 것이 바람직하다.

또한, 본 발명에 따른 박막 트랜지스터 표시판의 제조 방법은 기판 위에 게이트선 및 유지 전극을 형성하는 단계, 상기 게이트선 및 유지 전극 위에 게이트 절연막을 적층하는 단계, 상기 게이트 절연막 위에 반도체를 형성하는 단계, 상기 반도체 및 게이트 절연막 위에 드레인 전극 및 데이터선을 형성하는 단계, 상기 데이터선 및 드레인 전극 위에 보호막 및 유기막을 적층하는 단계, 상기 유기막, 보호막 및 게이트 절연막을 패터닝하여 상기 드레인 전극의 일부를 노출하는 제1 접촉 구멍 및 상기 유지 전극의 일부를 노출하는 제2 접촉 구멍을 형성하는 단계, 상기 제1 접촉 구멍을 통해 상기 드레인 전극과 연결되는 화소 전극과, 상기 제2 접촉 구멍을 통해 상기 유지 전극과 연결되는 유지 전극용 도전체를 상기 보호막 위에 형성하는 단계를 포함하고, 상기 유지 전극용 도전체는 상기 드레인 전극의 확장부와 중첩하는 것이 바람직하다.

또한, 상기 유지 전극 및 상기 유지 전극용 도전체는 동일한 물질인 것이 바람직하다.

그러면, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 첨부한 도면을 참고로 하여 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 박막 트랜지스터 표시판 및 그 제조 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

먼저, 도 1, 도 2a 및 도 2b를 참고로 하여 본 발명의 바람직한 한 실시예에 따른 박막 트랜지스터 표시판 및 그 제조 방법에 대하여 상세히 설명한다.

도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 2a는 도 1의 박막 트랜지스터 표시판을 IIa-IIa'선을 따라 잘라 도시한 단면도이고, 도 2b는 도 1의 박막 트랜지스터 표시판을 IIb-IIb'선 및 IIb'-IIb''선을 따라 잘라 도시한 단면도이다.

절연 기판(110) 위에 복수의 게이트선(gate line)(121) 및 복수의 유지 전극(137)이 형성되어 있다. 게이트선(121)과 유지 전극(137)은 서로 분리되어 있다.

각 게이트선(121)은 위아래로 돌출하여 복수의 게이트 전극(gate electrode)(124)을 이루는 복수의 부분과 다른 층 또는 외부 장치와의 접속을 위하여 면적이 넓은 확장된 끝 부분(129)을 포함한다. 유지 전극(137)은 공통 전압 등 소정의 전압을 인가 받는다.

게이트선(121) 및 유지 전극(137)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등 은 계열의 금속, 구리(Cu)나 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 티타늄(Ti) 또는 탄탈륨(Ta) 따위로 이루어질 수 있다. 게이트선(121)과 유지 전극선(131)은 물리적 성질이 다른 두 개의 막을 포함하는 다층막 구조를 가질 수 있다. 이들 막 중 하나는 게이트선(121) 및 유지 전극(137)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열의 금속으로 이루어진다. 이와는 달리, 다른 하나의 막은 다른 물질, 특히 IZO(indium zinc oxide) 또는 ITO(indium tin oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 크롬, 몰리브덴, 몰리브덴 합금[보기: 몰리브덴-텅스텐(MoW) 합금], 탄탈륨 및 티타늄 등으로 이루어진다. 하부막과 상부막의 조합의 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴 상부막을 들 수 있다.

게이트선(121)의 측면은 기판(110)의 표면에 대하여 경사져 있으며 그 경사각은 약 30-80°이다.

게이트선(121) 위에는 질화규소(SiNx) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 등으로 이루어진 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며 게이트 전극(124)을 향하여 뻗어 나온 복수의 돌출부(projection)(154)를 포함한다.

반도체(151)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161, 165)가 형성되어 있다. 선형 접촉 부재(161)는 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 섬형 접촉 부재(165)는 쌍을 이루어 반도체(151)의 돌출부(154) 위에 위치한다.

반도체(151)와 저항성 접촉 부재(161, 165)의 측면 역시 기판(110)의 표면에 대하여 경사져 있으며 그 경사각은 약 30-80°이다.

저항 접촉 부재(161, 165) 위에는 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175)이 형성되어 있다.

데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)은 다른 층 또는 외부 장치와의 접속을 위하여 면적이 넓은 확장부(179)를 가지고 있다.

각 데이터선(171)에서 드레인 전극(175)을 향하여 뻗은 복수의 가지가 소스 전극(source electrode)(173)을 이룬다. 드레인 전극(175) 각각은 게이트 전극(124) 위에 위치하며 소스 전극(173)으로 일부분 둘러싸인 한 쪽의 선형 끝 부분과, 유지 용량을 형성하기 위해 유지 전극(137)과 중첩하도록 연장되어 있는 다른 쪽의 확장부(176)를 포함한다. 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 반도체(151)의 돌출부(154)와 함께 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다.

데이터선(171) 및 드레인 전극(175)은 크롬, 몰리브덴 합금, 티타늄 또는 탄탈륨 따위의 내화성 금속(refractory metal)으로 이루어질 수 있다. 그러나 이들 또한 저저항막과 접촉성막을 포함할 수 있다.

데이터선(171) 및 드레인 전극(175)도 게이트선(121)과 마찬가지로 그 측면이 약 30-80°의 각도로 기판(110)의 표면에 대하여 경사져 있다.

저항성 접촉 부재(161, 165)는 그 하부의 반도체(151)와 그 상부의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다.

데이터선(171), 드레인 전극(175) 및 노출된 반도체(151) 부분의 위에는 하부(제1) 및 상부(제2) 보호막(180p, 180q)이 차례로 형성되어 있다. 제1 보호막(180p)은 상대적으로 얇고 질화규소 등 무기 절연체로 만들어지는 것이 바람직하며, 제2 보호막(180q)은 상대적으로 두껍고 유기 절연체로 만들어지는 것이 바람직하다. 제1 및 제2 보호막(180p, 180q)에는 데이터선(171)의 끝 부분(179) 및 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185)이 형성되어 있으며, 제1 및 제2 보호막(180p, 180q)과 게이트 절연막(140)에는 게이트선(121) 끝 부분(129)을 드러내는 복수의 접촉 구멍(181) 및 유지 전극(137)의 일부를 드러내는 복수의 접촉 구멍(186)이 형성되어 있다. 접촉 구멍(181, 182, 185, 186)은 완만한 각도를 가지는 측벽을 가지고 있으며, 직사각형의 평면 모양, 다각형 또는 원 모양일 수도 있다.

보호막(180) 위에는 ITO 또는 IZO로 이루어진 복수의 화소 전극(pixel electrode)(190), 유지 전극용 도전체(195) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다.

화소 전극(190)은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받는다.

데이터 전압이 인가된 화소 전극(190)은 공통 전압(common voltage)을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(도시하지 않음)과 함께 전기장을 생성함으로써 두 전극 사이의 액정층의 액정 분자들을 재배열시킨다.

또한 화소 전극(190)과 공통 전극은 축전기[이하 “액정 축전기(liquid crystal capacitor)”라 함]을 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며 이를 유지 축전기(storage capacitor)라 한다. 유지 축전기는 화소 전극(190)과 동일한 층에 형성되는 유지 용량용 도전체(195) 및 이에 연결되어 있는 유지 전극(137)과, 드레인 전극의 확장부(176)간의 중첩으로 만들어진다.

그러나, 유지 축전기의 전압 유지 능력이 작은 경우에는 누설 전하가 발생하며, 누설 전하에 따른 전압 강하 현상에 의해 킥백 전압의 양이 커지게 된다.

즉, 도 11에 도시한 바와 같이, 킥백 전압이란 데이터선을 통해 인가된 데이터 전압(Vd)이 시간이 지남에 따라 천천히 하락하는 경우에, 데이터 전압의 인가 초기에 발생하는 급격한 전압 하락 현상을 말하며, Clc는 화소 전극(190)과 공통 전극 사이에서 형성되는 액정 용량, Cst는 유지 전극(137) 및 유지 용량용 도전체(195)와 드레인 전극의 확장부(176) 사이에서 형성되는 유지 용량, Cgd는 게이트 전극(124)과 드레인 전극(175)사이에서 형성되는 기생용량을 나타내며, Vg는 게이트선(121)에 인가되는 전압을 의미하고, ΔVp가 킥백 현상에 의한 전압 하락치를 표시할 때, 아래 수학식 1에 ΔVp의 수학식이 도시되어 있다.

$$\Delta V_p = V_{gs} \frac{C_{gd}}{C_{lc} + C_{st} + C_{gd}}$$

이와 같이, 킥백 전압이 증가된 경우에는 플리커(Flicker) 현상이 발생하기 쉽다.

따라서, 본 발명의 일 실시예에서는 유지 축전기의 정전 용량, 즉 유지 용량을 늘이기 위하여 유지 용량용 도전체(195)를 드레인 전극의 확장부(176)의 상부에 형성하여 유지 용량용 도전체(195)가 드레인 전극의 확장부(176)와 중첩되도록 하고, 유지 전극(137)을 드레인 전극의 확장부(176)의 하부에 형성하여 유지 전극(137)이 드레인 전극의 확장부(176)와 중첩되도록 하며, 유지 전극(137) 및 유지 용량용 도전체(195)가 제2 접촉 구멍(186)을 통해 연결되도록 한다.

따라서, 유지 전극(137)을 통해 인가된 유지 전압이 유지 용량용 도전체(195)에도 인가되도록 함으로써 입체적으로 드레인 전극의 확장부(176)와 유지 전극(137) 및 유지 용량용 도전체(195)간에 유지 용량이 형성되도록 함으로써 유지 용량을 향상시킨다.

접촉 보조 부재(81, 82)는 접촉 구멍(181, 182)을 통하여 게이트선의 끝 부분(129) 및 데이터선의 끝 부분(179)과 각각 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121) 및 데이터선(171)의 각 끝 부분(129, 179)과 외부 장치와의 접촉성을 보완하고 이들을 보호하는 역할을 한다.

화소 전극(190) 및 유지 용량용 도전체(195)의 재료로 ITO 또는 투명한 도전성 폴리머(polymer) 등을 사용할 수 있으며, 반사형(reflective) 액정 표시 장치의 경우 불투명한 반사성 금속을 사용하여도 무방하다. 이때, 접촉 보조 부재(81, 82)는 화소 전극(190)과 다른 물질, 특히 IZO 또는 ITO로 만들어질 수 있다.

본 발명의 한 실시예에 따른 액정 표시 장치는 도 1 내지 도 2b에 도시한 박막 트랜지스터 표시판과 공통 전극 표시판(도시하지 않음) 및 그 사이에 위치하는 액정층(도시하지 않음)을 포함한다. 각 표시판은 그 위에 도포되어 있는 배향막을 포함할 수 있다.

그러면, 도 1 내지 도 2b에 도시한 박막 트랜지스터 표시판의 제조 방법에 대하여 도 3 내지 도 10b와 앞서의 도 1 내지 도 2b를 참고로 하여 상세히 설명한다.

도 3은 도 1에 도시한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법의 중간 단계에서의 배치도이고, 도 4a는 도 3의 박막 트랜지스터 표시판을 IVa-IVa'선을 따라 잘라 도시한 단면도이고, 도 4b는 도 3의 박막 트랜지스터 표시판을 IVb-IVb'선 및 IVb'-IVb''선을 따라 잘라 도시한 단면도이고, 도 5는 도 3의 다음 단계의 배치도이고, 도 6a는 도 5의 박막 트랜지스터 표시판을 VIa-VIa'선을 따라 잘라 도시한 단면도이고, 도 6b는 도 5의 박막 트랜지스터 표시판을 VIb-VIb'선 및 VIb'-VIb''선을 따라 잘라 도시한 단면도이고, 도 7은 도 5의 다음 단계의 배치도이고, 도 8a는 도 7의 박막 트랜지스터 표시판을 VIIIa-VIIIa'선을 따라 잘라 도시한 단면도이고, 도 8b는 도 7의 박막 트랜지스터 표시판을 VIIIb-

VIIIb'선 및 VIIIb'-VIIIb"선을 따라 잘라 도시한 단면도이고, 도 9는 도 7의 다음 단계의 배치도이고, 도 10a는 도 9의 박막 트랜지스터 표시판을 Xa-Xa'선을 따라 잘라 도시한 단면도이고, 도 10b는 도 9의 박막 트랜지스터 표시판을 Xb-Xb'선 및 Xb'-Xb"선을 따라 잘라 도시한 단면도이다.

먼저, 도 3 내지 도 4b에 도시한 바와 같이, 투명한 유리 따위의 절연 기판(110) 위에 크롬, 몰리브덴, 알루미늄, 은 또는 이들의 합금 등의 금속막을 스퍼터링 등의 방법으로 적층한다. 금속막을 사진 식각 공정으로 건식 또는 습식 식각하여 게이트 전극(124)을 포함하는 복수의 게이트선(121) 및 복수의 유지 전극(137)을 형성한다. 이때, 게이트선(121)과 유지 전극(137)의 측벽은 테이퍼지도록 형성하며 테이퍼 형태는 이들 위에 형성되는 층이 잘 밀착될 수 있도록 한다.

다음, 도 5 내지 도 6b에 도시한 바와 같이, 질화규소 또는 산화규소로 이루어진 게이트 절연막(140), 진성 비정질 규소층(intrinsic amorphous silicon), 불순물 비정질 규소층(extrinsic amorphous silicon)의 삼층막을 연속하여 적층하고, 불순물 비정질 규소층과 진성 비정질 규소층을 사진 식각하여 복수의 선형 불순물 반도체(164)와 복수의 돌출부(154)를 각각 포함하는 선형 진성 반도체(151)를 형성한다.

도 7 내지 도 8b를 참고하면, 도전체층을 스퍼터링 등의 방법으로 적층하고 사진 식각하여 소스 전극(173)을 포함하는 복수의 데이터선(171) 및 복수의 드레인 전극(175)을 형성한다. 이 때, 드레인 전극의 확장부(176)는 유지 전극(137)과 일부 중첩되도록 형성한다.

이어, 데이터선(171) 및 드레인 전극(175)으로 덮이지 않고 노출된 불순물 반도체(164) 부분을 제거함으로써 복수의 돌출부(163)를 각각 포함하는 복수의 선형 저항성 접촉 부재(161)와 복수의 섬형 저항성 접촉 부재(165)를 완성하는 한편, 그 아래의 진성 반도체(151) 부분을 노출시킨다.

도 9 및 도 10b를 참고하면, 질화규소 또는 산화규소로 이루어진 하부 보호막(180p)과 감광성 유기 절연 물질로 이루어진 상부 보호막(180q)을 연속하여 적층하고 게이트 절연막(140)과 함께 식각하여 복수의 접촉 구멍(181, 182, 185, 186)을 형성한다. 접촉 구멍(181, 182, 185, 186)은 게이트선(121)의 끝 부분(129), 데이터선(171)의 끝 부분(179), 드레인 전극(175) 및 유지 전극(137)을 드러낸다.

마지막으로, 도 1 내지 도 2b에 도시한 바와 같이, 상부 보호막(180q) 위에 IZO 또는 ITO막을 스퍼터링으로 적층하고 사진 식각하여 복수의 화소 전극(190), 유지 용량용 도전체(195)와 복수의 접촉 보조 부재(81, 82)를 형성한다.

본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판이 도 12 및 13에 도시되어 있다.

도 12 및 도 13에 도시한 바와 같이, 본 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조는 대개 도 1 내지 도 2b에 도시한 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조와 동일하다.

즉, 기판(110) 위에 게이트 전극(124)을 포함하는 복수의 게이트선(121)과 복수의 유지 전극(137)이 형성되어 있고, 그 위에 게이트 절연막(140), 돌출부(154)를 포함하는 복수의 선형 반도체(151), 돌출부(163)를 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(165)가 차례로 형성되어 있다. 저항성 접촉 부재(161, 165) 위에는 소스 전극(153)을 포함하는 복수의 데이터선(171) 및 확장부(176)를 가지는 복수의 드레인 전극(175)이 형성되어 있고 그 위에 하부 및 상부 보호막(180p, 180q)이 형성되어 있다. 보호막(180p, 180q) 및 게이트 절연막(140)에는 복수의 접촉 구멍(182, 185, 186)이 형성되어 있으며, 상부 보호막(180q) 위에는 복수의 화소 전극(190), 유지 용량용 도전체(195) 및 복수의 접촉 보조 부재(82)가 형성되어 있다. 따라서, 유지 축전기의 정전 용량, 즉 유지 용량을 늘이기 위하여 유지 용량용 도전체(195)를 드레인 전극의 확장부(176)의 상부에 형성하여 유지 용량용 도전체(195)가 드레인 전극의 확장부(176)와 중첩되도록 하고, 유지 전극(137)을 드레인 전극의 확장부(176)의 하부에 형성하여 유지 전극(137)이 드레인 전극의 확장부(176)와 중첩되도록 하며, 유지 전극(137) 및 유지 용량용 도전체(195)가 제2 접촉 구멍(186)을 통해 연결되도록 한다.

따라서, 유지 전극(137)을 통해 인가된 유지 전압이 유지 용량용 도전체(195)에도 인가되도록 함으로써 입체적으로 드레인 전극의 확장부(176)와 유지 전극(137) 및 유지 용량용 도전체(195)간에 유지 용량이 형성되도록 함으로써 유지 용량을 향상시킨다.

그러나, 도 1 내지 도 2b에 도시한 박막 트랜지스터 표시판과 달리, 반도체(151)는 데이터선(171), 드레인 전극(175) 및 그 하부의 저항성 접촉 부재(161, 165)와 실질적으로 동일한 평면 모양을 가지고 있다. 그러나 선형 반도체(151)의 돌출부(154)는 소스 전극(173)과 드레인 전극(175) 사이 등 데이터선(171) 및 드레인 전극(175)으로 가리지 않고 노출된 부분을 가지고 있다.

또한, 게이트선(121)을 노출하는 접촉 구멍과 그 위의 접촉 보조 부재가 없다. 게이트선(121)은 신호선(121, 171) 및 전극(124, 173, 175)과 함께 기판(110) 위에 집적되어 있는 게이트 구동 회로에 직접 연결될 수 있다. 그러나 게이트 구동 회로의 다른 부분과의 연결을 위하여 보호막(180p, 180q) 및 게이트 절연막(140)에 복수의 접촉 구멍(도시하지 않음)을 형성하고 상부 보호막(180q) 위에 복수의 연결 부재(도시하지 않음)를 둘 수 있다.

이러한 박막 트랜지스터를 본 발명의 한 실시예에 따라 제조하는 방법에서는 데이터선(171) 및 드레인 전극(175)과 반도체(151) 및 저항성 접촉 부재(161, 165)를 한 번의 사진 공정으로 형성한다.

이러한 사진 공정에서 사용하는 감광막 패턴은 위치에 따라 두께가 다르며, 특히 두께가 작아지는 순서로 제1 부분과 제2 부분을 포함한다. 제1 부분은 데이터선 및 드레인 전극이 차지하는 배선 영역에 위치하며, 제2 부분은 박막 트랜지스터의 채널 영역에 위치한다.

위치에 따라 감광막 패턴의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는데, 예를 들면 광마스크에 투명 영역(transparent area) 및 차광 영역(light blocking area) 외에 반투명 영역(translucent area)을 두는 방법이 있다. 반투명 영역에는 슬릿(slot) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을 사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)보다 작은 것이 바람직하다. 다른 예로는 리플로우가 가능한 감광막을 사용하는 방법이 있다. 즉, 투명 영역과 차광 영역만을 지닌 통상의 노광 마스크로 리플로우 가능한 감광막 패턴을 형성한 다음 리플로우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성하는 것이다.

이와 같이 하면 한 번의 사진 공정을 줄일 수 있으므로 제조 방법이 간단해진다.

앞서 설명한 도 1 내지 도 2b의 액정 표시 장치용 박막 트랜지스터 표시판에 대한 많은 특징들이 도 12 및 도 13의 박막 트랜지스터 표시판에도 적용될 수 있다.

발명의 효과

본 발명에 따른 박막 트랜지스터 표시판 및 그 제조 방법은 유지 용량용 도전체 및 유지 전극이 드레인 전극의 확장부와 중첩되도록 함으로써 유지 용량을 향상시키는 장점이 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서, 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

(57) 청구의 범위

청구항 1.

기판 위에 형성되어 있는 게이트선 및 유지 전극,

상기 게이트선 및 유지 전극 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체층,

적어도 일부분 상기 반도체층 위에 형성되어 있는 데이터선,

적어도 일부분 상기 반도체층 위에 형성되어 있으며 상기 데이터선과 떨어져 있는 드레인 전극,

상기 데이터선 및 상기 드레인 전극 위에 형성되어 있으며, 상기 드레인 전극의 적어도 일부를 노출하는 제1 접촉 구멍을 가지는 보호막,

상기 보호막 위에 형성되어 있으며 상기 제1 접촉 구멍을 통하여 상기 드레인 전극과 연결되어 있는 화소 전극,

상기 화소 전극과 동일한 층에 형성되며, 상기 화소 전극과 분리되어 상기 유지 전극과 중첩되는 위치에 형성되는 유지 전극용 도전체

를 포함하고,

상기 유지 전극과 상기 유지 전극용 도전체는 서로 연결되며, 상기 드레인 전극의 확장부는 상기 유지 전극 및 상기 유지 전극용 도전체와 중첩하고 있는 박막 트랜지스터 표시판.

청구항 2.

제1항에서,

상기 보호막 및 화소 전극 사이에 유기막이 더 형성되어 있는 박막 트랜지스터 표시판.

청구항 3.

제1항에서,

상기 반도체층은 상기 데이터선과 상기 드레인 전극 사이에 위치한 부분을 제외하면 상기 데이터선 및 상기 드레인 전극과 실질적으로 동일한 평면 모양을 가지는 박막 트랜지스터 표시판.

청구항 4.

제1항에서,

상기 유지 전극 및 상기 유지 전극용 도전체는 동일한 물질인 박막 트랜지스터 표시판.

청구항 5.

제1항에서,

상기 유지 전극 및 상기 유지 전극용 도전체는 상기 보호막에 형성되어 있는 제2 접촉 구멍을 통해 서로 연결되어 있는 박막 트랜지스터 표시판.

청구항 6.

기판 위에 게이트선 및 유지 전극을 형성하는 단계,

상기 게이트선 및 유지 전극 위에 게이트 절연막을 적층하는 단계,

상기 게이트 절연막 위에 반도체를 형성하는 단계,

상기 반도체 및 게이트 절연막 위에 드레인 전극 및 데이터선을 형성하는 단계,

상기 데이터선 및 드레인 전극 위에 보호막 및 유기막을 적층하는 단계,

상기 유기막, 보호막 및 게이트 절연막을 패터닝하여 상기 드레인 전극의 일부를 노출하는 제1 접촉 구멍 및 상기 유지 전극의 일부를 노출하는 제2 접촉 구멍을 형성하는 단계,

상기 제1 접촉 구멍을 통해 상기 드레인 전극과 연결되는 화소 전극과, 상기 제2 접촉 구멍을 통해 상기 유지 전극과 연결되는 유지 전극용 도전체를 상기 보호막 위에 형성하는 단계

를 포함하고,

상기 유지 전극용 도전체는 상기 드레인 전극의 확장부와 중첩하는 박막 트랜지스터 표시판의 제조 방법.

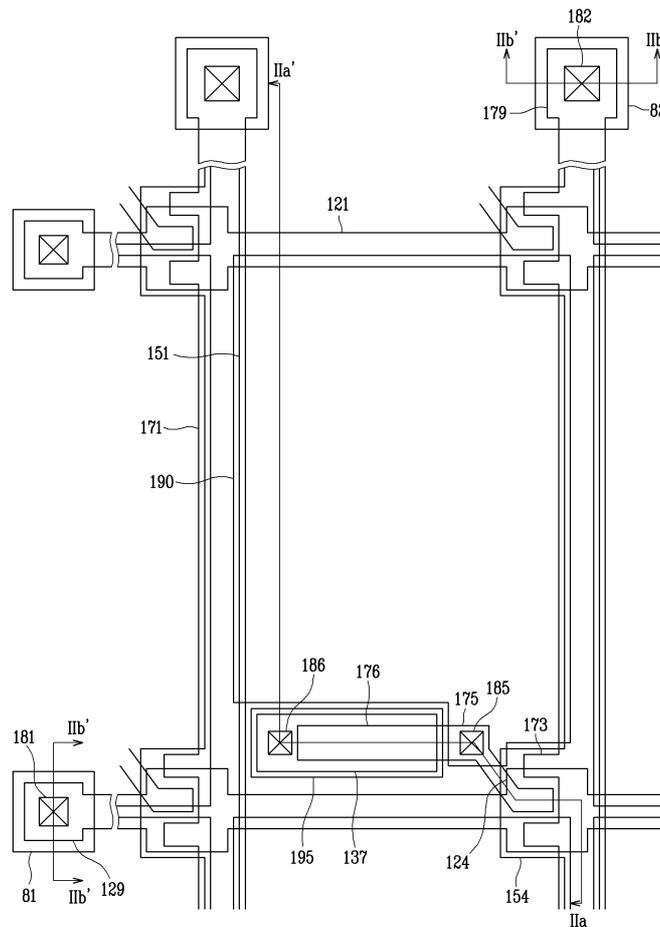
청구항 7.

제6항에서,

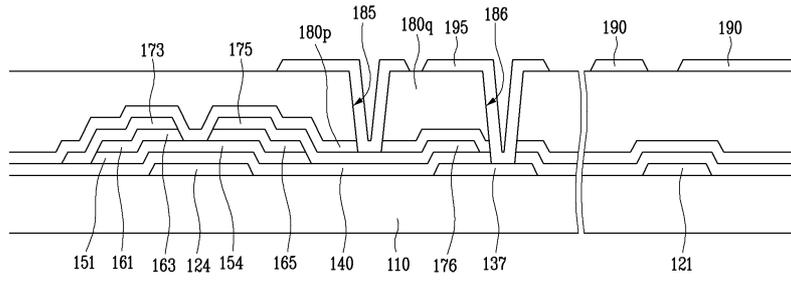
상기 유지 전극 및 상기 유지 전극용 도전체는 동일한 물질인 박막 트랜지스터 표시판의 제조 방법.

도면

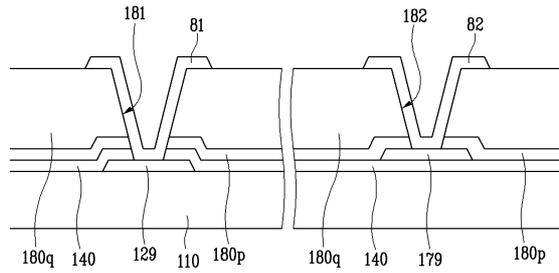
도면1



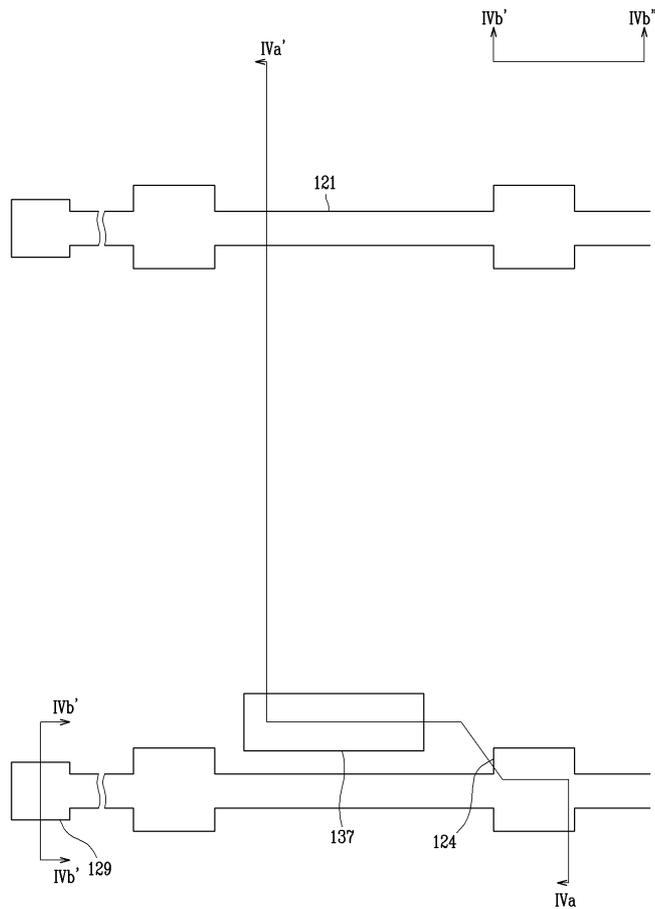
도면2a



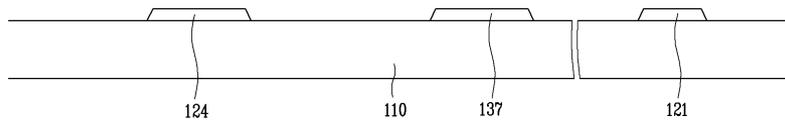
도면2b



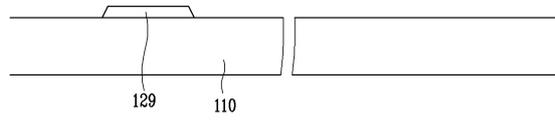
도면3



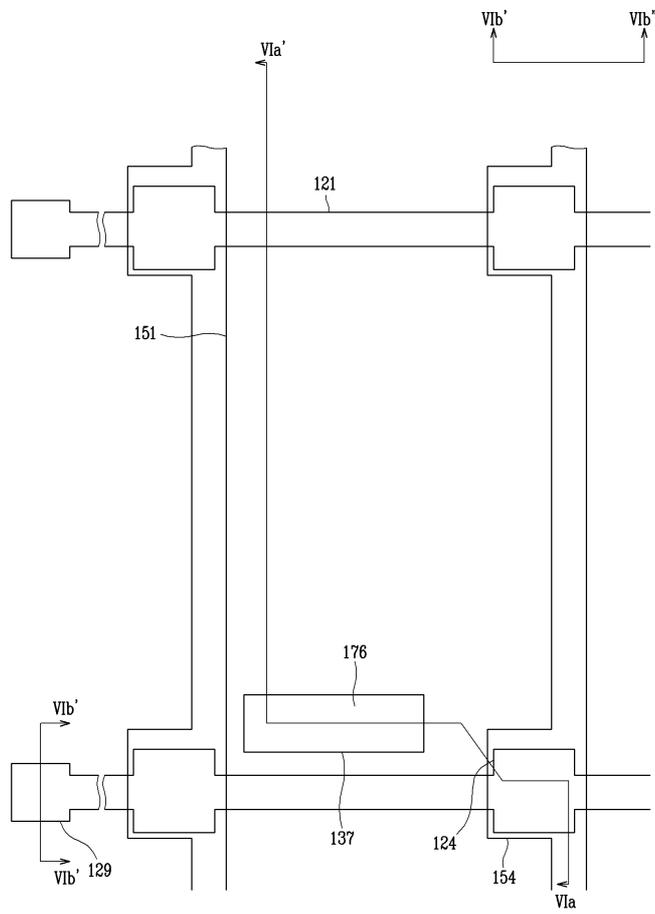
도면4a



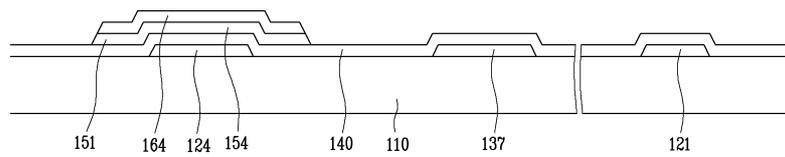
도면4b



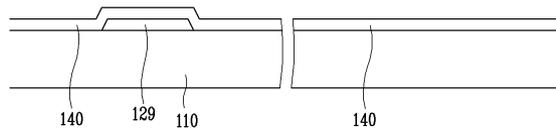
도면5



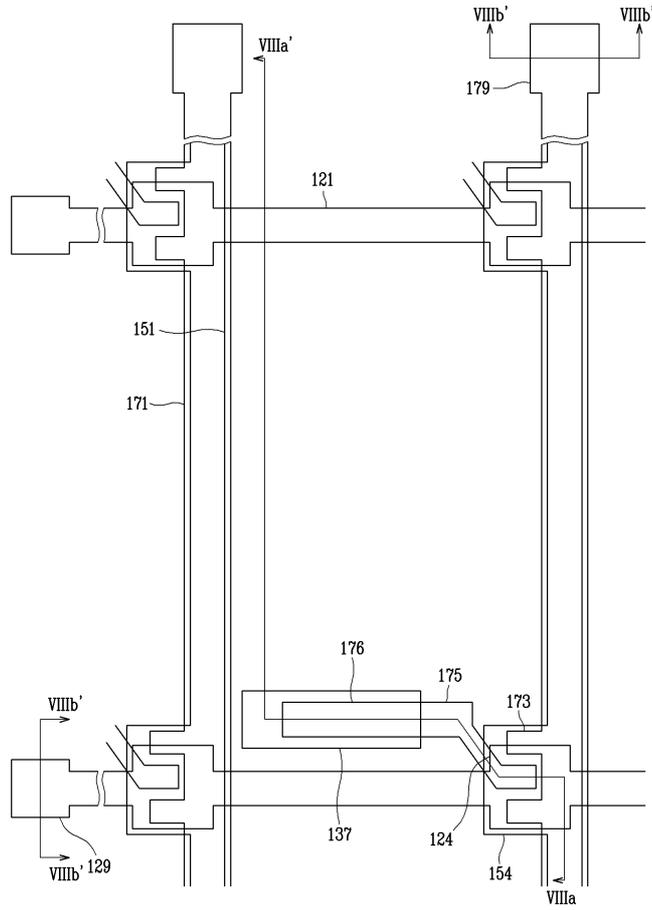
도면6a



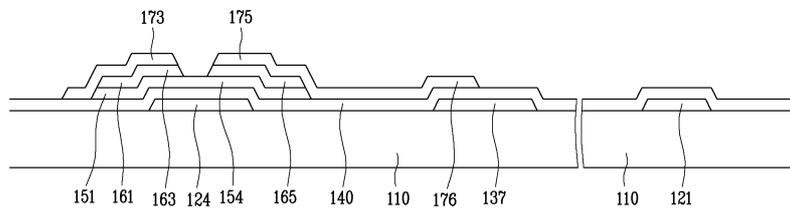
도면6b



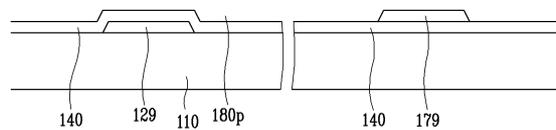
도면7



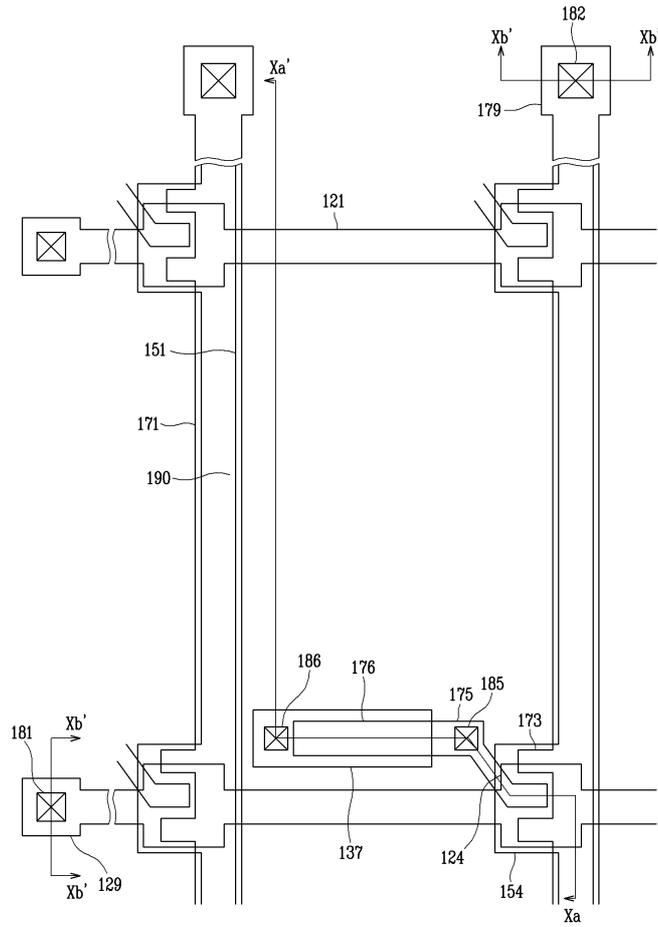
도면8a



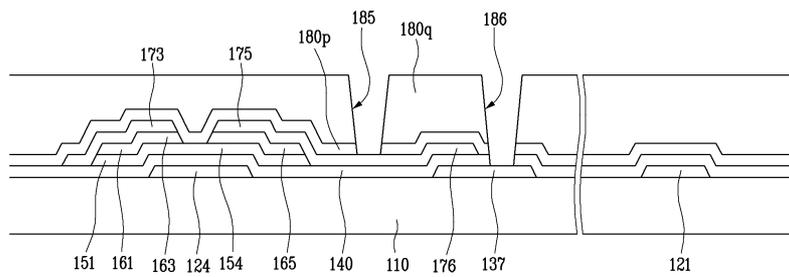
도면8b



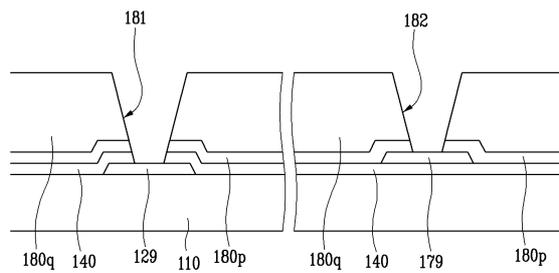
도면9



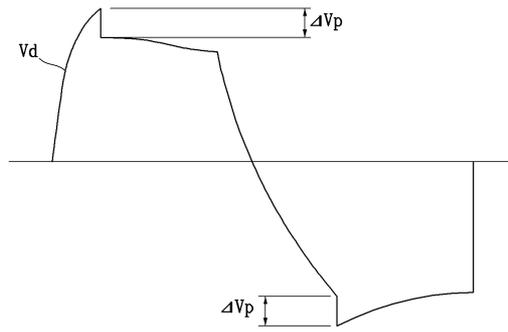
도면10a



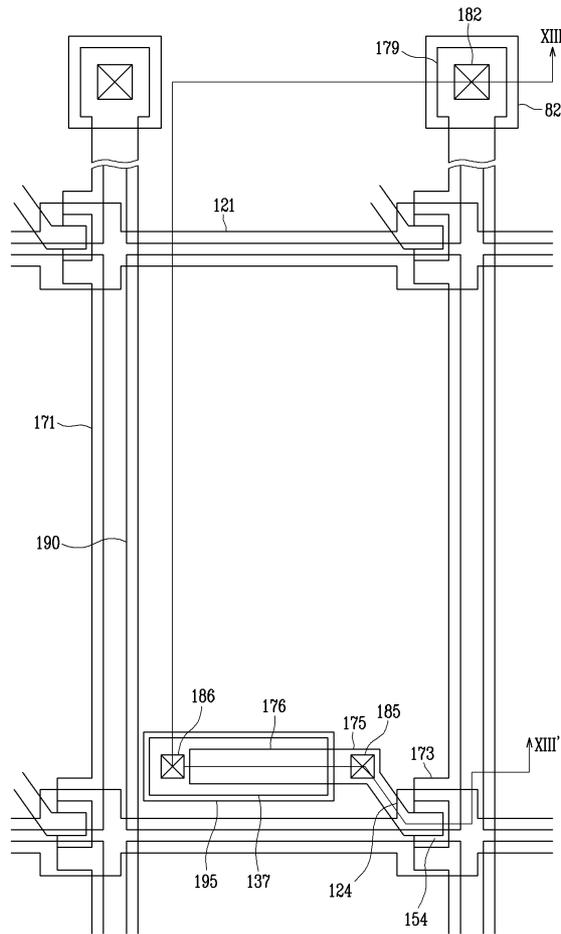
도면10b



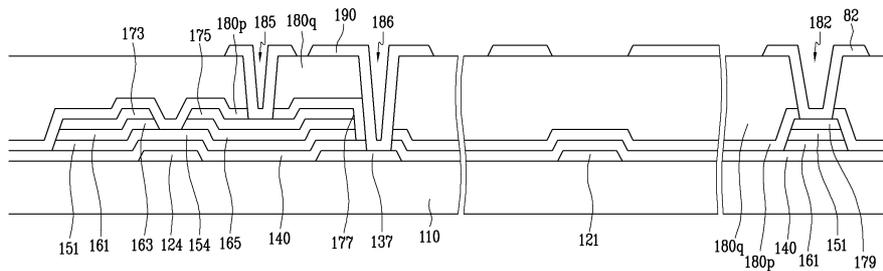
도면11



도면12



도면13



| | | | |
|----------------|----------------------------------|---------|------------|
| 专利名称(译) | 薄膜晶体管显示面板及其制造方法 | | |
| 公开(公告)号 | KR1020060091376A | 公开(公告)日 | 2006-08-21 |
| 申请号 | KR1020050011900 | 申请日 | 2005-02-14 |
| [标]申请(专利权)人(译) | 三星电子株式会社 | | |
| 申请(专利权)人(译) | 三星电子有限公司 | | |
| 当前申请(专利权)人(译) | 三星电子有限公司 | | |
| [标]发明人 | KIM MYUNG CHUL | | |
| 发明人 | KIM MYUNG CHUL | | |
| IPC分类号 | G02F1/136 | | |
| CPC分类号 | G02F1/136213 G02F1/1368 | | |
| 外部链接 | Espacenet | | |

摘要(译)

根据电极上形成栅极线和形成在基板，栅极线，并保持在栅极绝缘膜在维持电极的本发明，形成在栅极的半导体层绝缘膜的TFT阵列面板中，至少形成在半导体层的数据线的部分至少一部分形成在半导体层上，并在漏电极，数据线和漏电极隔开的的数据线被形成，其形成在所述保护膜上，具有暴露至少漏电极的一部分和所述第一接触的第一接触孔的保护膜像素电极通过该孔与漏电极连接，维持电极用导体形成在与像素电极相同的层上，形成在与维持电极重叠的位置，与像素电极分离，导体彼此连接，并与漏电极连接携带，最好是与导体的重叠的维持电极和维持电极。因此，根据本发明的薄膜晶体管面板及其制造方法的优点在于存储电容器和维持电极与漏电极的延伸部分重叠。1 指数方面 液晶显示装置，容量，反冲电压

