

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G02F 1/1343

(11) 공개번호 10-2005-0061913  
(43) 공개일자 2005년06월23일

(21) 출원번호 10-2003-0093532  
(22) 출원일자 2003년12월19일

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 추교섭  
경기도수원시팔달구영통동황골마을주공1단지아파트130동306호  
김남준  
경기도용인시구성면보정리1161번지진산마을삼성5차APT  
송준호  
경기도성남시분당구야탑동탑마을경남아파트714동1603호  
윤영남  
경기도군포시금정동율곡아파트347-1201

(74) 대리인 박영우

심사청구 : 없음

(54) 어레이 기판, 그 제조방법 및 이를 갖는 액정 표시 장치

요약

어레이 기판은 독립 스위칭 소자, 독립 화소 전극, 복수의 분할 스위칭 소자 및 복수의 분할 화소 전극을 포함한다. 상기 독립 스위칭 소자는 서로 인접하는 복수의 소오스 라인 및 상기 소오스 라인에 수직으로 배열된 복수의 게이트 라인에 의해 정의되는 독립 화소 영역 내에 배치된다. 상기 독립 화소 전극은 상기 독립 화소 영역 내에 배치되고 상기 독립 스위칭 소자의 전극에 전기적으로 연결된다. 상기 분할 스위칭 소자들은 서로 인접하는 상기 소오스 라인 및 상기 게이트 라인에 의해 정의되고 상기 독립 화소 영역에 인접하는 분할 화소 영역 내에 배치된다. 상기 분할 화소 전극은 상기 분할 화소 영역 내에 배치되고 상기 각각의 분할 스위칭 소자의 전극에 전기적으로 연결된다. 따라서, 개구율이 증가하고 화질이 향상된다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 화소 영역의 크기가 동일한 델타(Delta) 방식의 액정 표시 장치를 나타내는 평면도이다.

도 2는 화소 영역의 크기가 동일한 델타(Delta) 방식의 액정 표시 장치의 화소 영역 및 차광 영역을 나타내는 평면도이다.

도 3은 상기 도 1의 A-A' 라인의 단면도이다.

도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치를 나타내는 평면도이다.

도 5는 본 발명의 제1 실시예에 따른 액정 표시 장치의 화소 영역 및 차광 영역을 나타내는 평면도이다.

도 6은 상기 도 4의 B-B' 라인의 단면도이다.

도 7은 상기 도 4의 C-C' 라인의 단면도이다.

도 8a 내지 도 8c는 본 발명의 제1 실시예에 따른 액정 표시 장치의 제조방법을 나타내는 평면도이다.  
 도 9a 내지 도 9d는 본 발명의 제1 실시예에 따른 액정 표시 장치의 제조방법을 나타내는 단면도이다.  
 도 10a 내지 도 10d는 본 발명의 제1 실시예에 따른 액정 표시 장치의 제조방법을 나타내는 다른 단면도이다.  
 도 11은 본 발명의 제2 실시예에 따른 액정 표시 장치를 나타내는 평면도이다.  
 도 12는 본 발명의 제2 실시예에 따른 액정 표시 장치의 표시 영역 및 차광 영역을 나타내는 평면도이다.  
 도 13은 상기 도 11의 D-D' 라인의 단면도이다.

**\* 도면의 주요부분에 대한 부호의 설명 \***

- 100, 200, 300 : 상부 기판 102, 202, 302 : 블랙 매트릭스
- 104, 204, 304 : 컬러 필터 105, 205, 305 : 오버코팅층
- 106, 206, 306 : 공통 전극 108, 208, 308 : 액정층
- 110, 210, 310 : 스페이서 112, 212, 312 : 화소 전극
- 116, 216, 316 : 무기 절연막
- 118a, 218a, 238a, 318a : 소오스 전극
- 118a', 218a', 318a' : 소오스 라인
- 118b, 218b, 238b, 318b, 338b : 게이트 전극
- 118b', 218b', 318b' : 게이트 라인
- 118c, 218c, 238c, 318c, 338c : 드레인 전극
- 119, 219, 239, 319, 339 : 박막 트랜지스터
- 120, 220, 320 : 하부 기판 126, 226, 326 : 게이트 절연막
- 140a, 140b, 140c : 화소 영역 145, 245, 345 : 차광 영역
- 207, 307 : 차광 패턴
- 240a, 240b, 240c, 340a, 340b, 340c : 독립 화소 영역
- 250', 250", 250"', 350', 350", 350"' : 분할 화소 영역
- 251a, 251b, 251c, 351a, 351b, 351c : 분할 화소부

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 어레이 기판, 그 제조방법 및 이를 갖는 액정 표시 장치에 관한 것으로 보다 상세하게는 개구율이 증가되고 화질이 향상된 어레이 기판, 그 제조방법 및 이를 갖는 액정 표시 장치에 관한 것이다.

액정 표시 장치(Liquid Crystal Display, LCD)는 박막 트랜지스터가 형성된 어레이 기판(Array Substrate) 및 컬러 필터 기판(Color Filter Substrate) 사이에 주입되어 있는 이방성 유전율을 갖는 액정 물질에 전기(Electric Field)를 인가하고, 이 전기의 세기를 조절하여 기판에 투과되는 광의 양을 조절함으로써 원하는 화상 신호를 얻는 표시 장치이다.

종래의 액정 표시 장치는 컬러 필터 기판(Color Filter Substrate), 어레이 기판(Array Substrate) 및 액정층을 포함한다. 상기 컬러 필터 기판은 컬러 필터(Color Filter) 및 공통 전극(Common Electrode)을 포함한다. 상기 어레이 기판은 화소 전극(Pixel Electrode) 및 박막 트랜지스터(Thin Film Transistor)를 포함한다. 상기 액정층은 소정의 방향으로 배향되어 상기 컬러 필터 기판 및 상기 어레이 기판의 사이에 개재된다.

상기 액정 표시 장치는 복수의 화소(Pixel)를 이용하여 영상을 표시한다. 상기 각각의 화소는 하나씩의 상기 컬러 필터, 상기 박막 트랜지스터 및 상기 화소 전극을 포함한다. 상기 공통 전극은 상기 화소들이 공유한다.

상기 화소들은 적색(Red) 화소들, 녹색(Green) 화소들 및 청색(Blue) 화소들을 포함한다. 상기 각각의 적색, 녹색 및 청색 화소들이 조합하여 하나의 색을 구현한다.

상기 스트립 방식으로 배치된 화소들은 수직 방향으로 동일한 색의 화소들이 배열되고, 수평 방향으로 서로 다른 색을 갖는 화소들이 배열된다. 따라서, 상기 각각의 박막 트랜지스터들에 전기적으로 연결된 데이터 라인 및 게이트 라인을 배치하는 것이 용이하여 공정이 단순화된다. 그러나, 상기 하나의 색을 구현하는 상기 각각의 적색, 녹색 및 청색 화소들이 나란히 배열되어 화질이 저하되는 문제점이 발생한다.

또한, 디지털 비디오 디스크(Digital Video Disk; DVD), 디지털 카메라(Digital Camera) 또는 디지털 캠코더(Digital Camcorder)와 같은 오디오-비주얼(Audio-Visual) 장치는 상기 적색, 녹색 및 청색 화소들이 삼각형으로 배열되는 델타(Delta) 방식이 적용된다. 따라서, 상기 스트립(Strip) 방식의 액정 표시 장치로는 상기 델타(Delta) 방식의 데이터를 처리하는 경우 화질이 저하되는 문제점이 발생한다.

### 발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명의 제1 목적은, 개구율이 증가되고 화질이 향상되는 어레이 기판을 제공하는데 있다.

상기와 같은 문제점을 해결하기 위한 본 발명의 제2 목적은, 상기 어레이 기판의 제조방법을 제공하는데 있다.

상기와 같은 문제점을 해결하기 위한 본 발명의 제3 목적은, 상기 어레이 기판을 갖는 액정 표시 장치를 제공하는데 있다.

### 발명의 구성 및 작용

상기 제1 목적을 달성하기 위한 본 발명의 일 실시예에 따른 어레이 기판은 독립 스위칭 소자, 독립 화소 전극, 복수의 분할 스위칭 소자 및 복수의 분할 화소 전극을 포함한다. 상기 독립 스위칭 소자는 서로 인접하는 복수의 소오스 라인 및 상기 소오스 라인에 수직으로 배열된 복수의 게이트 라인에 의해 정의되는 독립 화소 영역 내에 배치된다. 상기 독립 화소 전극은 상기 독립 화소 영역 내에 배치되고 상기 독립 스위칭 소자의 전극에 전기적으로 연결된다. 상기 분할 스위칭 소자들은 서로 인접하는 상기 소오스 라인 및 상기 게이트 라인에 의해 정의되고 상기 독립 화소 영역에 인접하는 분할 화소 영역 내에 배치된다. 상기 분할 화소 전극은 상기 분할 화소 영역 내에 배치되고 상기 각각의 분할 스위칭 소자의 전극에 전기적으로 연결된다.

상기 제2 목적을 달성하기 위한 본 발명의 일 실시예에 따른 어레이 기판을 제조하기 위하여, 먼저 서로 인접하는 복수의 소오스 라인 및 상기 소오스 라인에 수직으로 배열된 복수의 게이트 라인에 의해 정의되는 독립 화소 영역 내에 독립 스위칭 소자를 형성한다. 이어서, 상기 독립 화소 영역 내에 상기 독립 스위칭 소자의 전극에 전기적으로 연결된 독립 화소 전극을 형성한다. 이후에, 서로 인접하는 상기 소오스 라인 및 상기 게이트 라인에 의해 정의되고 상기 독립 화소 영역에 인접하는 분할 화소 영역 내에 복수의 분할 스위칭 소자를 형성한다. 마지막으로, 상기 분할 화소 영역 내에 상기 각각의 분할 스위칭 소자의 전극에 전기적으로 연결된 분할 화소 전극을 형성한다.

상기 제3 목적을 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는 제1 기판, 제2 기판 및 액정층을 포함한다.

상기 제1 기판은 서로 인접하는 복수의 소오스 라인 및 상기 소오스 라인에 수직으로 배열된 복수의 게이트 라인에 의해 정의되는 독립 화소 영역 내에 배치된 독립 스위칭 소자와, 상기 독립 화소 영역 내에 배치되고 상기 독립 스위칭 소자의 전극에 전기적으로 연결된 독립 화소 전극과, 서로 인접하는 상기 소오스 라인 및 상기 게이트 라인에 의해 정의되고 상기 독립 화소 영역에 인접하는 분할 화소 영역 내에 배치된 복수의 분할 스위칭 소자와, 상기 분할 화소 영역 내에 배치되고 상기 각각의 분할 스위칭 소자의 전극에 전기적으로 연결된 분할 화소 전극을 포함한다.

상기 제2 기판은 상기 제1 기판에 대향하고, 상기 액정층은 상기 제1 기판과 상기 제2 기판 사이에 배치된다.

따라서, 상기 액정 표시 장치가 하나의 박막 트랜지스터를 갖는 상기 독립 화소 영역 및 복수의 박막 트랜지스터를 갖는 상기 분할 화소 영역을 포함하여 델타(Delta) 방식의 이미지 데이터를 표시하는 것이 가능하고 소오스 라인의 저항이 감소된다. 또한, 개구율이 증가하고 화질이 향상된다.

또한, 인접하는 상기 분할 화소 영역들 사이에 차광 패턴이 배치되어 빛샘 현상이 감소된다.

이하, 본 발명에 따른 바람직한 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다.

### 화소 영역의 크기가 동일한 델타(Delta) 방식의 액정 표시 장치

도 1은 화소 영역의 크기가 동일한 델타(Delta) 방식의 액정 표시 장치를 나타내는 평면도이고, 도 2는 스트립(Strip) 방식의 액정 표시 장치의 화소 영역 및 차광 영역을 나타내는 평면도이며, 도 3은 상기 도 1의 A-A' 라인의 단면도이다.

도 1 내지 도 3을 참조하면, 상기 액정 표시 장치는 제1 기판(First Substrate, 170), 제2 기판(Second Substrate, 180) 및 액정층(108)을 포함한다.

상기 제1 기판(First Substrate, 170)은 상부 기판(Upper Plate, 100), 블랙 매트릭스(Black Matrix, 102), 컬러 필터(Color Filter, 104), 오버 코팅층(Over-Coating Layer, 105), 공통 전극(Common Electrode, 106) 및 스페이서(Spacer, 110)를 포함한다.

상기 제2 기판(Second Substrate, 180)은 하부 기판(Lower Plate, 120), 박막 트랜지스터(119), 소오스 라인(118a'), 게이트 라인(118b'), 게이트 절연막(126), 패시베이션막(116) 및 화소 전극(112)을 포함한다. 상기 제2 기판(180)은 화소 영역(140a, 140b, 140c) 및 차광 영역(145)을 포함한다. 상기 화소 영역(140a, 140b, 140c)은 델타(Delta) 방식으로 배열된 적색 화소 영역(140a), 녹색 화소 영역(140b) 및 청색 화소 영역(140c)을 포함한다. 상기 델타(Delta) 방식의 액정 표시 장치에서는 상기 적색 화소 영역(140a), 상기 녹색 화소 영역(140b) 및 상기 청색 화소 영역(140c)이 삼각형을 이루도록 서로 엇갈리게 배치된다.

상기 액정 표시 장치는 상기 화소 영역(140a, 140b, 140c)내에 배치된 액정의 배열을 조절하여 영상을 표시한다.

상기 블랙 매트릭스(102)는 상기 차광 영역(145)에 대응하는 상기 상부 기판(100)상에 배치된다.

상기 컬러 필터(104)는 상기 블랙 매트릭스(102)가 형성된 상기 상부 기판(100) 상에 형성되어 소정의 파장의 광만을 선택적으로 투과시킨다. 상기 컬러 필터(104)는 상기 화소 전극(113)에 대응하여 배치된다.

상기 오버코팅층(105)은 상기 블랙 매트릭스(102) 및 상기 컬러 필터(104)가 형성된 상기 상부 기판(100)의 전면에 배치된다. 상기 오버코팅층(105)은 상기 블랙 매트릭스(102) 및 상기 컬러 필터(104)를 보호하고, 상기 블랙 매트릭스(102) 및 상기 컬러 필터(104)에 의해 형성된 단차진 부분(Stepped Portion)을 평탄화(Planarizing)한다.

상기 공통 전극(106)은 상기 오버코팅층(105)의 전면에 형성된다. 상기 공통 전극(106)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZO(Zinc Oxide)와 같은 투명한 도전성 물질을 포함한다.

상기 스페이서(110)는 상기 블랙 매트릭스(102)에 대응하는 상기 공통 전극(106)의 일부 상에 형성되어 상기 제1 기판(170)과 상기 제2 기판(180) 사이의 셀 갭(Cell Gap)을 유지한다.

상기 박막 트랜지스터(119)는 상기 하부기판(120) 상에 형성되며 소오스 전극(118a), 게이트 전극(118b), 드레인 전극(118c) 및 반도체층 패턴을 포함한다. 구동회로(도시되지 않음)는 데이터 전압을 출력하여 상기 소오스 라인(118a')을 통해서 상기 소오스 전극(118a)에 전달하고, 선택 신호를 출력하여 상기 게이트 라인(118b')을 통해서 상기 게이트 전극(118b)에 전달한다.

상기 게이트 라인(118b')은 상기 하부 기판(120)을 기준으로 수평 방향으로 연장된다. 상기 소오스 라인(118a')은 상기 하부 기판(120)을 기준으로 수직 방향으로 사행(Serpentine) 형상을 이루면서 연장된다. 즉, 상기 소오스 라인(118a')은 상기 게이트 라인(118b')과 평행한 부분과 수직인 부분을 포함한다. 상기 소오스 라인(118a')의 상기 게이트 라인(118b')과 평행한 부분은 상기 게이트 라인(118b')과 이격된다. 상기 소오스 라인(118a')의 상기 게이트 라인(118b')과 평행한 부분이 상기 게이트 라인(118b')과 중첩되면, 상기 소오스 라인(118a')의 상기 게이트 라인(118b')과 평행한 부분과 상기 게이트 라인(118b') 사이에 기생 캐패시턴스(Parasite Capacitance)가 발생하여 상기 박막 트랜지스터(119)의 동작이 저하된다.

스토리지 커패시터(도시되지 않음)는 상기 하부 기판(120) 상에 형성되어 상기 공통 전극(106)과 상기 반사 전극(113) 사이 또는 상기 공통 전극(106)과 상기 투명 전극(112) 사이의 전위차를 유지시켜준다.

상기 게이트 절연막(126)은 상기 게이트 전극(118b)이 형성된 상기 하부 기판(120)의 전면에 배치되어 상기 게이트 전극(118b)을 상기 소오스 전극(118a) 및 상기 드레인 전극(118c)과 전기적으로 절연한다.

상기 패시베이션막(116)은 상기 박막 트랜지스터(119)가 형성된 상기 하부 기판(120) 상의 전면에 배치되고, 상기 드레인 전극(118c)의 일부를 노출하는 콘택홀(Contact Hole)을 포함한다.

상기 화소 전극(112)은 상기 화소 영역(140a, 140b, 140c)에 대응하는 상기 패시베이션막(116) 및 상기 콘택홀의 내면 상에 형성되어 상기 드레인 전극(118c)과 전기적으로 연결된다.

상기 구동 회로(도시되지 않음)는 상기 박막 트랜지스터(119)를 통해서 상기 화소 전극(112)에 데이터 전압을 제공하여 상기 공통 전극(106)과 상기 화소 전극(112)의 사이에 전계를 형성한다.

상기 액정층(108)은 상기 제1 기판(170) 및 상기 제2 기판(180) 사이에 배치되어 셀란트(Sealant, 도시되지 않음)에 의해 밀봉된다.

상기 액정을 배향하기 위하여 상기 제1 기관(170) 및 상기 제2 기관(180)의 표면에 배향막(도시되지 않음)을 배치하고, 상기 배향막(도시되지 않음)의 표면을 일정한 방향으로 러빙(Rubbing)할 수도 있다.

따라서, 상기 화소 영역들(140a, 140b, 140c)이 델타(Delta) 방식으로 배열되어 화질이 향상된다.

그러나, 상기 소오스 라인(118a')이 사행(Serpentine) 형상을 포함하여 상기 소오스 라인(118a')의 저항이 증가한다. 상기 소오스 라인(118a')의 저항이 증가하면, 신호의 전달 특성이 저하되고 상기 액정 표시 장치의 부하가 증가하는 문제점이 발생한다.

또한, 상기 소오스 라인(118a')의 형상으로 인해 개구율(Opening Rate)이 감소하는 문제점이 발생한다.

### 실시예 1

도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치를 나타내는 평면도이고, 도 5는 본 발명의 제1 실시예에 따른 액정 표시 장치의 화소 영역 및 차광 영역을 나타내는 평면도이며, 도 6은 상기 도 4의 B-B' 라인의 단면도이고, 도 7은 상기 도 4의 C-C' 라인의 단면도이다.

도 4 내지 도 7을 참조하면, 상기 액정 표시 장치는 제1 기관(270), 제2 기관(280) 및 액정층(208)을 포함한다.

상기 제1 기관(270)은 상부 기관(200), 블랙 매트릭스(Black Matrix, 202), 컬러 필터(Color Filter, 204), 오버코팅층(205), 공통 전극(Common Electrode, 206) 및 스페이서(Spacer, 210)를 포함한다.

상기 제2 기관(280)은 하부 기관(220), 독립 박막 트랜지스터(Isolated Thin Film Transistor, 219), 분할 박막 트랜지스터(Separated Thin Film Transistor, 239), 차광 패턴(207), 게이트 절연막(226), 패시베이션막(216), 독립 화소 전극(212) 및 분할 화소 전극(232)을 포함한다. 상기 제2 기관(280)은 독립 화소 영역(240a, 240b, 240c), 분할 화소 영역(250', 250", 250''') 및 차광 영역(245)을 포함한다. 상기 독립 화소 영역(240a, 240b, 240c)은 적색 독립 화소 영역(240a), 녹색 독립 화소 영역(240b) 및 청색 독립 화소 영역(240c)을 포함한다.

상기 각각의 분할 화소 영역들(250', 250", 250''')은 상기 하부 기관(220)을 기준으로 좌우로 분리된 두 개의 분할 화소부(251a, 251b, 251c)들을 포함한다. 상기 분할 화소부(251a, 251b, 251c)는 적색 분할 화소부(251a), 녹색 분할 화소부(251b) 및 청색 분할 화소부(251c)를 포함한다. 상기 분할 화소 영역(250', 250", 250''')은 상기 적색 분할 화소부(251a) 및 상기 녹색 분할 화소부(251b)를 포함하는 적녹 분할 화소 영역(250')과, 상기 녹색 분할 화소부(251b) 및 상기 청색 분할 화소부(251c)를 포함하는 녹색 분할 화소 영역(250'')과 상기 청색 분할 화소부(251c) 및 상기 적색 분할 화소부(251a)를 포함하는 청적 분할 화소 영역(250''')을 포함한다.

상기 상부 기관(200) 및 상기 하부 기관(220)은 광을 통과시킬 수 있는 투명한 재질의 유리를 포함한다. 상기 유리는 무알칼리 특성이다. 상기 유리가 알칼리 이온을 포함하는 경우, 상기 알칼리 이온에 의해 상기 액정층(208) 내의 액정의 비저항이 저하되어 표시 특성이 변하게 된다. 또한, 상기 쉴과 유리와의 부착력을 저하시키고, 스위칭 소자의 품질을 저하시킨다.

이때, 상기 상부 기관(200) 및 상기 하부 기관(220)이 트리아세틸셀룰로오스 (Triacetylcellulose; TAC), 폴리카보네이트 (Polycarbonate; PC), 폴리에테르설폰 (Polyethersulfone; PES), 폴리에틸렌테라프탈레이트 (Polyethyleneterephthalate; PET), 폴리에틸렌나프탈레이트 (Polyethylenenaphthalate; PEN), 폴리비닐알콜 (Polyvinylalcohol; PVA), 폴리메틸메타아크릴레이트 (Polymethylmethacrylate; PMMA), 사이클로올핀 폴리머 (Cyclo-Olefin Polymer; COP) 등을 포함할 수도 있다.

바람직하게는, 상기 상부 기관(200) 및 상기 하부 기관(220)은 광학적으로 등방성이다.

상기 블랙 매트릭스(202)는 상기 차광 영역(245)에 대응하는 상기 상부 기관(200)상에 배치된다. 상기 블랙 매트릭스(202)는 액정을 제어할 수 없는 상기 차광 영역(245)을 통과하는 광을 차단하여 화질을 향상시킨다. 상기 블랙 매트릭스(202)는 금속 또는 불투명한 유기물을 증착하고 식각하여 형성된다. 상기 금속은 크롬(Cr), 산화 크롬(CrOx), 질화 크롬(CrNx) 등을 포함하고, 상기 불투명한 유기물은 카본 블랙(Carbon Black), 안료 혼합물, 염료 혼합물 등을 포함한다. 상기 안료 혼합물은 적색, 녹색 및 청색 안료를 포함하고, 상기 염료 혼합물은 적색, 녹색 및 청색 염료를 포함한다. 또한, 상기 블랙 매트릭스(202)는 포토레지스트(Photoresist) 성분을 포함하는 불투명 물질을 도포한 후에, 사진 공정(Photo Process)을 통해 형성될 수도 있다. 이때, 복수의 컬러 필터들을 중첩하여 블랙 매트릭스를 형성할 수도 있다.

상기 컬러 필터(204)는 상기 블랙 매트릭스(202)가 형성된 상기 상부 기관(200) 상에 형성되어 소정의 파장의 광만을 선택적으로 투과시킨다. 상기 컬러 필터(204)는 적색 컬러 필터, 녹색 컬러 필터 및 청색 컬러 필터를 포함한다. 상기 적색 컬러 필터는 상기 적색 독립 화소 영역(240a) 및 상기 적색 분할 화소부(251a)에 대응하고, 상기 녹색 컬러 필터는 상기 녹색 독립 화소 영역(240b) 및 상기 녹색 분할 화소부(251b)에 대응하며, 상기 청색 컬러 필터는 상기 청색 독립 화소 영역(240c) 및 상기 청색 분할 화소부(251c)에 대응한다. 상기 컬러 필터(204)는 광중합 개시제, 모노머(Monomer), 바인더(Binder), 안료, 분산제, 용제, 포토레지스트 등을 포함한다.

상기 오버코팅층(205)은 상기 블랙 매트릭스(202) 및 상기 컬러 필터(204)가 형성된 상기 상부 기관(200)의 전면에 배치된다. 상기 오버코팅층(205)은 상기 블랙 매트릭스(202) 및 상기 컬러 필터(204)를 보호하고, 상기 블랙 매트릭스(202) 및 상기 컬러 필터(204)에 의해 형성된 단차진 부분(Stepped Portion)을 평탄화(Planarizing)한다.

상기 공통 전극(206)은 상기 오버코팅층(205)의 전면에 형성된다. 상기 공통 전극(206)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZO(Zinc Oxide)와 같은 투명한 도전성 물질을 포함한다. 이때, 상기 공통 전극(206)이 상기 하부 기판(220) 상에 상기 독립 화소 전극(212) 및/또는 상기 분할 화소 전극(232)과 나란히 배치될 수도 있다.

상기 스페이서(210)는 상기 블랙 매트릭스(202), 상기 컬러 필터(204) 및 상기 공통 전극(206)이 형성된 상기 상부 기판(200) 상에 형성된다. 상기 스페이서(210)에 의해 상기 제1 기판(270) 및 상기 제2 기판(280) 사이의 셀 갭이 일정하게 유지된다. 바람직하게는, 상기 스페이서(210)는 상기 블랙 매트릭스(202)에 대응하여 배치되는 컬럼 스페이서(Column Spacer)를 포함한다. 이때, 상기 스페이서(210)가 볼 스페이서(Ball Spacer) 또는 상기 컬러 스페이서와 상기 볼 스페이서가 혼합된 스페이서를 포함할 수도 있다.

상기 독립 박막 트랜지스터(219)는 상기 하부 기판(220) 상의 상기 독립 화소 영역(240a, 240b, 240c) 내에 형성되며 독립 소오스 전극(218a), 독립 게이트 전극(218b), 독립 드레인 전극(218c) 및 독립 반도체층 패턴을 포함한다. 상기 독립 소오스 전극(218a)은 상기 소오스 라인(218a')에 전기적으로 연결된다. 상기 독립 게이트 전극(218b)은 상기 게이트 라인(218a')에 전기적으로 연결된다.

상기 분할 박막 트랜지스터(239)는 상기 하부 기판(220) 상의 상기 각각의 분할 화소부(251a, 251b, 251c) 내에 형성된다. 상기 각각의 분할 화소 영역(250', 250", 250''')은 2개의 상기 분할 화소부들(251a, 251b, 251c)을 포함하므로, 2개의 상기 분할 박막 트랜지스터들(239)이 상기 각각의 분할 화소 영역(250', 250", 250''') 내에 배치된다.

상기 분할 박막 트랜지스터(239)는 분할 소오스 전극(238a), 분할 게이트 전극(238b), 분할 드레인 전극(238c) 및 분할 반도체층 패턴을 포함한다. 상기 분할 소오스 전극(238a)은 상기 소오스 라인(218a')에 전기적으로 연결된다. 상기 분할 게이트 전극(238b)은 상기 게이트 라인(218a')에 전기적으로 연결된다. 이때, 2개의 상기 분할 게이트 전극들(238b)이 상기 게이트 라인(218a')을 사이에 두고 서로 대응하여 배치되어, 2개의 상기 분할 박막 트랜지스터들(239)이 상기 게이트 라인(218a')을 사이에 두고 서로 대응하여 배치된다.

바람직하게는, 상기 분할 박막 트랜지스터(239)의 크기는 상기 독립 박막 트랜지스터(219)의 크기보다 작아서 상기 분할 화소 영역(250', 250", 250''')의 개구율(Opening Rate)이 향상된다. 더욱 바람직하게는, 상기 분할 박막 트랜지스터(239)의 소오스 전극(238a) 및 드레인 전극(238c)의 폭은 상기 독립 박막 트랜지스터(219)의 소오스 전극(218a) 및 드레인 전극(218c)의 폭보다 좁다.

구동회로(도시되지 않음)는 데이터 전압을 출력하여 상기 소오스 라인(218a')을 통해서 상기 독립 소오스 전극(218a) 및 상기 분할 소오스 전극(238a)에 전달하고, 선택 신호를 출력하여 상기 게이트 라인(218b')을 통해서 상기 독립 게이트 전극(218a) 및 상기 분할 게이트 전극(238b)에 전달한다.

상기 차광 패턴(207)은 상기 하부 기판(220) 상의 인접하는 분할 화소부들(251a, 251b, 251c)에 대응하여 배치된다. 바람직하게는, 상기 차광 패턴(207)은 상기 하부 기판(220)을 기준으로 세로 방향으로 연장된 직사각형 형상을 갖는다. 인접하는 상기 분할 화소 전극들(232) 사이를 통과한 광은 상기 차광 패턴(207)에 의해 차단되어 빛샘 현상이 감소된다. 이때, 상기 차광 패턴(207)이 상기 게이트 절연막(226) 상에 배치될 수도 있다.

상기 스토리지 커패시터(도시되지 않음)는 상기 하부 기판(220) 상에 형성되어 상기 공통 전극(206)과 상기 독립 화소 전극(212) 또는 상기 공통 전극(206)과 상기 분할 화소 전극(232) 사이의 전위차를 유지시켜준다. 상기 스토리지 커패시터(도시되지 않음)는 전단 게이트 방식 또는 독립 배선 방식이다.

상기 게이트 절연막(226)은 상기 독립 게이트 전극(218b), 상기 분할 게이트 전극(238b) 및 상기 게이트 라인(218b')이 형성된 상기 하부 기판(220)의 전면에 배치되어 상기 게이트 전극(218b), 상기 분할 게이트 전극(238b) 및 상기 게이트 라인(218b')을 상기 독립 소오스 전극(218a), 상기 분할 소오스 전극(238a), 상기 소오스 라인(218a'), 상기 독립 드레인 전극(218c), 상기 분할 드레인 전극(238c), 상기 독립 반도체층 패턴 및 상기 분할 반도체층 패턴과 전기적으로 절연한다.

상기 패시베이션막(216)은 상기 독립 박막 트랜지스터(219) 및 상기 분할 박막 트랜지스터(239)가 형성된 상기 하부 기판(220) 상의 전면에 배치되고, 상기 독립 드레인 전극(218c) 및 상기 분할 드레인 전극(238c)의 일부를 노출하는 콘택홀을 포함한다.

바람직하게는, 상기 게이트 절연막(226) 및 상기 패시베이션막(216)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)을 포함한다.

이때, 상기 패시베이션막(216)의 전면에 유기막(도시되지 않음)이 배치되어 상기 하부 기판(220) 상의 단차진 부분(Stepped Portion)을 평탄화(Planarizing) 할 수 있다.

상기 독립 화소 전극(212)은 상기 독립 화소 영역(240a, 240b, 240c) 내의 상기 패시베이션막(216)의 표면 및 상기 독립 드레인 전극(218c)에 대응하는 콘택홀의 내면 상에 형성되어 상기 독립 드레인 전극(218c)과 전기적으로 연결된다. 또한, 상기 분할 화소 전극(232)은 상기 분할 화소부(251a, 251b, 251c) 내의 상기 패시베이션막(216)의 표면 및 상기 분할 드레인 전극(238c)에 대응하는 콘택홀의 내면 상에 형성되어 상기 분할 드레인 전극(238c)과 전기적으로 연결된다.

상기 독립 화소 전극(212) 및 상기 분할 화소 전극(232)은 상기 공통 전극(206)과의 사이에 인가된 전압에 의해 상기 액정층(208) 내의 액정을 제어하여 광의 투과를 조절한다. 상기 독립 화소 전극(212) 및 상기 분할 화소 전극(232)은 투명한 도전성 물질인 산화 주석 인듐(Indium Tin Oxide, ITO), 산화 아연 인듐(Indium Zinc Oxide, IZO), 산화 아연(Zinc Oxide, ZO) 등을 포함한다.

이때, 상기 액정을 배향하기 위하여 상기 제1 기판(270) 및 상기 제2 기판(280)의 표면에 배향막(도시되지 않음)을 배치하고, 상기 배향막(도시되지 않음)의 표면을 일정한 방향으로 러빙(Rubbing) 할 수 있다. 상기 러빙에 의하여 상기 액정이 일정한 방향으로 배향된다.

상기 액정층(208)은 상기 제1 기판(270) 및 상기 제2 기판(280)의 사이에 배치되어 씰런트(Sealant, 도시되지 않음)에 의해 밀봉된다. 상기 액정층(208) 내의 액정은 수직 배향(Vertical Alignment, VA), 트위스트 배향(Twisted Nematic, TN), 엠티엔 배향(Mixed Twisted Nematic, MTN) 또는 호모지니우스(Homogeneous) 배향 모드로 배열된다. 바람직하게는, 상기 액정층(208) 내의 액정은 수직 배향(Vertical Alignment) 모드로 배열된다.

도 8a 내지 도 8c는 본 발명의 제1 실시예에 따른 액정 표시 장치의 제조방법을 나타내는 평면도이고, 도 9a 내지 도 9d는 본 발명의 제1 실시예에 따른 액정 표시 장치의 제조방법을 나타내는 단면도이며, 도 10a 내지 도 10d는 본 발명의 제1 실시예에 따른 액정 표시 장치의 제조방법을 나타내는 다른 단면도이다.

도 8a, 도 9a 및 도 10a를 참조하면, 먼저 상기 하부 기판(220)에 상기 독립 화소 영역(240a, 240b, 240c), 상기 분할 화소부들(251a, 251b, 251c)을 포함하는 상기 분할 화소 영역(250', 250'', 250''') 및 상기 차광 영역(245)을 정의한다.

이어서, 상기 하부 기판(220) 상에 도전성 물질을 증착한다. 바람직하게는, 상기 도전성 물질은 금속을 포함한다. 계속해서, 상기 도전성 물질의 일부를 제거하여 상기 독립 게이트 전극(218b), 상기 분할 게이트 전극(238b), 상기 게이트 라인(218b') 및 상기 차광 패턴(207)을 형성한다. 이때, 상기 차광 패턴(207)을 상기 소오스 라인(218a')과 함께 형성할 수도 있다.

이후에, 상기 독립 게이트 전극(218b), 상기 분할 게이트 전극(238b), 상기 게이트 라인(218b') 및 상기 차광 패턴(207)이 형성된 하부 기판(220)의 전면에 투명한 절연물질을 증착하여 상기 게이트 절연막(226)을 형성한다. 바람직하게는, 상기 게이트 절연막(226)은 실리콘 질화물(SiNx)을 포함한다.

도 8b를 참조하면, 계속해서 아몰퍼스 실리콘 및 N+ 아몰퍼스 실리콘을 증착하고 식각하여 상기 독립 게이트 전극(218b) 및 상기 분할 게이트 전극(238b)에 대응하는 상기 게이트 절연막(226) 상에 각각 상기 독립 반도체층 패턴 및 상기 분할 반도체층 패턴을 형성한다. 이어서, 상기 독립 반도체층 패턴 및 상기 분할 반도체층 패턴이 형성된 상기 게이트 절연막(226) 상에 도전성 물질을 증착한다. 이후에, 상기 도전성 물질의 일부를 식각하여 상기 독립 소오스 전극(218a), 상기 소오스 라인(218a'), 상기 독립 드레인 전극(218c) 및 상기 분할 드레인 전극(238c)을 형성한다.

따라서, 상기 독립 소오스 전극(218a), 상기 독립 게이트 전극(218b), 상기 독립 드레인 전극(218c) 및 상기 독립 반도체층을 포함하는 상기 독립 박막 트랜지스터(219)가 형성된다. 또한, 상기 분할 소오스 전극(238a), 상기 분할 게이트 전극(238b), 상기 분할 드레인 전극(238c) 및 상기 분할 반도체층을 포함하는 상기 분할 박막 트랜지스터(239)가 형성된다.

도 8c, 도 9b 및 도 10b를 참조하면, 계속해서 상기 독립 박막 트랜지스터(219) 및 상기 분할 박막 트랜지스터(239)가 형성된 상기 하부 기판(220) 상에 실리콘 질화물(SiNx)을 포함하는 투명한 절연물질을 증착한다.

이어서, 상기 증착된 투명한 절연물질의 일부를 제거하여 상기 독립 드레인 전극(218c) 및 상기 분할 드레인 전극(238c)의 일부를 노출하는 상기 콘택홀을 형성한다. 따라서, 상기 콘택홀을 포함하는 상기 패시베이션막(216)이 형성된다.

계속해서, 상기 패시베이션막(216) 및 상기 콘택홀의 내면 상에 투명한 도전성 물질을 증착한다. 상기 투명한 도전성 물질은 ITO, IZO, ZO 등을 포함한다. 계속해서, 상기 투명한 도전성 물질의 일부를 식각하여 상기 독립 화소 전극(212) 및 상기 분할 화소 전극(232)을 형성한다.

따라서, 상기 하부 기판(220), 상기 독립 박막 트랜지스터(219), 상기 분할 박막 트랜지스터(239), 상기 소오스 라인(218a'), 상기 게이트 라인(218b'), 상기 독립 화소 전극(212) 및 상기 분할 화소 전극(232)을 포함하는 상기 제2 기판(280)이 형성된다.

도 9c 및 도 10c를 참조하면, 이어서 상기 상부 기판(200) 상에 불투명한 물질을 증착한다. 계속해서, 상기 불투명한 물질의 일부를 제거하여 상기 블랙 매트릭스(202)를 형성한다. 이때, 불투명한 물질 및 포토레지스트를 상기 상부 기판(200) 상에 도포한 후에 사진 공정(Photo Process)을 이용하여 상기 블랙 매트릭스(202)를 형성할 수도 있다. 상기 사진 공정(Photo Process)은 노광 공정(Exposure Process) 및 현상 공정(Development Process)을 포함한다. 이때, 상기 블랙 매트릭스(202)를 상기 하부 기판(220) 상에 형성할 수도 있다.

이후에, 상기 블랙 매트릭스(202)가 형성된 상기 상부 기판(200) 상에 컬러 필터(204)를 형성한다. 상기 컬러 필터(204)는 특정한 파장의 광만을 선택적으로 투과시킨다. 이때, 상기 컬러 필터(204)가 상기 상부 기판(200)이 아닌 상기 하부 기판(220) 상에 형성될 수도 있다. 상기 컬러 필터(204)가 상기 하부 기판(220) 상에 형성되는 경우 상기 컬러 필터는 상기 패시베이션막(216) 또는 상기 독립 화소 전극(212)과 상기 분할 화소 전극(232) 상에 형성하는 것이 바람직하다. 바람직하게는, 상기 컬러 필터(204)는 사진 공정(Photo Process)을 이용하여 형성된다.

계속해서, 상기 블랙 매트릭스(202) 및 상기 컬러 필터(204)가 형성된 상부 기판(200)의 전면에 상기 오버코팅층(205)을 형성한다.

이어서, 상기 오버코팅층(205) 상에 투명한 도전성 물질을 증착하여 상기 공통 전극(206)을 형성한다. 상기 투명한 도전성 물질은 ITO, IZO, ZO 등을 포함한다.

계속해서, 상기 공통 전극(206) 상에 유기물을 도포한다. 바람직하게는, 상기 유기물은 포토 레지스트(Photoresist) 성분을 포함한다. 이후에, 상기 유기물을 노광 및 현상하여 상기 블랙 매트릭스(202)에 대응하는 상기 공통 전극(206)의 일부 상에 상기 스페이서(210)를 형성한다. 이때, 상기 공통 전극(206) 상에 스페이서(210)를 형성하지 않고 상기 볼 스페이서(Ball Spacer)를 배치할 수도 있다. 또한, 상기 스페이서(210)가 상기 하부 기판(220) 상에 형성될 수도 있다.

따라서, 상기 상부 기판(200), 상기 블랙 매트릭스(202), 상기 컬러 필터(204), 상기 오버코팅층(205), 상기 공통 전극(206) 및 상기 스페이서(210)를 포함하는 상기 제1 기판(270)이 형성된다.

도 9d 및 도 10d를 참조하면, 이어서 상기 제1 기판(270) 및 상기 제2 기판(280)을 대향하여 결합한다.

계속해서, 상기 제1 기판(270) 및 상기 제2 기판(280) 사이에 액정을 주입한 후에 씰런트(Sealant, 도시되지 않음)에 의해 밀봉한다. 이때, 씰런트(도시되지 않음)가 형성된 상기 제1 기판(270) 또는 상기 제2 기판(280) 상에 액정을 적하(Drop)한 후에 상기 제1 기판(270) 및 상기 제2 기판(280)을 대향하여 결합하여 상기 액정층(208)을 형성할 수도 있다.

따라서, 상기 독립 화소 영역(240a, 240b, 240c)을 포함하는 횡렬(Rank) 및 상기 분할 화소 영역(250', 250", 250''')을 포함하는 횡렬(Rank)이 교대로 배치되어 상기 소오스 라인(218a)의 저항이 감소하고 개구율이 증가한다.

## 실시예 2

도 11은 본 발명의 제2 실시예에 따른 액정 표시 장치를 나타내는 평면도이고, 도 12는 본 발명의 제2 실시예에 따른 액정 표시 장치의 표시 영역 및 차광 영역을 나타내는 평면도이며, 도 13은 상기 도 11의 D-D' 라인의 단면도이다.

본 실시예에서 독립 화소 영역 및 분할 화소 영역의 배치 및 형상을 제외한 나머지 구성 요소들은 실시예 1과 동일하므로 중복된 부분에 대해서는 상세한 설명을 생략한다.

도 11 내지 도 13을 참조하면, 상기 액정 표시 장치는 제1 기판(370), 제2 기판(380) 및 액정층(308)을 포함한다.

상기 제1 기판(370)은 상부 기판(300), 블랙 매트릭스(Black Matrix, 302), 차광 패턴(307), 컬러 필터(Color Filter, 304), 오버코팅층(305), 공통 전극(Common Electrode, 306) 및 스페이서(Spacer, 310)를 포함한다.

상기 제2 기판(380)은 하부 기판(320), 독립 박막 트랜지스터(Isolated Thin Film Transistor, 319), 분할 박막 트랜지스터(Separated Thin Film Transistor, 339), 게이트 절연막(326), 패시베이션막(316), 독립 화소 전극(312) 및 분할 화소 전극(332)을 포함한다. 상기 제2 기판(380)은 독립 화소 영역(340a, 340b, 340c), 분할 화소 영역(350', 350", 350''') 및 차광 영역(345)을 포함한다. 상기 독립 화소 영역(340a, 340b, 340c)은 적색 독립 화소 영역(340a), 녹색 독립 화소 영역(340b) 및 청색 독립 화소 영역(340c)을 포함한다.

상기 각각의 분할 화소 영역들(350', 350", 350''')은 상기 하부 기판(320)을 기준으로 상하로 분리된 두 개의 분할 화소부(351a, 351b, 351c)들을 포함한다. 상기 분할 화소부(351a, 351b, 351c)는 적색 분할 화소부(351a), 녹색 분할 화소부(351b) 및 청색 분할 화소부(351c)를 포함한다. 상기 분할 화소 영역(350', 350", 350''')은 상기 적색 분할 화소부(351a) 및 상기 녹색 분할 화소부(351b)를 포함하는 적녹 분할 화소 영역(350')과, 상기 녹색 분할 화소부(351b) 및 상기 청색 분할 화소부(351c)를 포함하는 녹청 분할 화소 영역(350'')과 상기 청색 분할 화소부(351c) 및 상기 적색 분할 화소부(351a)를 포함하는 청적 분할 화소 영역(350''')을 포함한다.

상기 적색 컬러 필터는 상기 적색 독립 화소 영역(340a) 및 상기 적색 분할 화소부(351a)에 대응하고, 상기 녹색 컬러 필터는 상기 녹색 독립 화소 영역(340b) 및 상기 녹색 분할 화소부(351b)에 대응하며, 상기 청색 컬러 필터는 상기 청색 독립 화소 영역(340c) 및 상기 청색 분할 화소부(351c)에 대응한다.

상기 블랙 매트릭스(302)는 상기 차광 영역(345)에 대응하는 상기 상부 기판(300)상에 배치된다.

상기 차광 패턴(307)은 상기 상부 기판(320) 상의 인접하는 분할 화소부들(351a, 351b, 351c)에 대응하여 배치된다. 바람직하게는, 상기 차광 패턴(307)은 상기 상부 기판(320)을 기준으로 가로 방향으로 연장된 직사각형 형상을 가지며, 상기 블랙 매트릭스(302)와 함께 형성된다. 이때, 상기 차광 패턴(307)이 상기 하부 기판(320) 또는 상기 게이트 절연막(326) 상에 배치될 수도 있다.

상기 컬러 필터(304)는 상기 블랙 매트릭스(302) 및 상기 차광 패턴(307)이 형성된 상기 상부 기판(300) 상에 형성되어 소정의 파장의 광만을 선택적으로 투과시킨다.

상기 독립 박막 트랜지스터(319)는 상기 하부기판(320) 상의 상기 독립 화소 영역(340a, 340b, 340c) 내에 형성되며 독립 소오스 전극(318a), 독립 게이트 전극(318b), 독립 드레인 전극(318c) 및 독립 반도체층 패턴을 포함한다.

상기 분할 박막 트랜지스터(339)는 상기 하부기판(320) 상의 상기 각각의 분할 화소부(351a, 351b, 351c) 내에 형성된다. 상기 각각의 분할 화소 영역(350', 350", 350''')은 2개의 상기 분할 화소부들(351a, 351b, 351c)을 포함하므로, 2개의 상기 분할 박막 트랜지스터들(339)이 상기 각각의 분할 화소 영역(350', 350", 350''') 내에 배치된다.

상기 분할 박막 트랜지스터(339)는 분할 소오스 전극(338a), 분할 게이트 전극(338b), 분할 드레인 전극(338c) 및 분할 반도체층 패턴을 포함한다. 상기 분할 소오스 전극(238a)은 상기 소오스 라인(218a')에 전기적으로 연결된다. 이때, 2개의 상기 분할 게이트 전극들(338b)이 상기 분할 화소 영역(350', 350", 350''')의 서로 대응되는 모서리에 인접하여 배치된다.

상기 독립 화소 전극(312)은 상기 독립 화소 영역(340a, 340b, 340c) 내의 상기 패시베이션막(316)의 표면 및 상기 독립 드레인 전극(318c)에 대응하는 콘택홀의 내면 상에 형성되어 상기 독립 드레인 전극(318c)과 전기적으로 연결된다. 또한, 상기 분할 화소 전극(332)은 상기 분할 화소부(351a, 351b, 351c) 내의 상기 패시베이션막(316)의 표면 및 상기 분할 드레인 전극(338c)에 대응하는 콘택홀의 내면 상에 형성되어 상기 분할 드레인 전극(338c)과 전기적으로 연결된다.

따라서, 상기 독립 화소 영역(340a, 340b, 340c)을 포함하는 종렬(Column) 및 상기 분할 화소 영역(350', 350", 350''')을 포함하는 종렬(Column)이 교대로 배치되어 화질이 향상된다.

상기 본 발명의 실시예에서는 상기 독립 화소 영역 및 상기 분할 화소 영역의 갯수가 동일하고 일렬로 배열된 경우를 설명하였지만, 해당 기술 분야의 숙련된 당업자는 상기 독립 화소 영역 및 상기 분할 화소 영역의 다양한 배치가 가능함을 이해할 수 있을 것이다.

### 발명의 효과

상기와 같은 본 발명에 따르면, 액정 표시 장치가 하나의 박막 트랜지스터를 갖는 독립 화소 영역 및 복수의 박막 트랜지스터를 갖는 분할 화소 영역을 포함하여 델타(Delta) 방식의 이미지 데이터를 표시하는 것이 가능하고 소오스 라인의 저항이 감소된다. 또한, 개구율이 증가하고 화질이 향상된다.

또한, 인접하는 상기 분할 화소 영역들 사이에 차광 패턴이 배치되어 빛샘 현상이 감소된다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### (57) 청구의 범위

#### 청구항 1.

서로 인접하는 복수의 소오스 라인 및 상기 소오스 라인에 수직으로 배열된 복수의 게이트 라인에 의해 정의되는 독립 화소 영역 내에 배치된 독립 스위칭 소자;

상기 독립 화소 영역 내에 배치되고 상기 독립 스위칭 소자의 전극에 전기적으로 연결된 독립 화소 전극;

서로 인접하는 상기 소오스 라인 및 상기 게이트 라인에 의해 정의되고 상기 독립 화소 영역에 인접하는 분할 화소 영역 내에 배치된 복수의 분할 스위칭 소자; 및

상기 분할 화소 영역 내에 배치되고 상기 각각의 분할 스위칭 소자의 전극에 전기적으로 연결된 분할 화소 전극을 포함하는 어레이 기판.

#### 청구항 2.

제1항에 있어서, 상기 분할 스위칭 소자는 상기 독립 스위칭 소자보다 작은 것을 특징으로 하는 어레이 기판.

#### 청구항 3.

제1항에 있어서, 상기 분할 화소 전극들 사이에 배치된 차광 패턴을 더 포함하는 것을 특징으로 하는 어레이 기판.

#### 청구항 4.

제1항에 있어서, 상기 분할 화소 영역 내에 2개의 분할 스위칭 소자가 배치되는 것을 특징으로 하는 어레이 기판.

#### 청구항 5.

서로 인접하는 복수의 소오스 라인 및 상기 소오스 라인에 수직으로 배열된 복수의 게이트 라인에 의해 정의되는 독립 화소 영역 내에 독립 스위칭 소자를 형성하는 단계;

상기 독립 화소 영역 내에 상기 독립 스위칭 소자의 전극에 전기적으로 연결된 독립 화소 전극을 형성하는 단계;

서로 인접하는 상기 소오스 라인 및 상기 게이트 라인에 의해 정의되고 상기 독립 화소 영역에 인접하는 분할 화소 영역 내에 복수의 분할 스위칭 소자를 형성하는 단계; 및

상기 분할 화소 영역 내에 상기 각각의 분할 스위칭 소자의 전극에 전기적으로 연결된 분할 화소 전극을 형성하는 단계를 포함하는 어레이 기판의 제조방법.

## 청구항 6.

제5항에 있어서, 상기 독립 스위칭 소자를 상기 분할 스위칭 소자와 함께 형성하는 것을 특징으로 하는 어레이 기판의 제조방법.

## 청구항 7.

제5항에 있어서, 상기 독립 화소 전극을 상기 분할 화소 전극과 함께 형성하는 것을 특징으로 하는 어레이 기판의 제조방법.

## 청구항 8.

제5항에 있어서, 인접하는 상기 분할 화소 전극들 사이에 차광 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 어레이 기판의 제조방법.

## 청구항 9.

서로 인접하는 복수의 소오스 라인 및 상기 소오스 라인에 수직으로 배열된 복수의 게이트 라인에 의해 정의되는 독립 화소 영역 내에 배치된 독립 스위칭 소자와; 상기 독립 화소 영역 내에 배치되고 상기 독립 스위칭 소자의 전극에 전기적으로 연결된 독립 화소 전극과; 서로 인접하는 상기 소오스 라인 및 상기 게이트 라인에 의해 정의되고 상기 독립 화소 영역에 인접하는 분할 화소 영역 내에 배치된 복수의 분할 스위칭 소자와; 상기 분할 화소 영역 내에 배치되고 상기 각각의 분할 스위칭 소자의 전극에 전기적으로 연결된 분할 화소 전극을 포함하는 제1 기판;

상기 제1 기판에 대향하는 제2 기판;

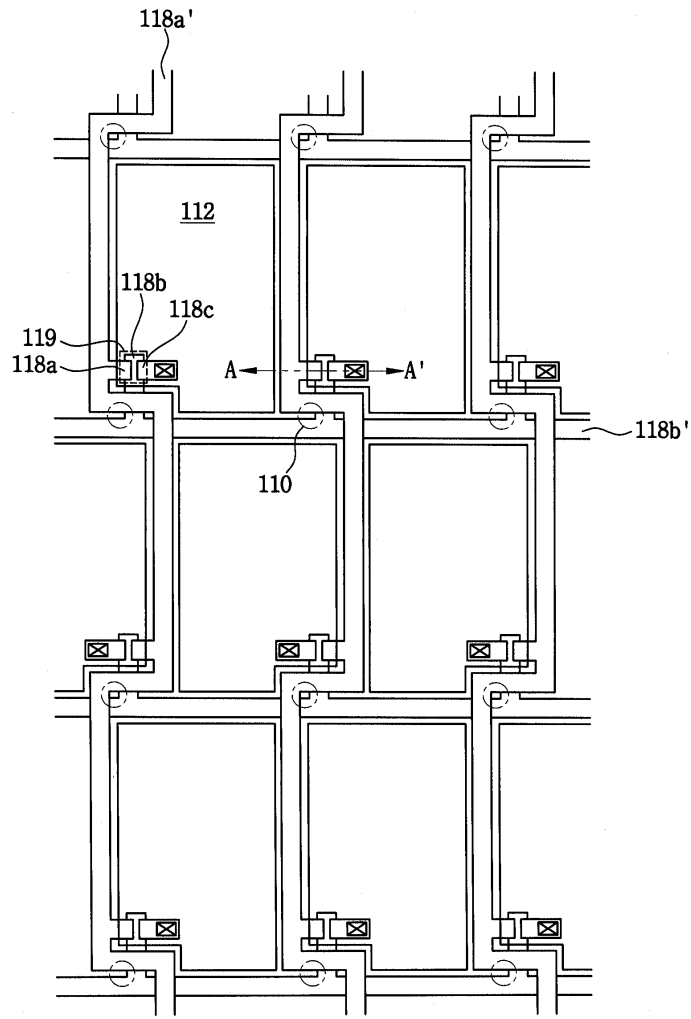
상기 제1 기판과 상기 제2 기판 사이에 배치되는 액정층을 포함하는 액정 표시 장치.

## 청구항 10.

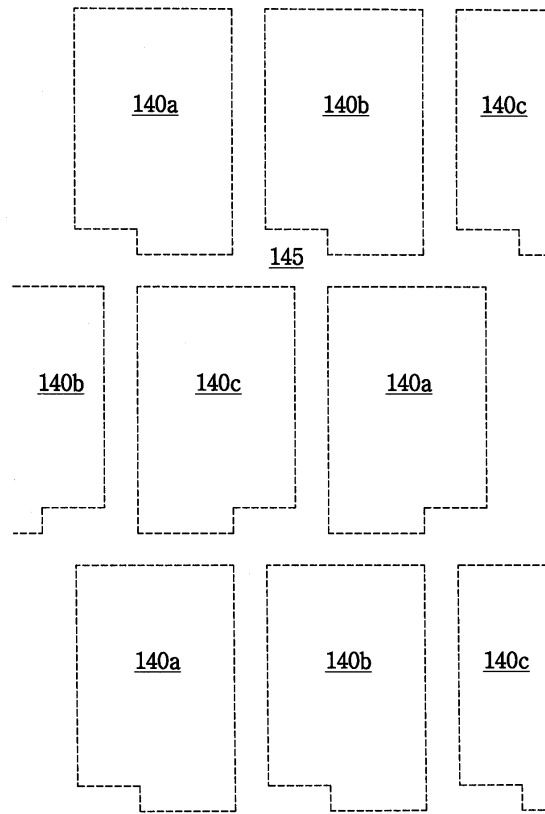
제9항에 있어서, 상기 제1 기판은 상기 분할 화소 전극들 사이에 배치된 차광 패턴을 더 포함하는 것을 특징으로 하는 액정 표시 장치.

도면

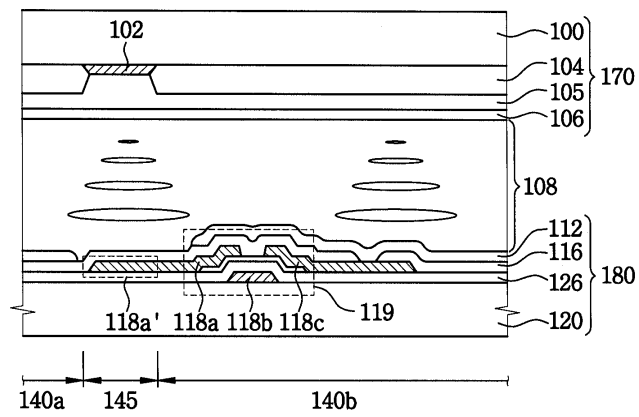
도면1



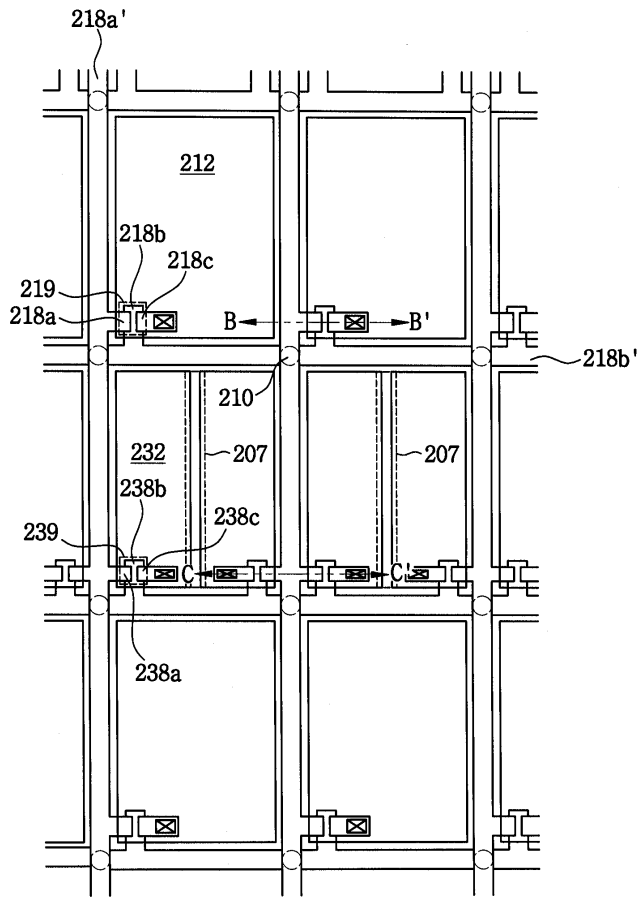
도면2



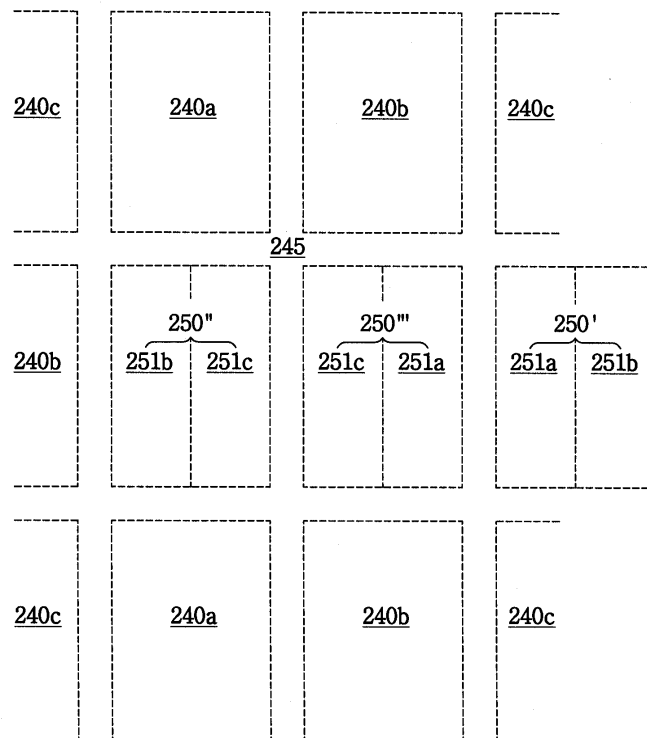
도면3



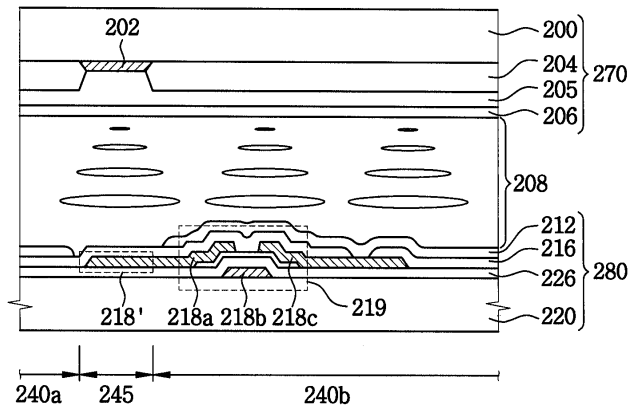
도면4



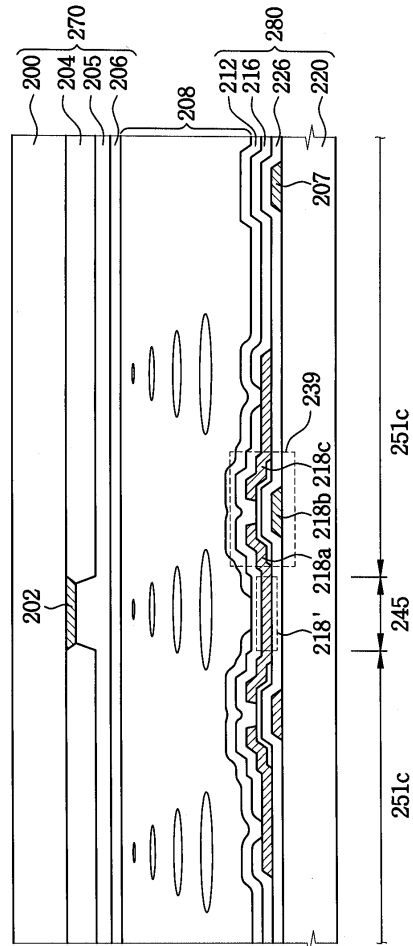
도면5



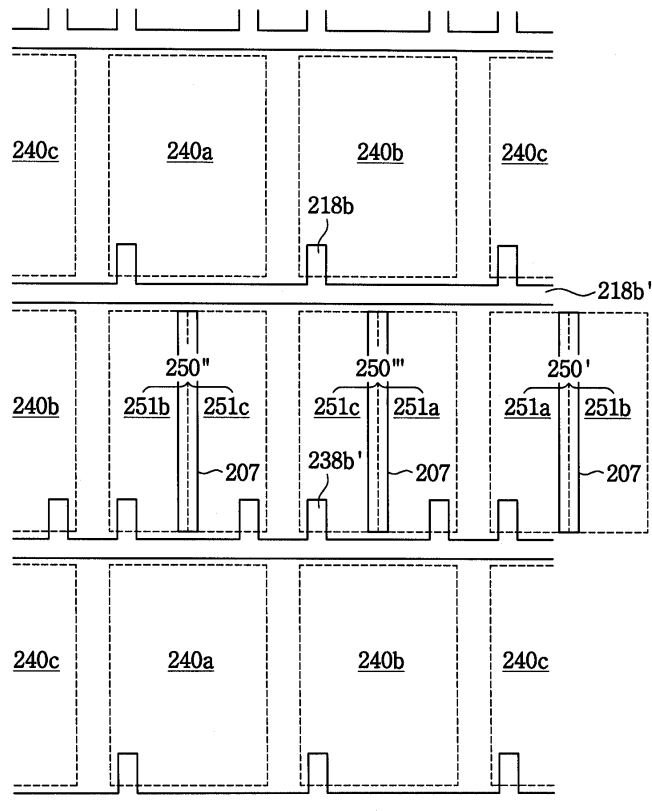
도면6



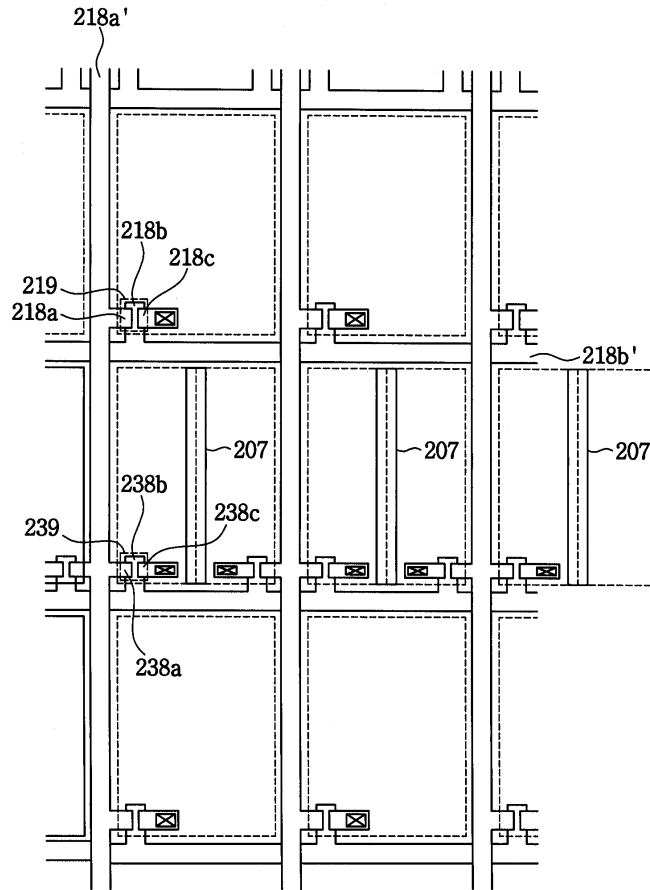
도면7



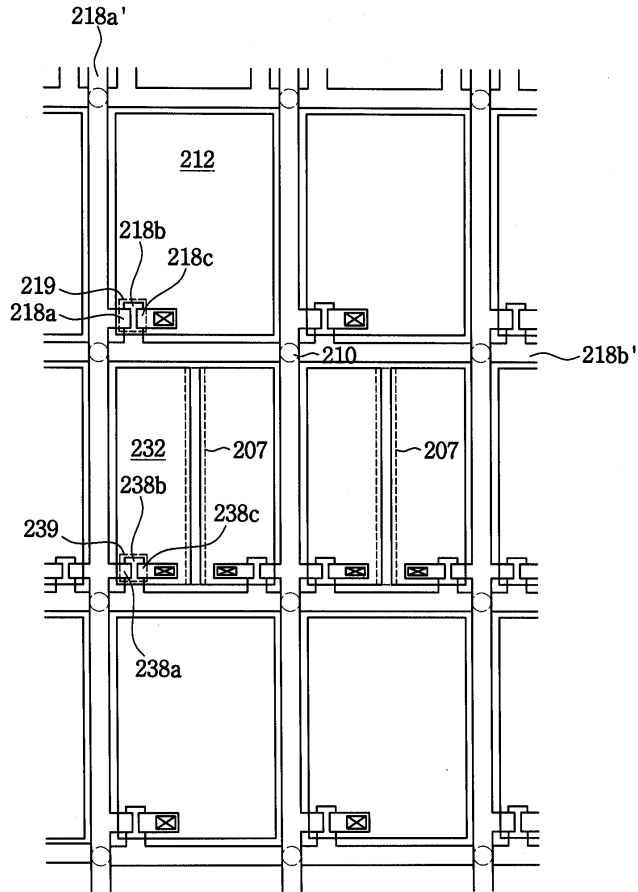
도면8a



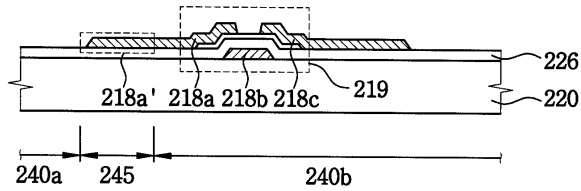
도면8b



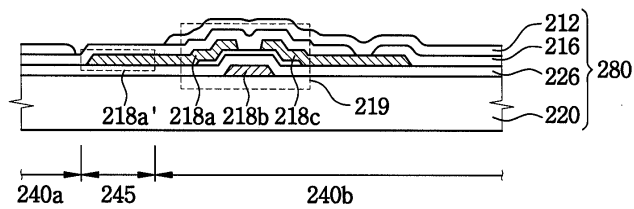
도면8c



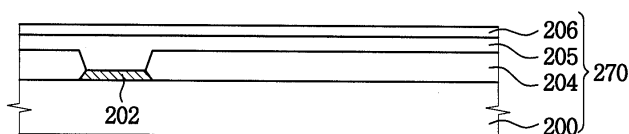
도면9a



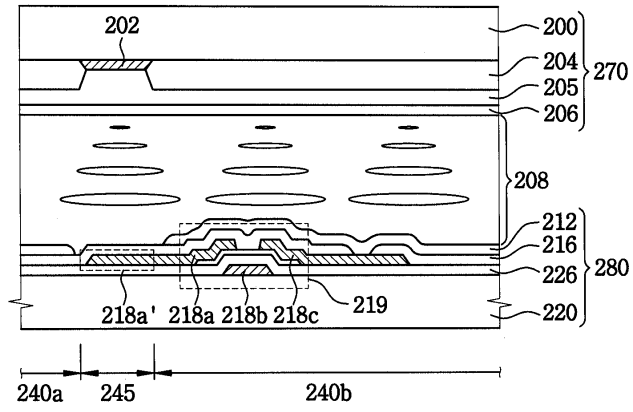
도면9b



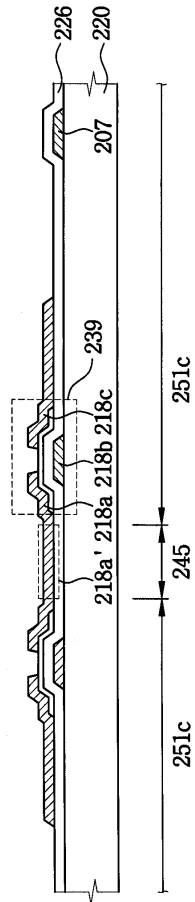
도면9c



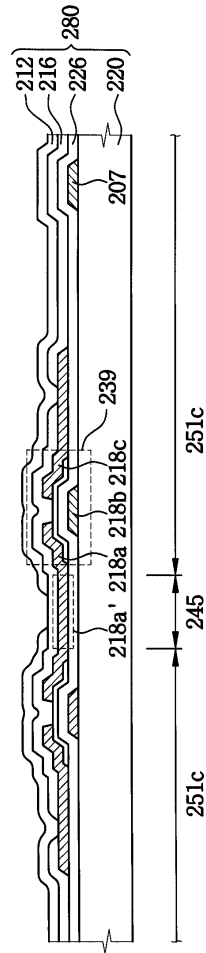
도면9d



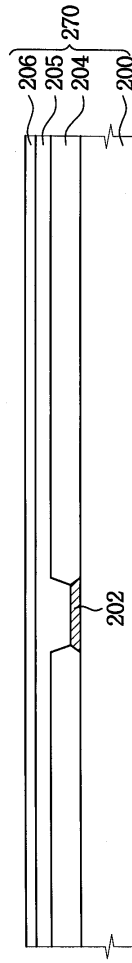
도면10a



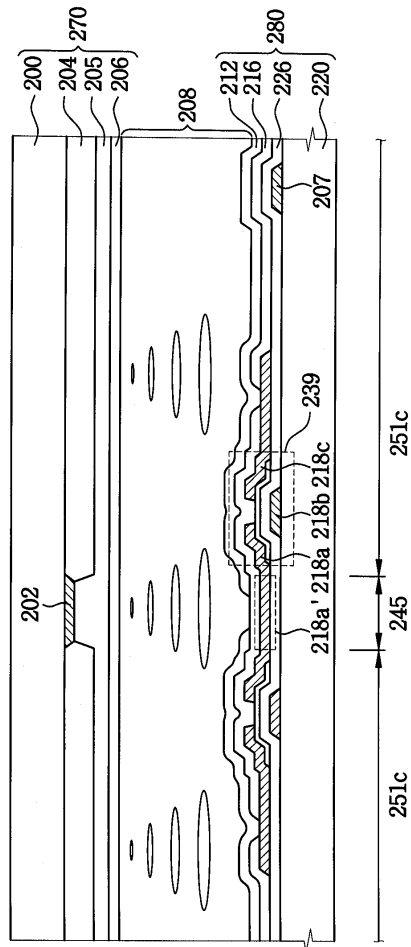
도면10b



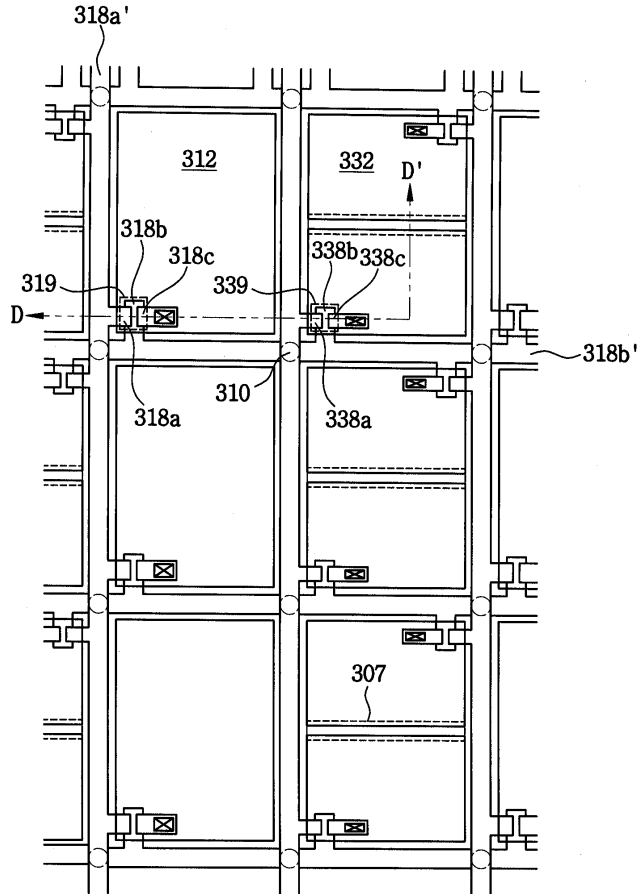
도면10c



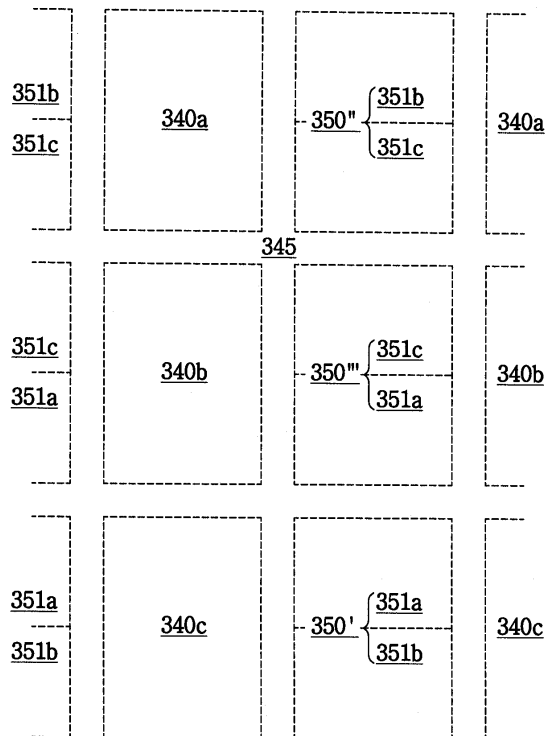
도면10d



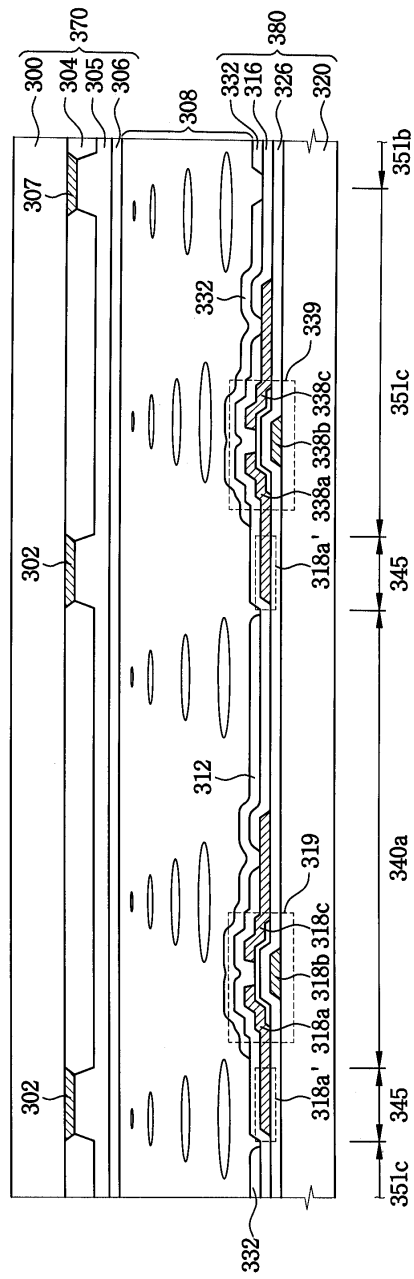
도면11



도면12



도면13



专利名称(译)	阵列基板，其制造方法以及具有该阵列基板的液晶显示装置		
公开(公告)号	<a href="#">KR1020050061913A</a>	公开(公告)日	2005-06-23
申请号	KR1020030093532	申请日	2003-12-19
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHOO KYOSEOP 추교섭 KIM NAMJOON 김남준 SONG JUNHO 송준호 YUN YOUNGNAM 윤영남		
发明人	추교섭 김남준 송준호 윤영남		
IPC分类号	G02F1/1343		
代理人(译)	PARK, YOUNG WOO		
其他公开文献	KR101010006B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

阵列面板包括独立开关元件，独立像素电极，多分割开关元件和多分割像素电极。它被布置在限定的独立像素区域内，其与多条源极线相邻，并且多条栅极线垂直地布置在源极线中。独立像素电极布置在独立像素区域内，并且在独立开关元件的电极中电连接。它由源极线限定，并且与栅极线相邻，并且布置在与独立像素区域相邻的分割像素区域内。分割像素电极布置在分割像素区域内，并且在每个分割开关元件的电极中电连接。因此，孔径比增加并且图像质量得到改善。

