

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/133

(11) 공개번호 10-2004-0028390
(43) 공개일자 2004년04월03일

(21) 출원번호 10-2002-0059560
(22) 출원일자 2002년09월30일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이형곤
경기도용인시수지읍죽전리89-1죽전현대1차아파트103동1501호

(74) 대리인 박영우

심사청구 : 없음

(54) 액정표시장치

요약

액정패널의 불량률 감소시킬 수 있는 액정표시장치가 개시된다. 액정패널은 일정 범위내에 존재하는 제1 신호를 인가되는 다수의 신호선과 신호선들에 연결되어 제1 신호에 의해 구동되는 스위칭 소자를 구비하는 제1 기판, 제1 기판과 대향하여 구비되는 제2 기판, 및 제1 기판과 제2 기판과의 사이에 개재되는 액정층으로 이루어진다. 제1 기판 상에는 신호선들의 단부에 연결되어 일정 범위를 벗어난 제2 신호를 방전시켜 신호선들로 유입되지 못하도록 하는 방전회로가 형성된다. 따라서, 액정패널의 불량률 감소시켜 액정표시장치의 생산성을 증가시킬 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 평면도이다.

도 2는 도 1에 도시된 방전회로와 신호 지연부를 나타낸 회로도이다.

도 3은 도 2에 도시된 신호 지연부를 구체적으로 나타낸 단면도이다.

도 4는 본 발명의 다른 실시예에 따른 액정표시장치를 나타낸 평면도이다.

도 5는 도 4에 도시된 라인블록 선택회로, 방전회로 및 신호 지연부를 나타낸 회로도이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : TFT 기판 130 : 게이트 구동회로

140 : 데이터 구동회로 150 : 방전회로

160 : 신호 지연부 170 : 라인블록 선택회로

200 : 컬러필터기판 500 : 액정표시장치

T1 : 제1 트랜지스터 T2 : 제2 트랜지스터

ST1 : 제1 선택 트랜지스터 ST2 : 제2 선택 트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 더욱 상세하게는 액정패널의 불량률 감소시킬 수 있는 액정표시장치에 관한 것이다.

최근 들어 정보처리장치는 다양한 형태, 다양한 기능, 더욱 빨라진 정보처리 속도를 갖도록 급속하게 발전되고 있다. 이러한 정보처리장치에서 처리된 정보는 전기적인 신호 형태를 갖는다. 사용자가 정보처리장치에서 처리된 정보를 육안으로 확인하기 위해서 인터페이스 역할을 하는 디스플레이 장치를 필요로 한다.

이러한 디스플레이 장치 중 액정표시장치는 액정의 특정한 분자배열에 전압을 인가하여 다른 분자배열로 변환시키고, 이러한 분자 배열에 의해 발광하는 액정셀의 복굴절성, 선광성, 2색성 및 광산란특성 등의 광학적 성질의 변화를 시각 변화로 변환하는 것으로, 액정셀에 의한 빛의 변조를 이용하는 디스플레이 장치다.

액정표시장치는 박막 트랜지스터(Thin Film Transistor; 이하, TFT) 기판, TFT 기판과 대향하여 구비되는 컬러필터기판 및 TFT 기판과 컬러필터기판과의 사이에 형성된 액정으로 이루어진다.

TFT 기판에는 제1 방향으로 연장된 게이트 라인, 제1 방향과 직교하는 제2 방향으로 연장된 데이터 라인, 게이트 라인과 데이터 라인에 의해 정의되는 영역에서 게이트 및 데이터 라인에 연결된 TFT 및 TFT와 연결된 액정 커패시터로 이루어진 화소가 매트릭스 형태로 다수 형성된다.

다수의 화소는 TFT 기판의 표시영역에 형성되고, 표시영역의 주변에는 게이트 라인과 데이터 라인을 구동하기 위한 구동회로가 배치된다. 일반적으로, 게이트 라인에 인가되는 게이트 구동신호를 발생하는 게이트 구동회로는 액정패널 상에서 TFT와 동일한 공정에 의해서 형성된다. 데이터 라인에 인가되는 데이터 전압을 발생하는 데이터 구동회로는 칩 형태로 액정패널 상에 부착된다.

따라서, 액정패널이 완성되면 데이터 구동회로는 본딩 또는 TAB 공정에 의해 액정패널에 부착된다. 일반적으로, 데이터 구동회로를 부착시키기 이전에 액정패널이 완성되면 완성된 액정패널이 정상적으로 구동되는 가를 검사하기 위한 공정이 수행된다. 이러한 검사 공정을 수행하기 위하여 액정패널의 데이터 라인 및 게이트 라인에는 각각 영상 신호 및 구동신호를 인가하여야 한다. 그러나, 게이트 라인으로 인가되는 구동신호를 발생하는 게이트 구동회로는 액정패널 상에 TFT와 동일한 공정에 의해서 형성되어 있기 때문에 데이터 라인에만 신호를 인가한다. 이 경우 사용되는 것이 검사 카드이다.

검사 카드는 액정패널의 외부로부터 제공되는 신호를 입력받기 위한 데이터 입력단자들에 전기적으로 연결되어 각 입력단자들에 각종 신호를 인가한다. 검사 카드와 입력 단자는 도전물질이기 때문에 접촉시 검사 카드와 입력 단자가 마찰되면서 그 둘 사이에서 정전기가 발생된다. 발생된 정전기는 데이터 라인들을 경유하여 액정패널로 유입된다. 유입된 정전기는 데이터 라인들을 단락 또는 단선시키거나, 데이터 라인들에 연결된 TFT를 손상시킨다. 따라서, 정전기에 의해서 액정표시장치의 불량률이 유발된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 액정패널의 불량률을 감소시키기 위한 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

상술한 본 발명의 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 일정 범위 내에 존재하는 제1 신호를 인가 받는 다수의 신호선과 상기 신호선들에 연결되어 상기 제1 신호에 의해 구동되는 스위칭 소자를 구비하는 제1 기판; 상기 제1 기판과 대향하여 구비되는 제2 기판; 상기 제1 기판과 상기 제2 기판과의 사이에 개재되는 액정층; 및 상기 제1 기판 상에서 상기 신호선들의 단부에 연결되어, 상기 일정 범위를 벗어난 제2 신호가 상기 신호선들로 인가되기 이전에 상기 제2 신호를 방전시키기 위한 방전회로를 포함한다.

이와 같은 액정표시장치에 따르면, 신호선들로 인가되는 신호 중 일정 범위를 벗어난 신호에 대해서 그 신호가 신호선들로 인가되지 못하도록 방전시키는 방전회로가 신호선들의 단부가 형성된다. 따라서, 액정패널의 불량률을 감소시켜 액정표시장치의 생산성을 증가시킬 수 있다.

이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 도면이다. 도 2는 도 1에 도시된 방전회로와 신호 지연부를 나타낸 회로도이다.

도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 액정표시장치(500)는 하부기판인 TFT 기판(100), 상부기판인 컬러필터기판(200) 및 그 사이에 제공되는 액정층(미도시)으로 이루어진 액정패널(300)을 포함한다. 액정패널(300)의 TFT 기판(100) 상에는 구동 신호를 출력하는 게이트 및 데이터 구동회로(130, 140), 방전 회로(150) 및 신호 지연부(160)가 형성된다. 또한, 액정패널(300)에는 외부로부터 게이트 및 데이터 구동회로(130, 140)에 전기적인 신호를 인가하기 위한 연성인쇄회로기판(Flexible Printed Circuit; FPC)(400)이 부착된다.

액정패널(300)은 TFT 기판(100)은 영상을 표시하는 표시영역(D)과 표시영역(D)의 주변에 형성된 제1 및 제2 주변영역(S1, S2)으로 이루어진다. 표시영역(D)에는 a-Si 박막 공정에 의해 다수의 화소가 매트릭스 형태로 형성된다. 화소는 제1 방향으로 연장된 게이트 라인(GL), 제1 방향과 직교하는 제2 방향으로 연장된 데이터 라인(DL), 게이트 라인(GL)과 데이터 라인(DL)에 연결된 TFT(110) 및 TFT(110)에 연결된 화소전극(120)으로 이루어진다.

한편, 제1 주변영역(S1)은 표시영역(D)의 좌측에 구비된 영역으로, 제1 주변영역(S1)에는 게이트 라인(GL)의 일단에 연결되어 게이트 라인(GL)으로 게이트 구동신호를 출력하는 게이트 구동회로(130)가 a-si 박막 공정에 의해 형성된다. 제2 주변영역(S2)은 표시영역(D)의 상측에 구비된 영역으로, 제2 주변영역(S2)에는 데이터 라인(DL)으로 데이터 전압을 출력하는 데이터 구동회로(140)가 칩 형태로 TFT 기판(100) 상에 장착된다.

연성인쇄회로기판(400)은 제2 주변영역(S2)에 부착되어 데이터 구동회로(140)와 게이트 구동회로(130)의 입력단자들과 전기적으로 연결된다. 따라서, 연성인쇄회로기판(400)은 외부로부터 제공되는 각종 신호들은 게이트 및 데이터 구동회로(130, 140)에 제공하여 게이트 및 데이터 구동회로(130, 140)의 동작을 제어한다.

또한, 제2 주변영역(S2) 중 데이터 구동회로(140)와 표시영역(D)과의 사이에는 a-si 박막 공정에 의해 방전회로(150)가 형성된다. 방전회로(150)는 데이터 라인들(DL) 각각에 연결되어 데이터 라인(DL)으로 제공되는 불필요한 신호를 방전시킨다. 구체적으로, 데이터 라인(DL)에는 일정 범위 내에 존재하여 데이터 라인(DL)에 인가된 후 TFT(110)를 통과하여 화소전극(120)으로 제공되어 영상을 표시하는데 이용되는 영상 정보를 포함하고 있는 제1 신호 및 일정 범위를 벗어난 신호로써 영상 정보를 포함하지 않는 제2 신호 즉, 불필요한 신호가 인가될 수 있다. 여기서, 방전회로(150)는 제2 신호를 방전시키는 기능을 수행한다.

도 2에 도시된 바와 같이, 방전회로(150)는 데이터 라인(DL) 중 데이터 전압이 입력되는 일단에 연결된 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)로 이루어진다. 제1 트랜지스터(T1)는 게이트와 소오스가 제1 전원전압(VDD)에 공통으로 연결되고, 드레인이 데이터 라인들(DL)의 일단에 연결되어 데이터 라인들(DL)의 전위를 제1 전원전압(VDD)으로 변경한다. 한편, 제2 트랜지스터(T2)는 게이트와 소오스가 제2 전원전압(VSS)에 공통으로 연결되고, 드레인이 데이터 라인들(DL)의 일단에 연결되어 데이터 라인들(DL)의 전위를 제2 전원전압(VSS)으로 변경시킨다.

구체적으로, 제1 트랜지스터(T1)가 제1 전원전압(VDD)과 제2 신호 사이의 전압차에 의해 제2 트랜지스터(T2)보다 먼저 구동되면 데이터 라인(DL)의 전위는 제1 전원전압(VDD)으로 상승된다. 이때, 제2 트랜지스터(T2)는 제1 전원전압(VDD)과 제2 전원전압(VSS) 사이의 전압차에 의해 구동되어 데이터 라인(DL)에 인가된 제2 신호를 제2 전원전압(VSS)으로 방전시킨다.

한편, 제2 트랜지스터(T2)는 제2 전원전압(VSS)과 제2 신호 사이의 전압차에 의해 제1 트랜지스터(T1)보다 먼저 구동되면, 제2 트랜지스터(T2)는 데이터 라인(DL)에 인가된 제2 신호를 제2 전원전압(VSS)으로 방전시킨다. 여기서, 제1 트랜지스터(T1)는 P 채널 도전형 MOS 트랜지스터이고, 제2 트랜지스터(T2)는 N 채널 도전형 MOS 트랜지스터이다.

일 실시예로 방전회로(150)는 두 개의 트랜지스터(T1, T2)를 구비하지만, 방전회로(150)는 두 개의 다이오드(미도시)로 이루어질 수 있다. 또한, 방전회로(150)는 하나의 트랜지스터 또는 다이오드로 이루어질 수도 있다. 이와 같이 하나의 트랜지스터 또는 다이오드를 사용할 경우 방전회로가 차지하는 면적을 감소시킴으로써 액정패널의 전체적인 사이즈를 감소시킬 수 있고, 더 나아가서 액정표시장치의 사이즈를 감소시킨다.

도 3은 도 2에 도시된 신호 지연부를 구체적으로 나타낸 단면도이다.

도 2 및 도 3을 참조하면, 방전회로(150)와 표시영역(D) 사이에는 제2 신호가 데이터 라인(DL)으로 제공되기 이전에 방전회로(150)를 통해 방전되도록 제2 신호를 지연시키기 위한 신호 지연부(160)가 형성된다. 신호 지연부(160)는 데이터 라인들(DL) 각각에 형성된 저항(R)으로 이루어진다.

구체적으로, 신호 지연부(160)는 방전회로(150)와 표시영역(D) 사이에서 데이터 라인(DL)의 하부에 형성되는 금속막이다. 즉, 신호 지연부(160)는 표시영역(D)에 형성되는 TFT(110)의 게이트 전극(111) 또는 게이트 라인(GL)과 동일한 층에 형성된다. 신호 지연부(160)와 데이터 라인(DL) 사이에는 게이트 절연막(112)이 개재되어 신호 지연부(160)와 데이터 라인(DL)을 전기적으로 절연시킨다. 신호 지연부(160), 절연막(112) 및 데이터 라인(DL)에 의해서 커패시턴스가 형성되고, 이러한 커패시턴스는 데이터 라인(DL)으로 인가되는 제2 신호를 지연시킨다. 여기서, 데이터 라인(DL)은 TFT(110)의 소오스 및 드레인 전극(115, 116)과 동일한 공정 상에서 형성된다.

여기서, 제2 신호를 지연시키기 위한 다른 방법으로 저항을 증가시키기 위하여 데이터 라인(DL)의 폭을 줄일 수도 있지만, 신호의 지연은 저항보다는 커패시턴스에 더 영향을 받기 때문에 본 발명에서는 커패시턴스를 증가시키는 방법을 이용한다.

본 발명의 일 실시예로서, 제2 신호는 다음과 같은 경우에 발생할 수 있다. 구체적으로, 연성인쇄회로기판(400)과 데이터 구동회로(140)는 액정패널(300)이 완성된 이후에 본딩 또는 TAB 공정에 의해 액정패널(300)에 부착된다. 이때, 완성된 액정패널(300)이 정상적으로 구동되는 가를 검사하는 공정을 수행함으로써 액정패널(300)의 불량률을 검출한다. 그러나, 액정패널(300)은 외부로부터 신호가 인가되어야 동작이 되고, 동작 상태에 따라 불량률 검출되기 때문에 외부로부터 신호를 인가 받아야 한다. 구체적으로, 게이트 라인(GL)에는 구동신호를 인가하고 데이터 라인(DL)에는 영상신호를 인가하여야 한다.

상술한 바와 같이, 게이트 라인(GL)에 구동신호를 인가하는 게이트 구동회로(130)는 TFT(110)와 동일한 공정에 의해서 TFT 기판(100) 상에 집적되기 때문에, 데이터 라인(DL)에만 일시적으로 영상신호를 인가하는 방법이 필요하다.

이때 사용되는 것이 검사 카드(Probe Card)(미도시)이다. 검사 카드는 액정패널(300)의 외부로부터 제공되는 신호를 입력받기 위한 데이터 라인들(DL)의 입력단자들에 전기적으로 연결되어 각 입력단자들에 영상신호를 인가한다.

그러나, 검사 카드와 입력 단자는 도전물질이기 때문에 접촉시 검사 카드와 입력 단자의 마찰로 인해 검사 카드와 입력 단자 사이에는 정전기가 발생된다. 발생한 정전기가 데이터 라인들(DL)을 타고 액정패널(300)로 유입되게 되면 데이터 라인(DL) 및 데이터 라인(DL)에 연결된 각종 소자들을 손상시킨다. 즉, 정전기에 의해 데이터 라인들(DL)이 단선 또는 단락되거나, 데이터 라인들(DL)에 연결된 TFT(110)가 파괴되어 액정표시장치(400)의 불량률 유발한다.

이때, 방전회로(150)는 정전기가 데이터 라인들(DL)로 유입되기 이전에 방전시킴으로써 액정패널(300)의 불량률 방지할 수 있다.

도 1 내지 도 2에서는 방전회로(150)가 데이터 라인(DL)과 데이터 구동회로(140) 사이에만 형성된 것을 나타내지만, 본 발명에 따른 방전회로(150)는 게이트 라인(GL)과 게이트 구동회로(130) 사이에도 형성될 수 있다. 이 경우에는 게이트 구동회로(130)는 데이터 구동회로(140)와 같이 칩 형태로 액정패널(100) 상에 부착된다.

또한, 제2 신호는 액정패널(100)의 검사시 발생하는 정전기일 수도 있지만, 액정표시장치(100)의 동작 시 데이터 구동회로(140) 및 게이트 구동회로(130)가 오동작하여 발생한 이상 신호일 수도 있다.

도 4는 본 발명의 다른 실시예에 따른 액정표시장치를 나타낸 도면이고, 도 5는 도 4에 도시된 라인블록 선택회로, 방전회로 및 신호 지연부를 나타낸 회로도이다.

도 4를 참조하면, 본 발명의 다른 실시예에 따른 액정표시장치(500)는 TFT 기판(100), 컬러필터기판(200) 및 그 사이에 제공되는 액정층(미도시)으로 이루어진 액정패널(300)을 포함한다. 액정패널(300)의 TFT 기판(100) 상에는 구동 신호를 출력하는 게이트 및 데이터 구동회로(130, 140), 데이터 라인(DL)에 선택적으로 데이터 구동신호를 인가하는 라인블록 선택회로(170), 방전회로(150) 및 신호 지연부(160)가 형성된다. 또한, 액정패널(300)에는 외부로부터 게이트 및 데이터 구동회로(130, 140)에 전기적인 신호를 인가하기 위한 연성인쇄회로기판(400)을 포함한다.

액정패널(300)은 TFT 기판(100)은 영상을 표시하는 표시영역(D)과 표시영역(D)의 주변에 형성된 제1 및 제2 주변영역(S1, S2)으로 이루어진다. 표시영역(D)에는 a-Si 박막 공정에 의해 다수의 화소가 매트릭스 형태로 형성된다. 화소들은 제1 방향으로 연장된 게이트 라인(GL), 제1 방향과 직교하는 제2 방향으로 연장된 데이터 라인(DL), 게이트 라인(GL)과 데이터 라인(DL)에 연결된 TFT(110) 및 TFT(110)에 연결된 화소전극(120)으로 이루어진다.

한편, 제1 주변영역(S1)은 표시영역(D)의 좌측에 구비된 영역으로, 제1 주변영역(S1)에는 게이트 라인(GL)의 일단에 연결되어 게이트 라인(GL)으로 게이트 구동신호를 출력하는 게이트 구동회로(130)가 a-si 박막 공정에 의해 형성된다. 제2 주변영역(S2)은 표시영역(D)의 상측에 구비된 영역으로, 제2 주변영역(S2)에는 데이터 라인들(DL)로 데이터 전압을 출력하는 데이터 구동회로(140)가 칩 형태로 TFT 기판(100) 상에 장착된다. 또한, 데이터 구동회로(140)와 표시영역(D) 사이에는 데이터 구동회로(140)로부터 출력된 데이터 전압을 데이터 라인들(DL)에 선택적으로 인가하고, a-si 박막 공정에 의해 형성된 라인블록 선택회로(170)가 배치된다.

또한, 제2 주변영역(S2) 중 라인블록 선택회로(170)와 표시영역(D)과의 사이에는 데이터 라인들(DL) 각각에 연결되고 a-si 박막 공정에 의해 형성된 방전회로(150)가 배치된다. 방전회로(150)는 데이터 라인들(DL)로 제공되는 제2 신호를 방전시킨다.

한편, 연성인쇄회로기판(400)은 제2 주변영역(S2)에 부착되어 데이터 구동회로(140)와 게이트 구동회로(130)의 입력단자들과 전기적으로 연결된다. 따라서, 연성인쇄회로기판(400)은 외부로부터 제공되는 각종 신호들은 게이트 및 데이터 구동회로(130, 140), 라인블록 선택회로(170)에 제공하여 게이트 및 데이터 구동회로(130, 140), 라인블록 선택회로(170)의 동작을 제어한다.

도 5를 참조하면, 라인블록 선택회로(170)는 데이터 구동회로(140)로부터 제공되는 신호를 입력받는 입력단자들, 데이터 라인에 대응하는 개수로 형성되어 해당 데이터 라인(DL)에 데이터 전압을 출력하는 출력단자들, 및 입력단자와 출력단자 사이에 연결되고 외부로부터 제공되는 제1 및 제2 선택신호(TG1, TG2)에 의해 구동되어 시간차를 두고서 선택적으로 데이터 라인(DL)에 데이터 전압을 출력하기 위한 제1 및 제2 선택 트랜지스터(ST1, ST2)로 이루어진다.

구체적으로, 라인블록 선택회로(170)는 m개의 데이터 라인들(DL)을 2분할하여 각각 m/2개의 데이터 라인들, 예를 들어 홀수 번째 데이터 라인들(DLo)을 포함하는 제1 블록(BL1)과 짝수 번째 데이터 라인들(DLe)을 포함하는 제2 블록(BL2)으로 이루어진다.

제1 선택 트랜지스터(ST1)는 제1 블록(BL1)의 입력단자와 출력단자 사이에 연결되고 연성인쇄회로기판(400)을 통해 제공되는 제1 선택신호(TG1)에 의해 구동된다. 또한, 제2 선택 트랜지스터(ST2)는 제2 블록(BL2)의 입력단자와 출력단자 사이에 연결되고 연성인쇄회로기판(400)을 통해 제공되는 제2 선택신호(TG2)에 의해 구동된다. 이때, 제1 선택신호(TG1)와 제2 선택신호(TG2)는 서로 교호적으로 하이 구간을 갖는다.

즉, 제1 선택신호(TG1)에 하이(high) 신호가 인가되면, 제1 선택신호(TG1)에 의해 제1 선택 트랜지스터(ST1)가 구동되어 제1 블록(BL1)의 출력단자에는 데이터 전압이 출력되어 대응하는 홀수 번째 데이터 라인(DLo)으로 인가된다. 한편, 제2 선택신호(TG2)에 하이 신호가 인가되면, 제2 선택신호(TG2)에 의해 제2 선택 트랜지스터(ST2)가 구동되어 제2 블록(BL2)의 출력단자에는 데이터 전압이 출력되어 대응하는 짝수 번째 데이터 라인(DLe)으로 인가된다.

도 5에 도시된 바와 같이, 방전회로(150)는 라인블록선택회로(170)로부터 선택적으로 인가되는 데이터 전압을 입력받는 데이터 라인(DL)의 일단에 연결된 제1 트랜지스터(T1)와 제2 트랜지스터(T2)로 이루어진다. 제1 트랜지스터(T1)는 게이트와 소오스가 제1 전원전압(VDD)에 공통으로 연결되고, 드레인이 데이터 라인들(DL)의 일단에 연결되어 데이터 라인들(DL)의 일단의 전위를 제1 전원전압(VDD)로 변경시킨다. 한편, 제2 트랜지스터(T2)는 게이트와 소오스가 제2 전원전압(VSS)에 공통으로 연결되고, 드레인이 데이터 라인들(DL)의 일단에 연결되어 데이터 라인들(DL)의 일단의 전위를 제2 전원전압(VSS)으로 방전시킨다.

구체적으로, 제1 트랜지스터(T1)가 제1 전원전압(VDD)과 제2 신호 사이의 전압차에 의해 제2 트랜지스터(T2)보다 먼저 구동되면 데이터 라인(DL)의 전위는 제1 전원전압(VDD)으로 상승된다. 이때, 제2 트랜지스터(T2)는 제1 전원전압(VDD)과 제2 전원전압(VSS) 사이의 전압차에 의해 구동되어 데이터 라인(DL)에 인가된 제2 신호를 제2 전원전압(VSS)으로 방전시킨다.

한편, 제2 트랜지스터(T2)는 제2 전원전압(VSS)과 제2 신호 사이의 전압차에 의해 제1 트랜지스터(T1)보다 먼저 구동되면 데이터 라인(DL)에 인가된 제2 신호를 제2 전원전압(VSS)으로 방전시킨다. 여기서, 제1 트랜지스터(T1)는 P 채널 도전형 MOS 트랜지스터이고, 제2 트랜지스터(T2)는 N 채널 도전형 MOS 트랜지스터이다.

한편 도 3에 도시된 바와 같이, 신호 지연부(160)는 방전회로(150)와 라인블록 선택회로(170) 사이에서 데이터 라인(DL)의 하부에 형성되는 금속막이다. 즉, 신호 지연부(160)는 표시영역(D)에 형성되는 TFT(110)의 게이트 전극(111) 또는 게이트 라인(GL)과 동일한 공정에 의해서 형성된다. 신호 지연부(160)와 데이터 라인 사이에는 게이트 절연막(112)이 개재되어 신호 지연부(160)와 데이터 라인(DL)을 전기적으로 절연시킨다. 신호 지연부(160), 절연막(112) 및 데이터 라인(DL)에 의해서 커패시턴스가 형성되고, 이러한 커패시턴스는 데이터 라인(DL)으로 인가되는 제2 신호를 지연시킨다.

따라서, 신호 지연부(160)는 제2 신호가 데이터 라인(DL)으로 인가되기 이전에 방전회로(150)를 통해 방전될 수 있도록 제2 신호를 지연시키는 역할을 수행한다.

발명의 효과

이러한 액정표시장치에 따르면, 방전회로는 제1 기판 상에 배치되어, 일정 범위내에 존재하여 영상 정보를 포함하는 제1 신호를 제외한 나머지 신호 즉, 제2 신호가 신호선들로 인가되지 못하도록 방전시킨다.

따라서, 제2 신호에 의해 신호선들이 손상되거나 신호선들에 연결된 스위칭 소자들이 손상되는 것을 방지함으로써 액정패널의 불량률을 감소시킬 수 있고, 더 나아가서 액정표시장치의 생산성을 향상시킬 수 있다.

이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

일정 범위 내에 존재하는 제1 신호를 인가받는 다수의 신호선과 상기 신호선들에 연결되어 상기 제1 신호에 의해 구동되는 스위칭 소자를 구비하는 제1 기판;

상기 제1 기판과 대향하여 구비되는 제2 기판;

상기 제1 기판과 상기 제2 기판과의 사이에 개재되는 액정층; 및

상기 제1 기판 상에서 상기 신호선들의 단부에 연결되어, 상기 일정 범위를 벗어난 제2 신호가 상기 신호선들로 인가되기 이전에 상기 제2 신호를 방전시키기 위한 방전회로를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제1항에 있어서, 상기 방전회로는,

게이트와 소오스가 제1 전원전압에 공통으로 연결되고, 드레인이 상기 신호선들의 일단에 연결되어, 상기 제2 신호를 상기 제1 전원전압으로 변경시키기 위한 제1 트랜지스터; 및

게이트와 소오스가 제2 전원전압에 공통으로 연결되고, 드레인이 상기 신호선들의 일단에 연결되어, 상기 제2 신호를 상기 제2 전원전압으로 변경시키기 위한 제2 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3.

제2항에 있어서, 상기 제1 트랜지스터는 P 채널 도전형 MOS 트랜지스터이고, 상기 제2 트랜지스터는 N 채널 도전형 MOS 트랜지스터인 것을 특징으로 하는 액정 표시장치.

청구항 4.

제1항에 있어서, 상기 방전회로와 상기 신호선들 사이에 배치되고, 상기 불필요한 전압이 상기 방전회로를 통해 방전되도록 상기 제2 신호를 지연시키는 신호 지연부를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제4항에 있어서, 상기 신호 지연부는 절연층을 사이에 두고 상기 신호선들과 마주보는 금속막인 것을 특징으로 하는 액정표시장치.

청구항 6.

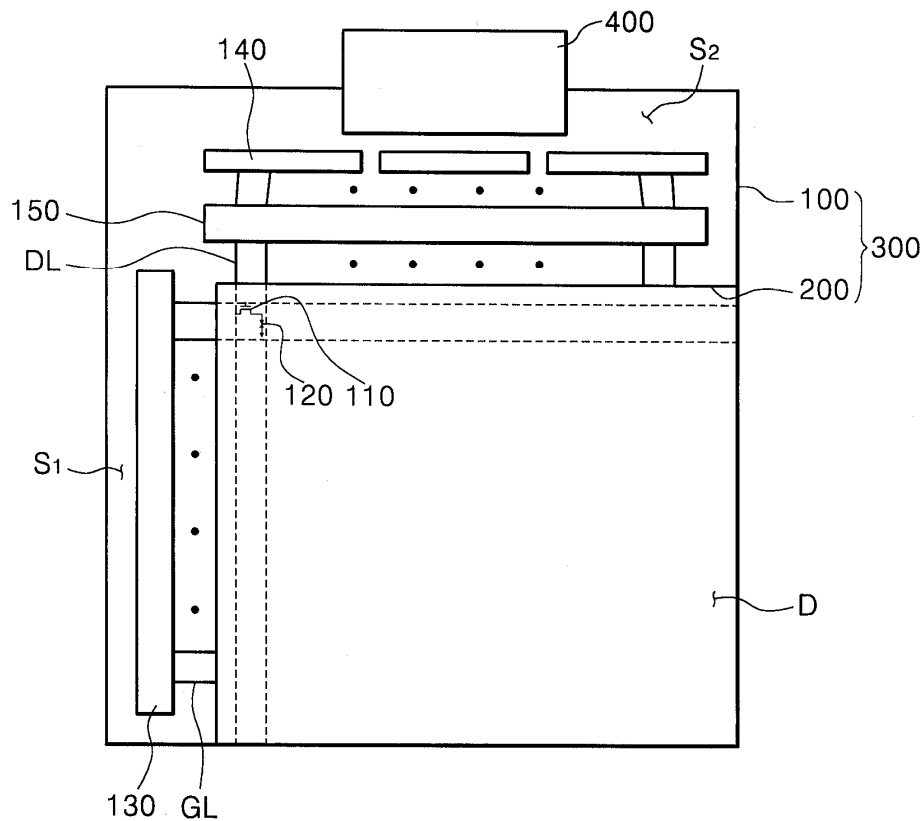
제1항에 있어서, 상기 신호선들은 제1 방향으로 연장된 다수의 게이트 라인 및 상기 제1 방향과 직교하는 제2 방향으로 연장된 다수의 데이터 라인으로 이루어지고,

상기 데이터 라인들과 상기 방전회로 사이에는 다수의 블록으로 분리된 상기 데이터 라인들의 각 블록에 선택적으로 데이터 전압을 인가하기 위한 라인블록 선택회로가 구비되는 것을 특징으로 하는 액정표시장치.

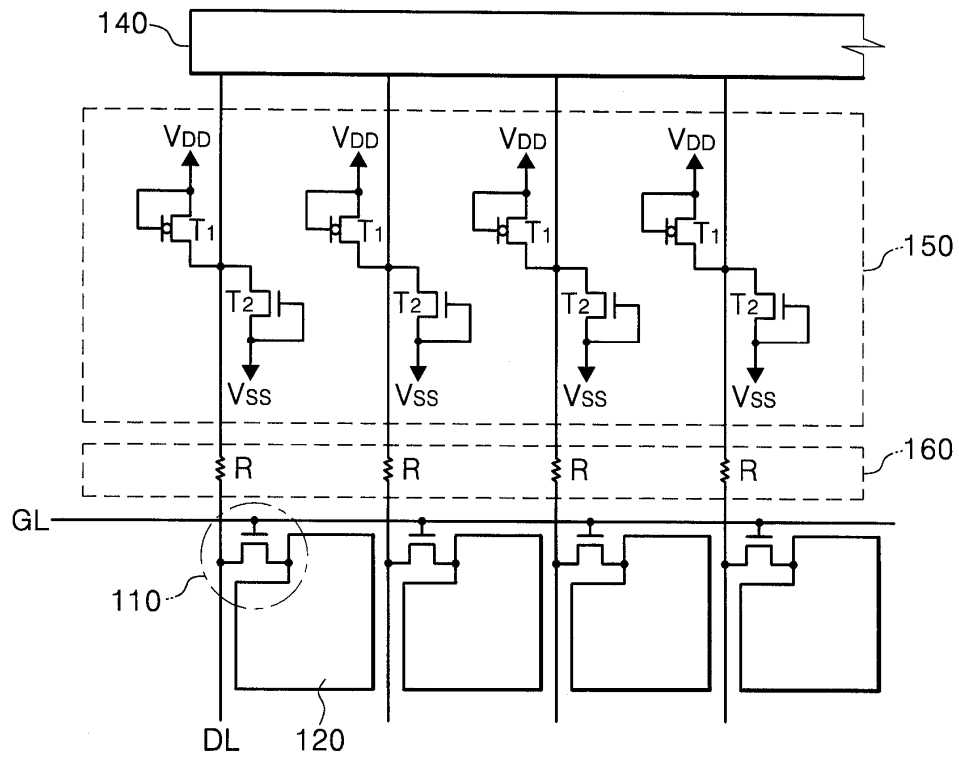
도면

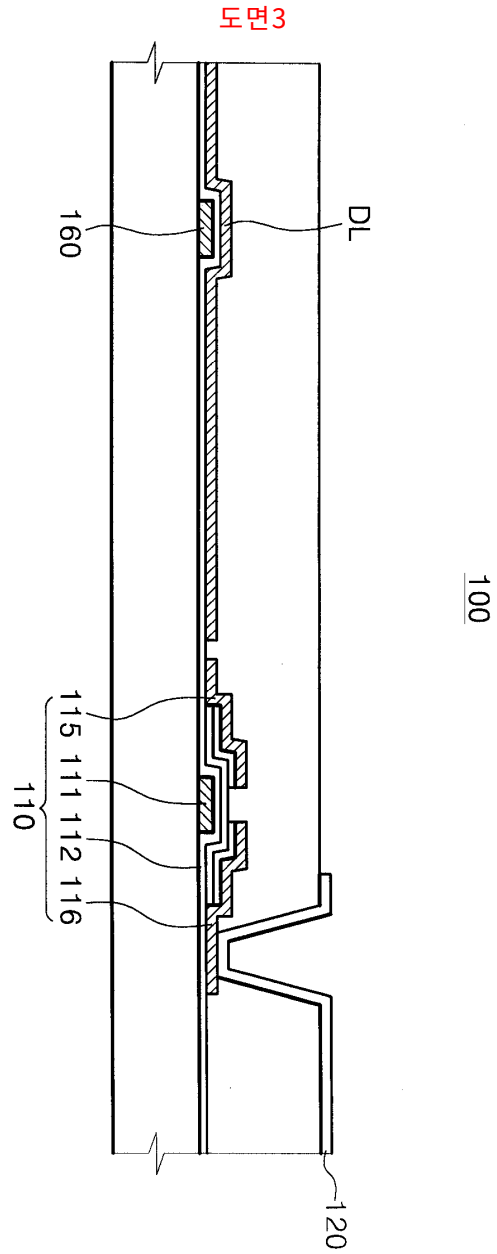
도면1

500



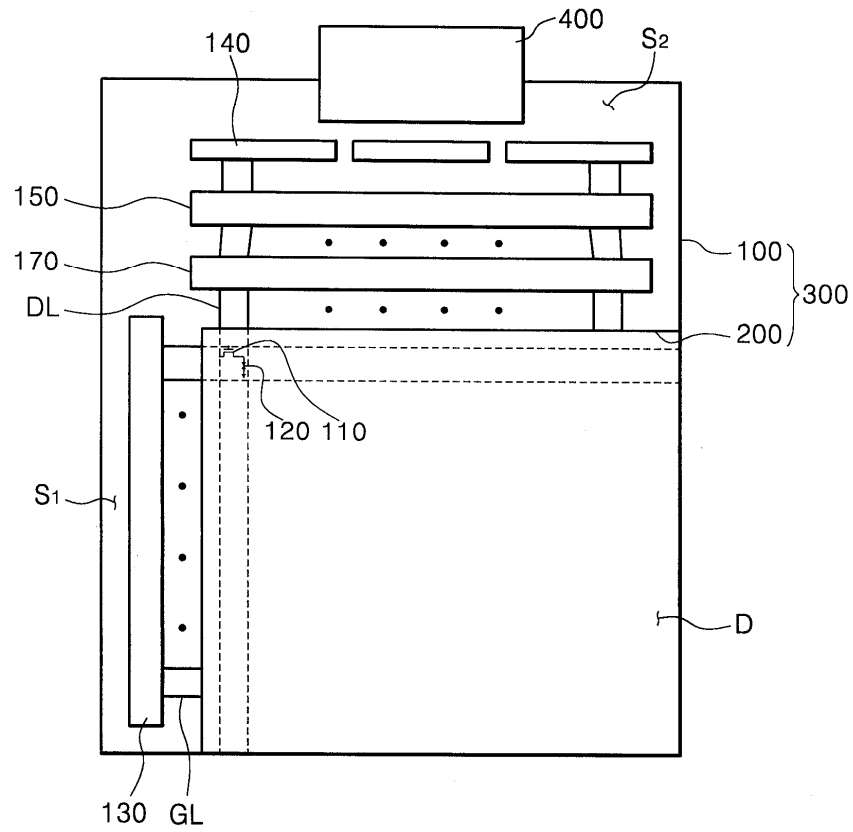
도면2



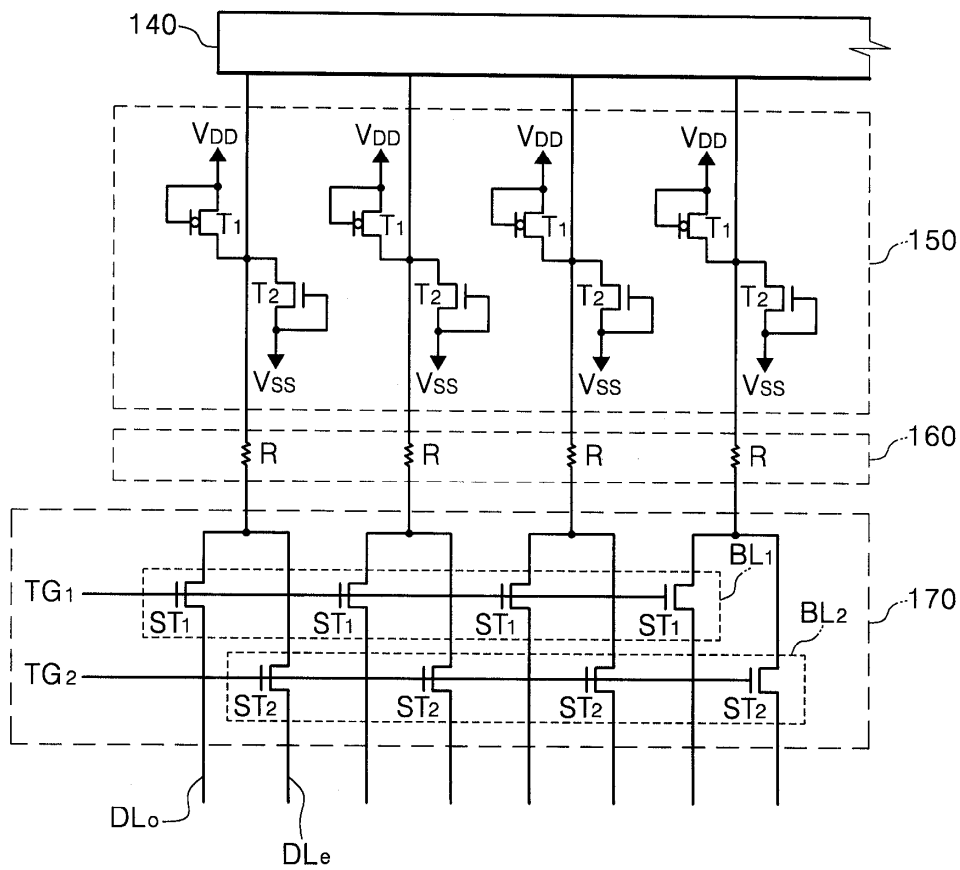


도면4

500



도면5



专利名称(译)	液晶显示器		
公开(公告)号	KR1020040028390A	公开(公告)日	2004-04-03
申请号	KR1020020059560	申请日	2002-09-30
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE HYONGGON 이형곤		
发明人	이형곤		
IPC分类号	G02F1/133		
CPC分类号	G02F1/133 G02F1/133308 G02F1/136286 G02F2201/54 G09G3/36		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

公开了一种减少液晶面板故障的液晶显示器。液晶面板包括多条信号线，其是存在于所施加的特定范围内的第一信号，第一基板连接到信号线并包括用第一信号驱动的开关元件，第一基板和液晶在第二基板之间允许的层，其面对第一基板和第二基板。放电电路将第二信号引入信号线，该第二信号连接到第一基板上的信号线的端部并且偏离规定的范围被放电。因此，减少了液晶面板的故障，并且可以提高液晶显示器的生产率。

