



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0017630  
(43) 공개일자 2008년02월27일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)  
G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0078941

(22) 출원일자 2006년08월21일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

홍성진

서울 광진구 화양동 84-1

이일평

경기 수원시 권선구 곡반정동 2B 2L 401호

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

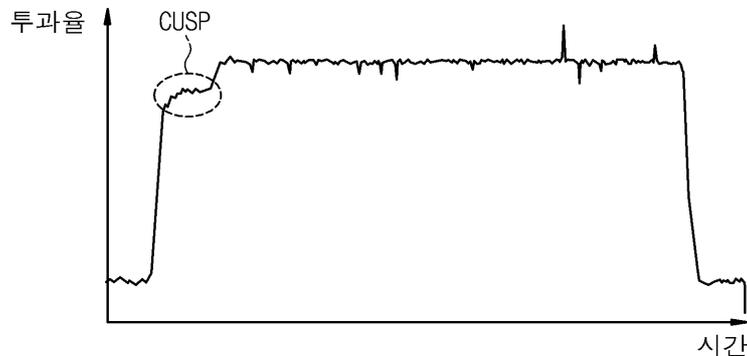
전체 청구항 수 : 총 14 항

(54) 응답 속도가 향상된 액정 표시 장치 및 그것의 구동 방법

(57) 요약

액정 표시 장치는, 복수의 데이터 라인들 및 복수의 게이트 라인들을 포함하는 액정 패널과, 제1 클럭 신호에 동기해서 제1 영상 데이터를 입력받고, 제2 클럭 신호에 동기해서 제2 영상 데이터 및 제어 신호들을 출력하는 타이밍 컨트롤러와, 영상 데이터 및 제어 신호들에 응답해서 상기 액정 패널의 상기 복수의 데이터 라인들을 구동하는 데이터 드라이버, 그리고 상기 제2 클럭 신호 및 상기 제어 신호들에 응답해서 상기 액정 패널의 상기 복수의 게이트 라인들을 순차적으로 구동하는 게이트 드라이버를 포함한다. 상기 제2 클럭 신호의 주파수는 상기 제1 클럭 신호의 주파수보다 정수 배 빠르므로 소정 게이트 라인과 관련된 픽셀 데이터 신호들이 입력되는 동안 두 개의 게이트 라인들을 순차적으로 구동할 수 있다. 따라서 액정 표시 장치의 응답 속도가 향상된다.

대표도 - 도1



(72) 발명자

**박철우**

경기 수원시 영통구 매탄2동 한국1차아파트 102동  
601호

**양영철**

경기 성남시 분당구 정자동 한솔마을주공6단지아파  
트 610동1104호

**박대진**

인천 연수구 연수3동 풍림1차아파트 (101-109) 10  
5동 402호

## 특허청구의 범위

### 청구항 1

복수의 데이터 라인들 및 복수의 게이트 라인들을 포함하는 액정 패널과;

제1 클럭 신호에 동기해서 제1 영상 데이터를 입력받고, 제2 클럭 신호에 동기해서 제2 영상 데이터 및 제어 신호들을 출력하는 타이밍 컨트롤러와;

상기 제 2 영상 데이터 및 상기 제어 신호들에 응답해서 상기 액정 패널의 상기 복수의 데이터 라인들을 구동하는 데이터 드라이버; 그리고

상기 제2 클럭 신호 및 상기 제어 신호들에 응답해서 상기 액정 패널의 상기 복수의 게이트 라인들을 순차적으로 구동되 각 게이트 라인을 복수 번 반복해서 구동하는 게이트 드라이버를 포함하되;

상기 타이밍 컨트롤러는

상기 제1 클럭 신호를 분주해서 상기 제2 클럭 신호 및 제3 클럭 신호를 형성하는 분주 회로와;

각각이 적어도 하나의 게이트 라인과 관련있는 상기 제1 또는 제2 영상 데이터를 저장하기 위한 복수의 라인 메모리들과;

상기 액정 패널에 표시될 한 프레임의 데이터를 저장하기 위한 프레임 메모리; 그리고

상기 제 1 클럭 신호에 응답해서 상기 제1 영상 데이터가 상기 복수의 라인 메모리들 중 어느 하나에 저장되도록 제어하고, 상기 제3 클럭 신호에 응답해서 상기 복수의 라인 메모리들에 저장된 제1 영상 데이터가 상기 프레임 메모리에 저장되도록 제어하고, 상기 프레임 메모리에 저장된 상기 제2 영상 데이터가 상기 복수의 라인 메모리들에 저장되도록 제어하며, 상기 제 2 클럭 신호에 응답해서 상기 제 2 영상 데이터가 상기 데이터 드라이버로 제공되도록 제어하는 컨트롤 로직을 포함하는 액정 표시 장치.

### 청구항 2

제 1 항에 있어서,

상기 제2 클럭 신호의 주파수는 상기 제1 클럭 신호의 주파수보다 정수 배 빠른 것을 특징으로 하는 액정 표시 장치.

### 청구항 3

제 2 항에 있어서,

상기 제2 클럭 신호의 주파수는 상기 제1 클럭 신호의 주파수보다 2배 빠른 것을 특징으로 하는 액정 표시 장치.

### 청구항 4

제 3 항에 있어서,

상기 제3 클럭 신호의 주파수는 상기 제1 클럭 신호의 주파수보다 3배 빠른 것을 특징으로 하는 액정 표시 장치.

### 청구항 5

제 4 항에 있어서,

상기 컨트롤 로직은,

상기 제 2 클럭 신호에 응답해서 상기 복수의 라인 메모리들 중 상기 제2 영상 데이터를 저장하는 두 개의 라인 메모리들로부터 순차적으로 상기 제2 영상 데이터를 독출하여 상기 데이터 드라이버로 제공하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 6

제 5 항에 있어서,

상기 컨트롤 로직은,

상기 제3 클럭 신호의 제1 사이클에서 상기 복수의 라인 메모리들 중 어느 하나에 저장된 상기 제1 영상 데이터를 독출해서 상기 프레임 메모리에 저장하고, 상기 제3 클럭 신호의 제2 및 제3 사이클들에서 상기 프레임 메모리에 저장된 두 개의 상기 제2 영상 데이터를 순차적으로 상기 라인 메모리들 중 두 개에 각각 순차적으로 저장하는 것을 특징으로 하는 액정 표시 장치.

**청구항 7**

제 1 항에 있어서,

상기 복수의 라인 메모리들은 적어도 제1 내지 제6 라인 메모리들을 포함하는 것을 특징으로 하는 액정 표시 장치.

**청구항 8**

제 7 항에 있어서,

외부로부터 I(I는 양의 정수)번째 게이트 라인과 관련있는 상기 제1 영상 데이터가 입력될 때 상기 컨트롤 로직은,

상기 제1 클럭 신호에 응답해서 상기 제1 라인 메모리에 상기 제1 영상 데이터를 저장하는 것을 특징으로 하는 액정 표시 장치.

**청구항 9**

제 7 항에 있어서,

외부로부터 I(I는 양의 정수)번째 게이트 라인과 관련있는 상기 제1 영상 데이터가 입력될 때 상기 컨트롤 로직은,

상기 제 2 클럭 신호의 제1 사이클에서 상기 제2 라인 메모리에 저장된 상기 제2 영상 데이터를 상기 데이터 드라이버로 제공하고, 상기 제2 클럭 신호의 제2 사이클에서 상기 제3 라인 메모리에 저장된 상기 제2 영상 데이터를 상기 데이터 드라이버로 제공하는 것을 특징으로 하는 액정 표시 장치.

**청구항 10**

제 7 항에 있어서,

외부로부터 I(I는 양의 정수)번째 게이트 라인과 관련있는 상기 제1 영상 데이터가 입력될 때 상기 컨트롤 로직은,

상기 제3 클럭 신호의 제1 사이클에서 상기 제4 라인 메모리에 저장된 상기 제1 영상 데이터를 독출해서 상기 프레임 메모리의 소정 위치에 저장하고, 상기 제3 클럭 신호의 제2 사이클에서 상기 프레임 메모리의 소정 위치에 저장된 상기 제2 영상 데이터를 상기 제5 라인 메모리에 저장하고, 상기 제3 클럭 신호의 제3 사이클에서 상기 프레임 메모리의 소정 위치에 저장된 상기 제2 영상 데이터를 상기 제6 라인 메모리에 저장하는 것을 특징으로 하는 액정 표시 장치.

**청구항 11**

제 7 항에 있어서,

외부로부터 I+1(I는 양의 정수)번째 게이트 라인과 관련있는 상기 제1 영상 데이터가 입력될 때 상기 컨트롤 로직은,

상기 제1 클럭 신호에 응답해서 상기 제4 라인 메모리에 상기 제1 영상 데이터를 저장하는 것을 특징으로 하는 액정 표시 장치.

**청구항 12**

제 7 항에 있어서,

외부로부터 I+1(I는 양의 정수)번째 게이트 라인과 관련있는 상기 제1 영상 데이터가 입력될 때 상기 컨트롤 로직은,

상기 제 2 클럭 신호의 제1 사이클에서 상기 제5 라인 메모리에 저장된 상기 제2 영상 데이터를 상기 데이터 드라이버로 제공하고, 상기 제2 클럭 신호의 제2 사이클에서 상기 제6 라인 메모리에 저장된 상기 제2 영상 데이터를 상기 데이터 드라이버로 제공하는 것을 특징으로 하는 액정 표시 장치.

**청구항 13**

제 7 항에 있어서,

외부로부터 I+1(I는 양의 정수)번째 게이트 라인과 관련있는 상기 제1 영상 데이터가 입력될 때 상기 컨트롤 로직은,

상기 제3 클럭 신호의 제1 사이클에서 상기 제1 라인 메모리에 저장된 상기 제1 영상 데이터를 독출해서 상기 프레임 메모리의 소정 위치에 저장하고, 상기 제3 클럭 신호의 제2 사이클에서 상기 프레임 메모리의 소정 위치에 저장된 상기 제2 영상 데이터를 상기 제2 라인 메모리에 저장하고, 상기 제3 클럭 신호의 제3 사이클에서 상기 프레임 메모리의 소정 위치에 저장된 상기 제2 영상 데이터를 상기 제3 라인 메모리에 저장하는 것을 특징으로 하는 액정 표시 장치.

**청구항 14**

제 1 항에 있어서,

상기 제1 영상 데이터는 현재 프레임의 영상 데이터이고, 상기 제2 영상 데이터는 이전 프레임의 영상 데이터인 것을 특징으로 하는 액정 표시 장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <6> 본 발명은 액정 표시 장치에 관한 것으로, 좀 더 구체적으로는 응답 시간이 향상된 액정 표시 장치 및 그것의 구동 방법에 관한 것이다.
- <7> 액정 표시 장치는 두 기관 사이에 주입되어 있는 이방성유전율을 갖는 액정 물질에 전기(electric field)를 인가하고 이 전기의 세기를 조절하여 기관에 투과되는 빛의 양을 조절함으로써 원하는 화상 신호를 얻는 표시 장치이다. 액정 표시 장치를 구성하는 투명 유리 기관 중 하나의 내부 표면에는 다수의 화소 전극이 매트릭스 형태로 배열되며, 다른 유리 기관의 내부 표면에는 화소 전극들에 각각 대응하는 다수의 대향 전극이 배열된다. 각 화소 전극과 대향 전극을 구성하는 전극 쌍들은 그 사이에 주입된 액정 물질과 함께 액정 셀을 구성하며, 각 전극 쌍으로의 전압 인가를 통해 액정 셀의 광 전달 특성(light transmission characteristic)이 선택적으로 제어되어 의도하는 화상 표시가 이루어진다.
- <8> 액정의 투과율이 10%에서 90% 까지 변화하는 시간을 응답 속도라 하는데, 일반적으로 액정의 유전율이방성이 클수록 그리고 셀 간극이 작을수록 응답 속도는 느려진다. 액정의 응답 속도에 따라서 액정의 정전 용량이 변화하고, 액정의 정전 용량의 변화에 따라서 프레임 대 투과율 변화 곡선의 불연속점이 발생하게 되는데 이를 첨점(cusp)이라 한다. 도 1은 첨점을 포함하는 액정의 투과율 변화 곡선의 일 예를 보여주고 있다. 첨점의 발생 빈도가 높을수록 액정 표시 장치의 화질은 저하된다.
- <9> 액정 표시 장치의 크기가 대형화될수록 액정 표시 장치의 화질 개선을 위한 액정의 응답 속도 향상에 대한 요구가 증대되고 있다.

**발명이 이루고자 하는 기술적 과제**

<10> 따라서 본 발명의 목적은 응답 속도를 향상시킬 수 있는 액정 디스플레이 장치를 제공하는데 있다.

**발명의 구성 및 작용**

<11> 상술한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 의하면, 액정 표시 장치는: 복수의 데이터 라인들 및 복수의 게이트 라인들을 포함하는 액정 패널과, 제1 클럭 신호에 동기해서 제1 영상 데이터를 입력받고, 제2 클럭 신호에 동기해서 제2 영상 데이터 및 제어 신호들을 출력하는 타이밍 컨트롤러와, 영상 데이터 및 제어 신호들에 응답해서 상기 액정 패널의 상기 복수의 데이터 라인들을 구동하는 데이터 드라이버, 그리고 상기 제2 클럭 신호 및 상기 제어 신호들에 응답해서 상기 액정 패널의 상기 복수의 게이트 라인들을 순차적으로 구동하는 게이트 드라이버를 포함한다. 특히, 상기 제2 클럭 신호의 주파수는 상기 제1 클럭 신호의 주파수보다 정수 배 빠르다.

<12> 상기 타이밍 컨트롤러는, 상기 제1 클럭 신호를 분주해서 상기 제2 클럭 신호를 출력하는 분주 회로와, 각각이 적어도 하나의 게이트 라인과 관련있는 상기 제1 또는 제2 영상 데이터를 저장하기 위한 복수의 라인 메모리들과, 상기 액정 패널에 표시될 한 프레임의 데이터를 저장하기 위한 프레임 메모리, 그리고 상기 제1 및 제2 클럭 신호들 그리고 제3 클럭 신호에 응답해서 상기 제1 영상 데이터가 상기 복수의 라인 메모리들 중 어느 하나를 통해 상기 프레임 메모리에 저장되도록 제어하고, 상기 프레임 메모리에 저장된 상기 제2 영상 데이터가 상기 복수의 라인 메모리들 중 어느 하나를 통해 상기 데이터 드라이버로 제공되도록 제어하는 컨트롤 로직을 포함한다.

<13> 이 실시예에 있어서, 상기 제2 클럭 신호의 주파수는 상기 제1 클럭 신호의 주파수보다 2배 빠르다.

<14> 이 실시예에 있어서, 상기 제3 클럭 신호의 주파수는 상기 제1 클럭 신호의 주파수보다 3배 빠르다.

<15> 이 실시예에 있어서, 상기 컨트롤 로직은, 상기 제1 클럭 신호에 응답해서 상기 제1 영상 데이터를 상기 복수의 라인 메모리들 중 어느 하나에 저장한다.

<16> 이 실시예에 있어서, 상기 컨트롤 로직은, 상기 제 2 클럭 신호에 응답해서 상기 복수의 라인 메모리들 중 상기 제2 영상 데이터를 저장하는 두 개의 라인 메모리들로부터 순차적으로 상기 제2 영상 데이터를 독출하여 상기 데이터 드라이버로 제공한다.

<17> 이 실시예에 있어서, 상기 컨트롤 로직은, 상기 제3 클럭 신호의 제1 사이클에서 상기 복수의 라인 메모리들 중 어느 하나에 저장된 상기 제1 영상 데이터를 독출해서 상기 프레임 메모리에 저장하고, 상기 제3 클럭 신호의 1 제2 및 제3 사이클들에서 상기 프레임 메모리에 저장된 두 개의 상기 제2 영상 데이터를 순차적으로 상기 라인 메모리들 중 두 개에 각각 순차적으로 저장한다.

<18> 이 실시예에 있어서, 상기 복수의 라인 메모리들은 적어도 제1 내지 제6 라인 메모리들을 포함한다.

<19> 이 실시예에 있어서, 외부로부터 I(I는 양의 정수)번째 게이트 라인과 관련있는 상기 제1 영상 데이터가 입력될 때 상기 컨트롤 로직은, 상기 제1 클럭 신호에 응답해서 상기 제1 라인 메모리에 상기 제1 영상 데이터를 저장한다.

<20> 이 실시예에 있어서, 외부로부터 I(I는 양의 정수)번째 게이트 라인과 관련있는 상기 제1 영상 데이터가 입력될 때 상기 컨트롤 로직은, 상기 제 2 클럭 신호의 제1 사이클에서 상기 제2 라인 메모리에 저장된 상기 제2 영상 데이터를 상기 데이터 드라이버로 제공하고, 상기 제2 클럭 신호의 제2 사이클에서 상기 제3 라인 메모리에 저장된 상기 제2 영상 데이터를 상기 데이터 드라이버로 제공한다.

<21> 이 실시예에 있어서, 외부로부터 I(I는 양의 정수)번째 게이트 라인과 관련있는 상기 제1 영상 데이터가 입력될 때 상기 컨트롤 로직은, 상기 제3 클럭 신호의 제1 사이클에서 상기 제4 라인 메모리에 저장된 상기 제1 영상 데이터를 독출해서 상기 프레임 메모리의 소정 위치에 저장하고, 상기 제3 클럭 신호의 제2 사이클에서 상기 프레임 메모리의 소정 위치에 저장된 상기 제2 영상 데이터를 상기 제5 라인 메모리에 저장하고, 상기 제3 클럭 신호의 제3 사이클에서 상기 프레임 메모리의 소정 위치에 저장된 상기 제2 영상 데이터를 상기 제6 라인 메모리에 저장한다.

<22> 이 실시예에 있어서, 외부로부터 I+1(I는 양의 정수)번째 게이트 라인과 관련있는 상기 제1 영상 데이터가 입력될 때 상기 컨트롤 로직은, 상기 제1 클럭 신호에 응답해서 상기 제4 라인 메모리에 상기 제1 영상 데이터를 저장한다.

- <23> 이 실시예에 있어서, 외부로부터 I+1(I는 양의 정수)번째 게이트 라인과 관련있는 상기 제1 영상 데이터가 입력 될 때 상기 컨트롤 로직은, 상기 제 2 클럭 신호의 제1 사이클에서 상기 제5 라인 메모리에 저장된 상기 제2 영상 데이터를 상기 데이터 드라이버로 제공하고, 상기 제2 클럭 신호의 제2 사이클에서 상기 제6 라인 메모리에 저장된 상기 제2 영상 데이터를 상기 데이터 드라이버로 제공한다.
- <24> 이 실시예에 있어서, 외부로부터 I+1(I는 양의 정수)번째 게이트 라인과 관련있는 상기 제1 영상 데이터가 입력 될 때 상기 컨트롤 로직은, 상기 제3 클럭 신호의 제1 사이클에서 상기 제1 라인 메모리에 저장된 상기 제1 영상 데이터를 독출해서 상기 프레임 메모리의 소정 위치에 저장하고, 상기 제3 클럭 신호의 제2 사이클에서 상기 프레임 메모리의 소정 위치에 저장된 상기 제2 영상 데이터를 상기 제2 라인 메모리에 저장하고, 상기 제3 클럭 신호의 제3 사이클에서 상기 프레임 메모리의 소정 위치에 저장된 상기 제2 영상 데이터를 상기 제3 라인 메모리에 저장한다.
- <25> 이 실시예에 있어서, 상기 제1 영상 데이터는 현재 프레임의 영상 데이터이고, 상기 제2 영상 데이터는 이전 프레임의 영상 데이터이다.
- <26> 이하 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.
- <27> 도 2는 본 발명의 바람직한 실시예에 따른 액정 표시 장치의 구성을 보여준다.
- <28> 도 2를 참조하면, 액정 표시 장치(100)는 타이밍 컨트롤러(110), 소스 드라이버(120), 전압 변환기(130), 게이트 드라이버(140), 그리고 액정 패널(150)을 포함한다.
- <29> 액정 패널(150)은 복수의 게이트 라인들(G1-Gn)과, 게이트 라인들에 교차하는 복수의 데이터 라인들(R1-Rm)과, 게이트 라인 및 데이터 라인에 의해 정의된 영역에 각각 배열된 픽셀들을 포함한다. 각 픽셀은 게이트 라인과 데이터 라인에 게이트 전극 및 소스 전극이 각각 연결되는 박막 트랜지스터(T1)와, 박막 트랜지스터(T1)의 드레인 전극에 연결되는 액정 커패시터( $C_{LC}$ ) 및 스토리지 커패시터( $C_{ST}$ )를 포함한다. 이러한 픽셀 구조에서는, 게이트 드라이버(160)에 의해서 게이트 라인들이 순차적으로 선택되고, 선택된 게이트 라인에 게이트 온 전압이 펄스 형태로 인가되면, 게이트 라인에 연결된 픽셀의 박막 트랜지스터(T1)가 턴 온되고, 이어서 소스 드라이버(130)에 의해 각 데이터 라인에 픽셀 정보를 포함하는 전압이 인가된다. 이 전압은 해당 픽셀의 박막 트랜지스터를 거쳐 액정 커패시터( $C_{LC}$ )와 스토리지 커패시터( $C_{ST}$ )에 인가되며, 액정 및 스토리지 커패시터들( $C_{LC}$ ,  $C_{ST}$ )이 구동됨으로써 소정의 표시 동작이 이루어진다.
- <30> 타이밍 컨트롤러(110)는 외부 장치로부터 입력되는 현재 픽셀 데이터 신호(RGB), 수평 동기 신호(H\_SYNC), 수직 동기 신호(V\_SYNC), 클럭 신호(MCLK) 및 데이터 인에이블 신호(DE)를 입력받는다. 타이밍 컨트롤러(110)는 소스 드라이버(130)와의 인터페이스 사양에 맞도록 데이터 포맷(format)을 변환한 픽셀 데이터 신호(RGB') 및 제어 신호들을 소스 드라이버(120)로 출력한다. 타이밍 컨트롤러(110)로부터 소스 드라이버(120)로 제공되는 제어 신호들은, 래치 신호(TP), 수평 동기 시작 신호(STH, start horizontal), 수평 클럭 신호(HCLK)를 포함한다.
- <31> 전압 변환기(150)는 외부로부터 전원 전압(VDD)을 입력받고, 액정 표시 장치(100)의 동작에 필요한 다양한 전압들 예를 들면, 게이트 온 전압(VON), 게이트 오프 전압(VOFF), 아날로그 전원 전압(AVDD), 디지털 전원 전압(DVDD) 및 공통 전압(VCOM)을 발생한다. 게이트 온 전압(VON)과 게이트 오프 전압(VOFF)은 게이트 드라이버(140)로 제공되고, 아날로그 전원 전압(AVDD) 및 디지털 전원 전압(DVDD)은 액정 표시 장치(100)의 동작 전압으로서 사용된다.
- <32> 게이트 드라이버(140)는 타이밍 컨트롤러(110)로부터 제공되는 제어 신호들 즉, 수직 동기 시작 신호(start vertical, STV), 게이트 클럭 신호(GCLK), 및 출력 인에이블 신호(OE)에 응답해서 액정 패널(140)의 게이트 라인들(G1-Gn)을 순차적으로 스캐닝한다. 여기서, 스캐닝이란 게이트 라인들에 게이트 온 전압(VON)을 순차적으로 인가하여 게이트 온 전압(VON)이 인가된 게이트 라인의 픽셀을 데이터 기록이 가능한 상태로 만드는 것을 말한다.
- <33> 소스 드라이버(120)는 타이밍 컨트롤러(110)로부터 제공되는 제어 신호들 즉, 래치 신호(TP), 수평 동기 시작 신호(STH), 클럭 신호(HCLK) 그리고 잔상 제거 신호(REX)에 응답해서 계조 전압 발생기(미 도시됨)로부터의 계조 전압들 중 픽셀 데이터 신호(RGB')에 대응하는 계조 전압들을 가지고 액정 패널(150)의 데이터 라인들(D1-Dm)을 구동한다.

- <34> 본 발명의 실시예에 따른 타이밍 컨트롤러(100)는 외부로부터 입력되는 메인 클럭 신호(MCLK)에 동기해서 외부로부터 픽셀 데이터 신호(RGB)를 입력받고, 하나의 게이트 라인과 관련있는 픽셀 데이터 신호들이 입력되는 동안 적어도 두 개의 게이트 라인들을 구동함으로써 액정 패널(150)에 표시되는 영상의 품질을 향상시킨다.
- <35> 일반적으로 액정 커패시터( $C_{LC}$ )는 소스 라인을 통해 인가된 전압에 따라 액정의 광 투과 특성을 변화시켜 통과하는 빛의 양을 조절한다. 액정 커패시터( $C_{LC}$ )는 일정 거리를 두고 위치한 두 전극 사이에 액정이 유전체로서 채워져 있다. 액정 커패시터의 커패시턴스는 액정의 유전율, 전극의 면적 그리고 전극 사이의 거리등에 의해 결정된다. 또한, 액정 커패시터는 전극 사이에 있는 액정의 상태에 따라 유전율이 변하고, 따라서 커패시턴스 값도 변하게 된다. 즉, 액정의 상태는 인가된 전압의 크기에 따라 결정되므로 결국 액정 커패시터의 커패시턴스는 인가 전압의 함수가 된다.
- <36> 잘 알려진 바와 같이, 전하량  $Q=CV$ 이다.  $C$ 는 커패시턴스, 그리고  $V$ 는 커패시터의 두 전극 사이의 전압이다. 액정 표시 장치에 있어서 한 프레임동안 유지되는 것은 액정 커패시터 양단의 전압(이하 출력 전압)이 아닌 전하량이다. 그러므로 커패시턴스가 변화하면 액정 커패시터의 출력 전압이 변화한다.
- <37> 소정 픽셀로 인가되는 픽셀 데이터 신호에 의해서 액정 커패시터( $C$ )에 충전되는 전하량은 수학적 식 1과 같다.

**수학적 식 1**

- <38>  $Q(\text{start})= C_{LC}(\text{target}) \cdot V(\text{target})= C_{LC}(\text{cusp}) \cdot V(\text{cusp})$
- <39> 수학적 식 1에서  $C_{LC}(\text{target})$  및  $V(\text{target})$ 는 목표 커패시턴스 및 목표 전압 그리고  $C_{LC}(\text{cusp})$  및  $V(\text{cusp})$ 는 도 1에 도시된 첨점(cusp) 구간에서의 커패시턴스 및 전압이다. 또한  $C_{LC}(\text{cusp}) > C_{LC}(\text{target})$ 이면,  $V(\text{cusp}) < V(\text{target})$ 이다.
- <40> 본 발명에서는 하나의 게이트 라인과 관련있는 픽셀 데이터 신호들이 입력되는 동안 인접한 두 개의 게이트 라인들을 연속해서 구동하되, 하나의 게이트 라인을 두 번씩 구동함으로써 첨점(cusp)이 목표 레벨로 빠르게 회복된다. 그 결과 화질이 개선된다.
- <41> 도 3은 본 발명의 바람직한 실시예에 따른 타이밍 컨트롤러의 구체적인 구성을 보여주는 도면이다. 도 3을 참조하면, 타이밍 컨트롤러(110)는 라인 메모리 셋(210), 프레임 메모리(220), 컨트롤 로직(230) 그리고 분주 회로(240)를 포함한다.
- <42> 라인 메모리 셋(210)은 제1 내지 제6 라인 메모리들(L1-L6)을 포함하며, 라인 메모리들(L1-L6) 각각은 하나의 게이트 라인과 관련된 픽셀 데이터 신호들을 저장하기 위한 크기를 갖는다. 프레임 메모리(220)는 액정 패널(150)에 표시될 한 프레임의 픽셀 데이터 신호들을 저장할 수 있는 크기를 갖는다.
- <43> 분주 회로(240)는 컨트롤 로직(230)의 제어에 응답해서 외부로부터 입력되는 메인 클럭 신호(MCLK)를 분주하여, 수평 클럭 신호(HCLK), 수직 클럭 신호(GCLK) 그리고 전송 클럭 신호(TCLK)를 출력한다.
- <44> 이 실시예에서 수직 클럭 신호(GCLK)의 주파수는 메인 클럭 신호(MCLK)의 주파수의 2배이고, 전송 클럭 신호(TCLK)의 주파수는 메인 클럭 신호(MCLK)의 주파수의 3배이다.
- <45> 컨트롤 로직(230)는 외부로부터 입력되는 수평 동기 신호(H\_SYNC), 수직 동기 신호(V\_SYNC) 및 데이터 입력 신호(DE)에 응답해서 라인 메모리 셋(210), 프레임 메모리(220) 그리고 분주 회로(240)를 제어하며, 픽셀 데이터 신호(RGB')를 도 2에 도시된 데이터 드라이버(120)로 제공한다.
- <46> 컨트롤 로직(230)의 구체적인 제어 동작은 도 4 및 도 5를 참조하여 상세히 설명한다. 도 4는 라인 메모리 셋(310)과 프레임 메모리(320)에/로부터 저장/독출되는 픽셀 데이터 신호들의 흐름을 개념적으로 보여주는 도면이다. 도 5는 도 4에 도시된 라인 메모리 셋(310)과 프레임 메모리(320)에/로부터 저장/독출되는 픽셀 데이터 신호들의 타이밍도이다.
- <47> 구간(T11)동안 외부로부터 입력되는, 하나의 게이트 라인과 관련있는, 픽셀 데이터 신호들(RGB(k, 1))이 제1 라인 메모리(L1)에 저장된다. 구간(T12)동안 제2 라인 메모리(L2)에 저장된 픽셀 데이터 신호들(RGB'(k-1, x))이 액정 패널(150)로 제공된다. 구간(T13)동안 제3 라인 메모리(L2)에 저장된 픽셀 데이터 신호들(RGB'(k-1, x+1))이 액정 패널(150)로 제공된다. 예컨대, 제1 라인 메모리(L1)에 저장되는 픽셀 데이터 신호들(RGB(k,1))은 k번째 프레임의 1번째 게이트 라인과 관련있는 픽셀 데이터 신호들이고, 제2 및 제3 라인 메모리들(L2, L3)

로부터 출력되는 픽셀 데이터 신호들( $RGB'(k-1, x)$ ,  $RGB'(k-1, x+1)$ )은  $k-1$ 번째 프레임의  $x$ 번째 및  $x+1$ 번째 게이트 라인과 관련있는 픽셀 데이터 신호들이다. 구간(T12)은 게이트 클럭 신호(GCLK)의 제1 사이클이고, 구간(T13)은 게이트 클럭 신호(GCLK)의 제2 사이클이다.

- <48> 구간(T14)동안 타이밍 컨트롤러(110)는 제4 라인 메모리(L4)에 저장된 픽셀 데이터 신호들( $RGB(k-1, n)$ )을 독출해서 프레임 메모리(320)에 저장한다. 구간(T15)동안 타이밍 컨트롤러(110)는 프레임 메모리(320)에 저장된 픽셀 데이터 신호들( $RGB'(k-1, x+1)$ )을 독출해서 제5 라인 메모리(L5)에 저장하고, 프레임 메모리(320)에 저장된 픽셀 데이터 신호들( $RGB'(k-1, x+2)$ )을 독출해서 제6 라인 메모리(L5)에 저장한다.
- <49> 픽셀 데이터 신호들( $RGB(k-1, n)$ )은  $k-1$ 번째 프레임의  $n$ 번째 게이트 라인과 관련있는 픽셀 데이터 신호들, 픽셀 데이터 신호들( $RGB'(k-1, x+1)$ )은  $k-1$ 번째 프레임의  $x+1$ 번째 게이트 라인과 관련있는 픽셀 데이터 신호들 그리고 픽셀 데이터 신호들( $RGB'(k-1, x+2)$ )은  $k-1$ 번째 프레임의  $x+2$ 번째 게이트 라인과 관련있는 픽셀 데이터 신호들이다.
- <50> 계속해서,  $k$ 번째 프레임의 2번째 게이트 라인과 관련있는 픽셀 데이터 신호들( $RGB(k, 2)$ )이 외부로부터 입력되는 동안 타이밍 컨트롤러(110)의 동작은 다음과 같다.
- <51> 구간(T21)동안 외부로부터 입력되는, 하나의 게이트 라인과 관련있는, 픽셀 데이터 신호들( $RGB(k, 2)$ )이 제4 라인 메모리(L4)에 저장된다. 구간(T22)동안 제5 라인 메모리(L5)에 저장된 픽셀 데이터 신호들( $RGB'(k-1, x+1)$ )이 액정 패널(150)로 제공된다. 구간(T13)동안 제6 라인 메모리(L6)에 저장된 픽셀 데이터 신호들( $RGB'(k-1, x+2)$ )이 액정 패널(150)로 제공된다. 예컨대, 제4 라인 메모리(L4)에 저장되는 픽셀 데이터 신호들( $RGB(k, 2)$ )은  $k$ 번째 프레임의 2번째 게이트 라인과 관련있는 픽셀 데이터 신호들이고, 제5 및 제6 라인 메모리들(L5, L6)로부터 출력되는 픽셀 데이터 신호들( $RGB'(k-1, x+1)$ ,  $RGB'(k-1, x+2)$ )은  $k-1$ 번째 프레임의  $x+1$ 번째 및  $x+2$ 번째 게이트 라인과 관련있는 픽셀 데이터 신호들이다. 구간(T22)은 게이트 클럭 신호(GCLK)의 제1 사이클이고, 구간(T23)은 게이트 클럭 신호(GCLK)의 제2 사이클이다.
- <52> 구간(T24)동안 타이밍 컨트롤러(110)는 제1 라인 메모리(L1)에 저장된 픽셀 데이터 신호들( $RGB(k-1, 1)$ )을 독출해서 프레임 메모리(320)에 저장한다. 구간(T25)동안 타이밍 컨트롤러(110)는 프레임 메모리(320)에 저장된 픽셀 데이터 신호들( $RGB'(k-1, x+2)$ )을 독출해서 제2 라인 메모리(L2)에 저장하고, 프레임 메모리(320)에 저장된 픽셀 데이터 신호들( $RGB'(k-1, x+3)$ )을 독출해서 제3 라인 메모리(L3)에 저장한다.
- <53> 픽셀 데이터 신호들( $RGB(k-1, 1)$ )은  $k-1$ 번째 프레임의 1번째 게이트 라인과 관련있는 픽셀 데이터 신호들, 픽셀 데이터 신호들( $RGB'(k-1, x+2)$ )은  $k-1$ 번째 프레임의  $x+2$ 번째 게이트 라인과 관련있는 픽셀 데이터 신호들 그리고 픽셀 데이터 신호들( $RGB'(k-1, x+3)$ )은  $k-1$ 번째 프레임의  $x+3$ 번째 게이트 라인과 관련있는 픽셀 데이터 신호들이다.
- <54> 도 4 및 도 5에 도시된 제어 동작을 반복적으로 수행하는 것에 의해서 한 프레임의 영상 데이터가 액정 패널(150)에 표시될 수 있다. 특히 본 발명의 바람직한 실시예에 따른 액정 표시 장치(100)는 하나의 게이트 라인과 관련있는 픽셀 데이터 신호들이 입력되는 동안 두 개의 게이트 라인들을 순차적으로 구동한다. 즉, 한 프레임 동안 하나의 게이트 라인은 두 번씩 구동된다. 예컨대, 도 5에 도시된 예에서,  $k$ 번째 프레임의 1번째 게이트 라인과 관련있는 픽셀 데이터 신호들( $RGB(k, 1)$ )이 입력되는 동안  $x$ 번째 및  $x+1$ 번째 게이트 라인들이 구동되고,  $k$ 번째 프레임의 2번째 게이트 라인과 관련있는 픽셀 데이터 신호들( $RGB(k, 2)$ )이 입력되는 동안  $x+1$ 번째 및  $x+2$ 번째 게이트 라인들이 구동된다. 즉,  $x+1$ 번째 게이트 라인은 두 번 구동된다.
- <55> 이와 같이 한 프레임 동안 하나의 게이트 라인을 두 번 구동하는 것에 의해서 액정 커패시터( $G_c$ )는 목표 전압에 빠르게 도달할 수 있다. 그 결과 액정 표시 장치의 응답 속도가 향상된다.
- <56> 예시적인 바람직한 실시예들을 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예들에 한정되지 않는다는 것이 잘 이해될 것이다. 따라서, 청구범위는 그러한 변형 예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

**발명의 효과**

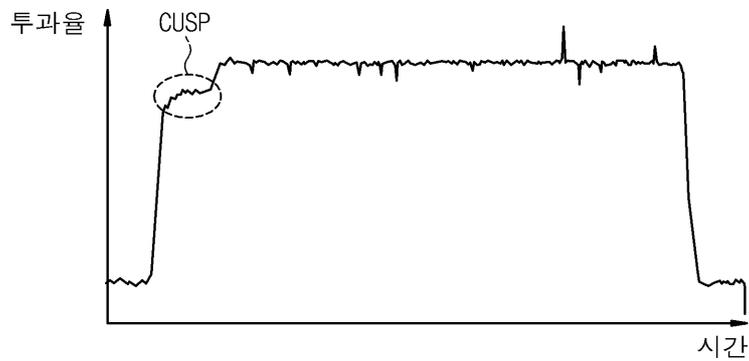
- <57> 이와 같은 본 발명에 의하면, 하나의 게이트 라인과 관련있는 픽셀 데이터 신호들이 입력되는 동안 두 개의 게이트 라인들을 순차적으로 구동한다. 한 프레임 동안 하나의 게이트 라인을 두 번 구동하는 것에 의해서 액정 커패시터는 목표 전압에 빠르게 도달할 수 있다. 그 결과 액정 표시 장치의 응답 속도가 향상된다.

**도면의 간단한 설명**

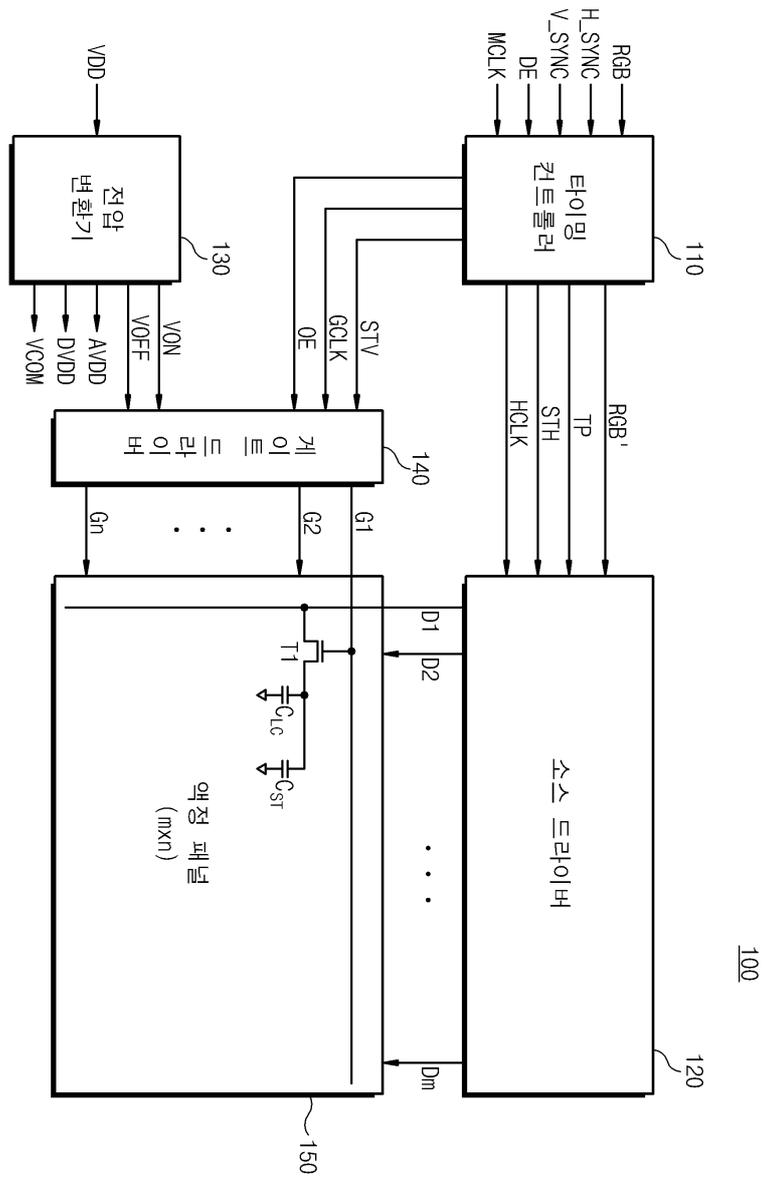
- <1> 도 1은 첨점을 포함하는 액정의 투과율 변화 곡선의 일 예를 보여주는 도면;
- <2> 도 2는 본 발명의 바람직한 실시예에 따른 액정 표시 장치의 구성을 보여주는 도면;
- <3> 도 3은 본 발명의 바람직한 실시예에 따른 타이밍 컨트롤러의 구체적인 구성을 보여주는 도면;
- <4> 도 4는 라인 메모리 셋과 프레임 메모리에/로부터 저장/독출되는 픽셀 데이터 신호들의 흐름을 개념적으로 보여주는 도면; 그리고
- <5> 도 5는 도 4에 도시된 라인 메모리 셋과 프레임 메모리에/로부터 저장/독출되는 픽셀 데이터 신호들의 타이밍도이다.

**도면**

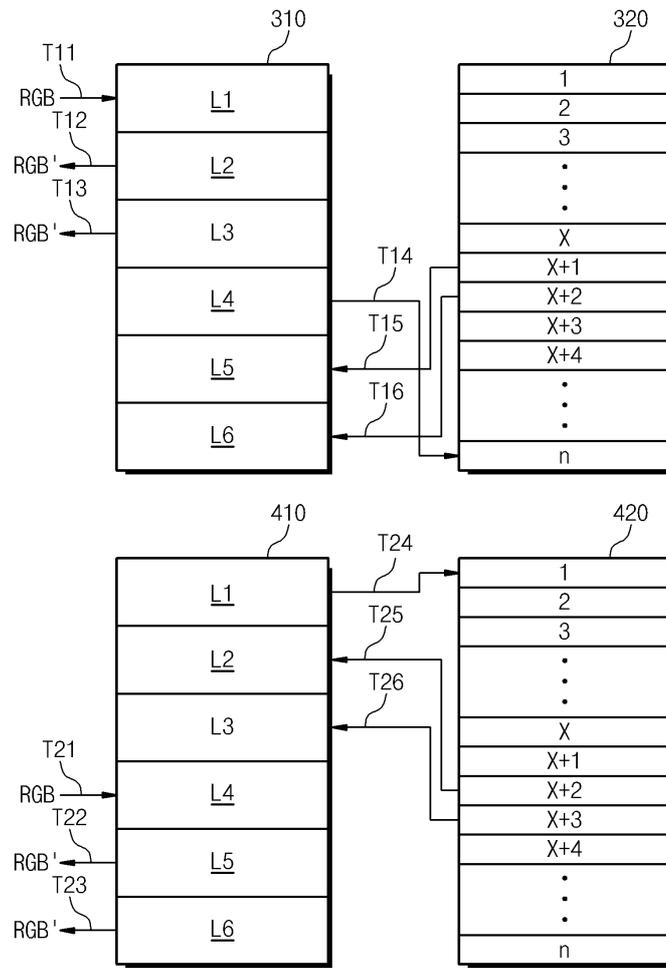
**도면1**



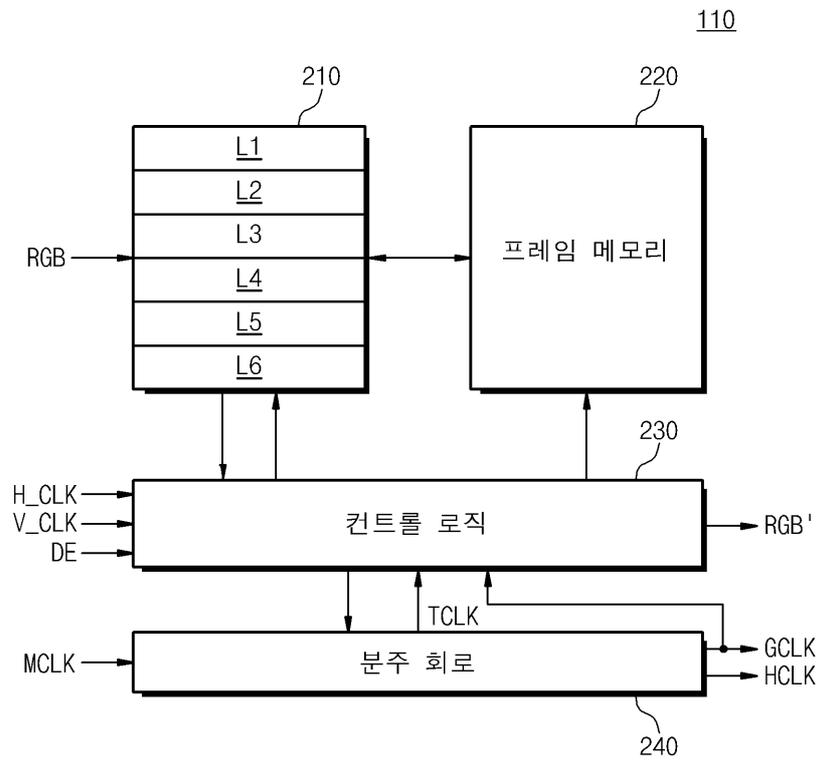
도면2



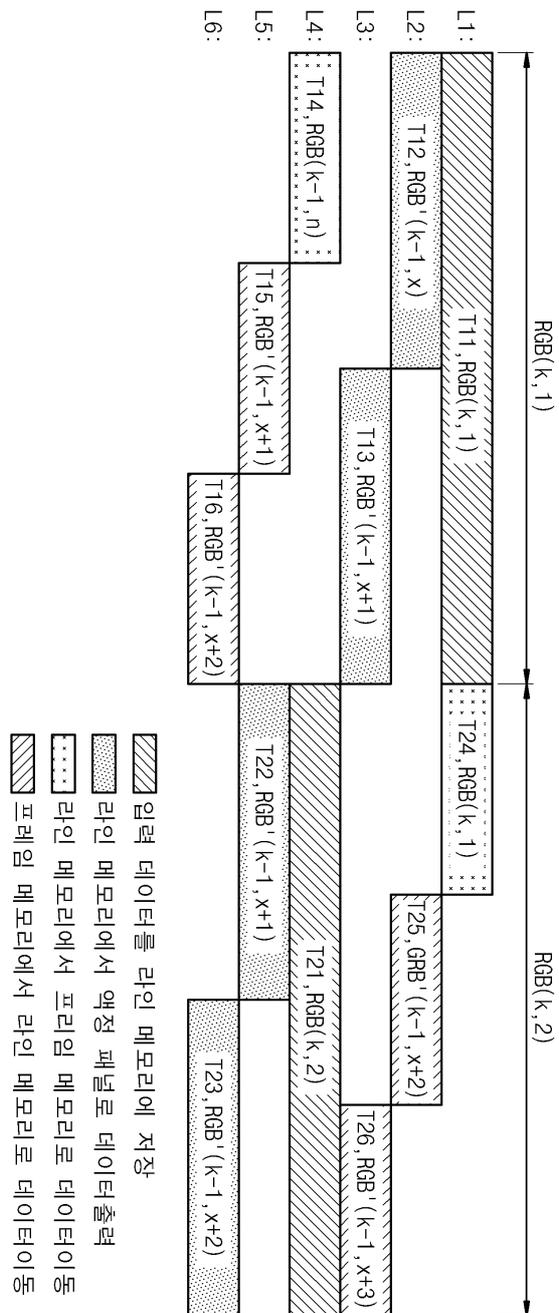
도면3



도면4



도면5



专利名称(译)	具有改善的响应速度的液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">KR1020080017630A</a>	公开(公告)日	2008-02-27
申请号	KR1020060078941	申请日	2006-08-21
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	HONG SUNG JIN 홍성진 LEE II PYUNG 이일평 PARK CHEOL WOO 박철우 YANG YOUNG CHOL 양영철 PARK DAE JIN 박대진		
发明人	홍성진 이일평 박철우 양영철 박대진		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3659 G09G2320/0252		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

一种液晶显示装置，包括：液晶面板，包括多条数据线和多条栅极线；第一液晶显示面板，包括第一液晶面板，与第一时钟信号同步地接收第一图像数据，用于响应于视频数据和控制信号驱动液晶面板的多条数据线的的数据驱动器用于响应第二时钟信号和控制信号驱动液晶面板的多条数据线的的数据驱动器，并且栅极驱动器顺序地驱动多条栅极线。由于第二时钟信号的频率是第一时钟信号的频率的整数倍，所以可以在输入与预定栅极线相关的像素数据信号的同时顺序驱动两条栅极线。因此，提高了液晶显示装置的响应速度。

