

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
G02F 1/1368(11) 공개번호 10-2005-0050240
(43) 공개일자 2005년05월31일(21) 출원번호 10-2003-0083942
(22) 출원일자 2003년11월25일(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지(72) 발명자 서인교
대구광역시남구대명4동3035-6번지

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시장치 및 그 제조방법

요약

본 발명은 구동회로부의 구동소자 불량을 방지할 수 있는 액정표시장치 및 그 제조방법을 제공하는 것이다.

본 발명의 액정표시장치 다수의 트랜지스터소자들과; 상기 다수의 트랜지스터소자들에 공유되는 게이트 전극을 구비하며, 상기 게이트 전극은 위치에 따라 선풍이 다른 것을 특징으로 한다.

대표도

도 8

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치의 구성을 개략적으로 도시한 평면도이다.

도 2는 종래의 액정표시장치의 구동회로에 형성된 하나의 박막 트랜지스터로 이루어진 스위칭소자를 도시한 평면도이다.

도 3은 도 2에 도시된 스위칭소자의 I-I'선을 따라 절단하여 도시된 단면도이다.

도 4는 액정표시장치의 구동회로에 형성된 다수의 박막 트랜지스터로 이루어진 구동소자를 도시한 평면도이다.

도 5는 도 4에 도시된 구동소자의 II-II'선을 따라 절단하여 도시된 단면도이다.

도 6은 도 4에 도시된 구동소자의 채널영역의 온도분포를 나타내는 평면도이다.

도 7은 종래의 구동소자의 중심부의 채널영역이 손상됨을 나타내는 실험결과이다.

도 8은 본 발명의 제1 실시예에 따른 액정표시장치의 구동회로에 구동소자를 나타내는 평면도이다.

도 9는 도 8에 도시된 액정표시장치의 구동회로에 구동소자의 III-III'선을 따라 절단하여 도시된 단면도이다.

도 10은 도 8에 도시된 구동소자의 채널영역의 온도분포를 나타내는 평면도이다.

도 11a 내지 도 11d는 도 8에 도시된 구동소자의 제조방법을 설명하기 위한 평면도이다.

도 12는 본 발명의 제2 실시예에 따른 액정표시장치의 구동회로에 구동소자를 나타내는 평면도이다.

도 13는 도 12에 도시된 액티브층을 구체적으로 나타내는 평면도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

56,156 : 게이트 전극 52,152 : 게이트 라인

60,160 : 소스 전극 70,170 : 소스전극

74,174 : 액티브층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 구동회로부의 구동소자 불량을 방지할 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

통상, 액정표시소자(Liquid Crystal Display; LCD)는 비디오신호에 따라 액정셀들의 광투과율을 조절함으로써 액정셀들이 매트릭스 형태로 배열되어진 액정패널에 비디오신호에 해당하는 화상을 표시하게 된다. 이 경우, 액정셀들을 스위칭하는 소자로서 통상 박막트랜지스터(Thin film Transistor; TFT)가 이용되고 있다.

이러한 액정표시소자에 이용되는 박막트랜지스터는 반도체층으로 아몰퍼스(Amorphous) 실리콘 또는 폴리(Poly) 실리콘을 이용한다. 아몰퍼스 실리콘형 박막 트랜지스터는 아몰퍼스 실리콘막의 균일성이 비교적 좋아 특성이 안정된 장점을 가지고 있다. 그러나, 아몰퍼스 실리콘형 박막 트랜지스터는 전하 이동도가 낮아 응답 속도가 느리다는 단점을 가지고 있다. 이에 따라, 아몰퍼스 실리콘형 박막 트랜지스터는 빠른 응답 속도를 필요로 하는 고해상도 표시 패널이나 게이트 드라이버 및 데이터 드라이버의 구동 소자로는 적용이 어려운 단점을 가지고 있다.

폴리 실리콘형 박막 트랜지스터는 전하 이동도가 높음에 따라 빠른 응답 속도를 필요로 하는 고해상도 표시 패널에 적합할 뿐만 아니라 주변 구동 회로들을 표시 패널에 내장할 수 있는 장점을 가지고 있다. 이에 따라, 폴리 실리콘형 박막 트랜지스터를 이용한 액정 표시 장치가 대두되고 있다.

도 1은 종래 폴리 실리콘형 박막트랜지스터를 이용한 액정표시장치를 나타내는 평면도이다.

도 1을 참조하면, 종래 폴리 실리콘형 박막트랜지스터를 이용한 액정표시장치는 화소 매트릭스를 포함하는 화상표시부(96)와, 화상 표시부(96)의 데이터 라인들(4)을 구동하기 위한 데이터구동부(92)와, 화상 표시부(96)의 게이트 라인들(2)을 구동하기 위한 게이트 구동부(92)를 구비한다.

화상 표시부(96)에는 액정셀들(LC)이 매트릭스 형태로 배열되어 화상을 표시한다. 액정셀들(LC) 각각은 게이트 라인(2)과 데이터 라인(4)의 교차점에 접속된 스위칭소자로서 N형 불순물이 주입된 폴리 실리콘을 이용한 박막 트랜지스터(Thin Film Transistor ; 이하 "TFT"라 함)(30)에 의해 구동된다.

이러한 N형 TFT(30)는 게이트 라인(2)으로부터의 스캔 펄스에 응답하여 데이터 라인(4)으로부터의 비디오 신호, 즉 화소 신호를 액정셀(LC)에 충전되게 한다. 이에 따라, 액정셀(LC)은 충전된 화소 신호에 따라 광투과율을 조절하게 된다.

게이트 구동부(94)는 게이트 제어신호들에 의해 프레임마다 수평기간씩 순차적으로 게이트라인들(2)을 구동한다. 이 게이트 구동부(94)에 의해 박막트랜지스터들이 수평라인 단위로 순차적으로 턴-온되어 데이터라인(4)을 액정셀과 접속시키게 된다.

데이터 구동부(92)는 수평기간마다 다수의 디지털 데이터신호 샘플링하여 아날로그 데이터신호로 변환한다. 그리고 데이터 구동부(92)는 아날로그 데이터신호를 데이터라인들(4)에 공급한다. 이에 따라, 턴-온된 박막트랜지스터에 접속된 액정셀들은 데이터라인들(4) 각각으로부터의 데이터신호에 응답하여 광투과율을 조절하게 된다.

이러한 게이트구동부(94) 및 데이터 구동부(92)는 CMOS구조로 연결된 구동소자를 포함하게 된다. 구동소자는 비교적 높은 전압의 스위칭을 위해 상대적으로 많은 양의 전류가 흐를 수 있도록 큰 채널폭(Wa)을 갖는 하나의 거대 TFT로 이루어지게 된다. 이러한, 구동소자는 빠른 응답속도를 위해 폴리 실리콘이 이용된다.

도 2는 구동회로부의 구동소자를 나타내는 평면도이고, 도 3는 도 2에 도시된 구동소자를 나타내는 단면도이다.

도 2 및 도 3에 도시된 하나의 박막 트랜지스터로 이루어진 구동소자는 버퍼막(16)을 사이에 두고 하부기관(20) 상에 형성되는 불순물이 주입된 액티브층(74)과, 게이트 절연막(42)을 사이에 두고 액티브층(74)의 채널영역(74C)과 중첩되게 형성되는 게이트 전극(66)과, 게이트 전극(66)과 중간절연막(56)을 사이에 두고 절연되게 형성되는 소스/드레인 전극(68,70)과, 소스/드레인 전극(68,70) 상에 형성되는 보호막(48)이 구비된다.

소스/드레인 전극(68,70)은 게이트 절연막(42) 및 중간 절연막(56)을 관통하는 소스/드레인 접촉홀(84S,84D)을 통해 소정의 불순물이 주입된 액티브층(74)의 소스영역(74S) 및 드레인 영역(74D)에 각각 접촉된다. 보호막(48)은 소스/드레인 전극(68,70) 상에 형성되어 구동소자를 보호하는 역할을 한다.

한편, 이와 같은 종래의 하나의 박막 트랜지스터로 이루어진 구동회로부에 내장된 구동소자는 상대적으로 많은 양의 전류가 흐를 수 있는 장점이 있는 반면, 많은 전류가 흐름으로 인해 채널(57)에 많은 열이 발생된다. 이에 따라, 채널(57)에 발생되는 열을 식혀줄 수 있는 구조로 도 4에 도시된 바와 같이 다수의 작은 채널폭(Wb)을 갖는 박막 트랜지스터가 병렬로 연결된 구조의 구동소자가 제한되었다.

도 4에 도시된 구동회로부에 내장된 구동소자는 각각의 채널폭(Wb)의 총합이 도 2에 도시된 하나의 채널폭(Wa)과 동일 {작은 채널폭(Wb) * 채널의 갯수(n) = 하나의 채널폭(Wa)}하도록 다수의 채널(77)을 갖는 박막 트랜지스터가 병렬로 연결된 구조를 갖는다. 이러한, 다수의 박막 트랜지스터 사이에는 도 5에 도시된 바와 같이 채널(77)과 채널(77) 사이에 게이트 절연막(42) 및 중간 절연막(56)이 존재함으로써 채널(77)에 발생된 열은 게이트 절연막(42) 및 중간 절연막(56)에 의해 전도된다. 이와 같이 게이트 절연막(42) 및 중간 절연막(56)에 의해 전도된 열은 구동소자 외부로 방열 되게 된다.

그러나, 이러한 구동소자는 채널폭(Wb)과 채널간 간격(D)이 균일함으로써 동일한 채널폭(Wb)을 흐르는 동일한 전류(I)량에 의해 발생되는 열의 양은 동일하지만 스위칭소자의 중심부에 위치하는 채널(77)이 그 가장자리에 위치하는 채널(77)에 비해 열방출이 상대적으로 용이하지 않게 된다. 이에 따라, 도 6에 도시된 바와 같이 스위칭소자 중심부의 채널(77)영역이 가장자리의 채널(77)영역보다 상대적으로 높은 온도 분포(A)를 나타낸다. 다시 말해서, 스위칭소자의 가장자리에는 그 중심에 비해 열이 전도 및 방열될 수 있는 게이트 절연막(42) 및 중간 절연막(56)의 양이 상대적으로 많으므로 스위칭소자의 가장자리에서 중심으로 갈수록 채널(77)에서 발생된 열의 방열량이 작아지게 된다.

이에 따라, 구동소자의 중심부의 채널(77)은 가장자리의 채널(77)에 비해 열의 방출이 용이하지 않게 됨으로써 도 7에 도시된 바와 같이 구동소자의 중심부가 열화되게 된다. 그 결과, 원활한 전류의 흐름이 방해되거나 구동소자 특성이 저하되는 등의 구동소자 불량 발생됨으로써 구동소자의 정상구동이 이루어지지 않게 되는 문제가 발생된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 구동회로부의 구동소자 불량을 방지할 수 있는 액정표시장치 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적들을 달성하기 위하여, 본 발명에 따른 액정표시장치는 다수의 트랜지스터소자들과; 상기 다수의 트랜지스터소자들에 공유되는 게이트 전극을 구비하며, 상기 게이트 전극은 위치에 따라 선풍이 다른 것을 특징으로 한다.

상기 게이트전극은 소정의 중심점을 중심으로 양끝단으로 갈수록 폭이 대칭적으로 달라지는 것을 특징으로 한다.

상기 게이트전극은 소정의 중심점을 중심으로 양끝단으로 갈수록 폭이 대칭적으로 좁아지는 것을 특징으로 한다.

상기 다수의 박막 트랜지스터는 기관 상에 형성된 버퍼막 상에 다수의 채널을 포함하도록 형성된 액티브층과; 상기 액티브층과 상기 게이트 전극 사이에 형성된 게이트 절연막과; 중간절연막을 사이에 두고 상기 게이트 전극과 절연되게 형성된 파 아울러 상기 액티브층과 접촉되는 소스전극 및 드레인 전극을 포함하는 것을 특징으로 한다.

상기 액티브층은 상기 채널을 포함하는 제1 액티브층과; 상기 제1 액티브층의 양측면에서 신장되어 상기 소스전극과 게이트 전극 사이에 위치함과 동시에 상기 드레인 전극과 게이트 전극 사이에 위치하는 더미 액티브층을 포함하는 것을 특징으로 한다.

상기 액티브층은 폴리실리콘으로 이루어진 것을 특징으로 한다.

본 발명의 실시예에 따른 액정표시장치의 제조방법은 위치에 따라 폭이 달라지는 게이트 전극을 기관 상에 형성하는 단계와; 상기 게이트 전극을 공유하도록 상기 게이트 전극 상에 다수의 트랜지스터소자들을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 게이트 전극은 소정의 중심점을 중심으로 양끝단으로 갈수록 폭이 대칭적으로 달라지는 것을 특징으로 한다.

상기 게이트 전극은 소정의 중심점을 중심으로 양끝단으로 갈수록 폭이 대칭적으로 좁아지는 것을 특징으로 한다.

상기 다수의 박막 트랜지스터를 형성하는 단계는 기판 상에 버퍼막을 형성하는 단계와; 상기 버퍼막 상에 다수의 채널을 포함하는 액티브층을 형성하는 단계와; 상기 액티브층과 상기 게이트 전극을 절연하기 위한 게이트 절연막을 형성하는 단계와; 상기 게이트 전극 상에 층간절연막을 형성하는 단계와; 상기 층간절연막 및 게이트 절연막을 관통하는 관통홀을 통해 상기 액티브층과 접촉되는 소스전극 및 드레인 전극을 형성하는 단계를 포함하는 특징으로 한다.

상기 액티브층은 폴리실리콘으로 이루어진 것을 특징으로 한다.

액티브층을 형성하는 단계는 상기 채널을 포함하는 제1 액티브층을 형성함과 동시에 상기 제1 액티브층의 양측면에서 신장되어 상기 소스전극과 게이트 전극 사이에 위치함과 동시에 상기 드레인 전극과 게이트 전극 사이에 위치하는 더미 액티브층을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예를 도 8 내지 도 13를 참조하여 상세히 설명하기로 한다.

도 8는 본 발명에 따른 액정표시장치는 구동회로부에 내장된 다수의 박막 트랜지스터가 병렬로 연결된 구조의 구동소자를 구체적으로 도시한 평면도이고, 도 9는 도 8에 도시된 구동소자의 III-III'선을 따라 절단하여 도시된 단면도이다.

도 8 및 도 9에 도시된 다수의 박막 트랜지스터로 이루어진 구동소자는 버퍼막(116)을 사이에 두고 하부기관(120) 상에 형성되는 불순물이 주입된 액티브층(174)과, 게이트 절연막(142)을 사이에 두고 액티브층(174)의 채널영역(74C)과 중첩되게 형성되는 게이트 전극(166)과, 게이트 전극(166)과 층간절연막(156)을 사이에 두고 절연되게 형성되는 소스/드레인 전극(168,170)과, 소스/드레인 전극(168,170)상에 형성되어 구동소자를 보호하는 보호막(148)이 구비된다.

소스/드레인 전극(168,170)은 게이트 절연막(142) 및 층간 절연막(156)을 관통하는 소스/드레인 접촉홀(184S,184D)을 통해 소정의 불순물이 주입된 액티브층(174)의 소스/드레인 영역(174S,174D)에 각각 접촉된다.

액티브층(174)은 동일한 채널폭(Wb)을 갖는 다수의 채널(177)을 구비한다.

게이트 전극(166)은 그 위치에 따라 다른 선폭(L)을 갖도록 형성된다. 즉, 구동소자의 중심부의 게이트 전극(166)의 선폭(Ln/2)을 기준으로 구동소자의 가장자리로 갈수록 그 선폭(L1, L2, ... Ln/2, ... Ln-1, Ln)들이 대칭적으로 좁아지게 형성된다.

여기서, 게이트 전극(166)의 위치에 따른 선폭(L)은 다음과 같은 수학식 1 및 2가 성립한다.

$$\text{수학식 1} \\ L_{n/2} * n = L_1 + L_2 + \dots + L_{n/2} + \dots + L_{n-1} + L_n$$

$$\text{수학식 2} \\ L_{n/2} > \dots > (L_2 = L_{n-1}) > (L_1 = L_n)$$

이에 따라, 구동소자 중심부의 채널(177)에는 구동소자의 가장자리의 채널(177)에 비해 상대적으로 적은 양의 전류가 흐르게 됨으로써 종래와 대비하여 구동소자 중심부의 국부적인 열화를 방지할 수 있게 된다.

구체적으로 설명하면, 채널을 흐르는 전류(I)량은 수학식 3과 같이 채널폭(W)에는 비례하지만 채널길이(L) 즉, 게이트 전극(166)의 선폭(L)과는 반비례하게 된다.

$$\text{수학식 3} \\ I(\text{전류}) \propto \{W(\text{채널폭})/L(\text{채널길이 또는 선폭})\}$$

이로써, 상대적으로 넓은 선폭을 갖는 구동소자 중심부의 채널(177)은 구동소자의 가장자리의 채널(177)에 비해 상대적으로 긴 채널길이(L) 즉, 큰 선폭(L)을 갖게 됨으로써 상대적으로 적은 양의 전류가 흐르게 된다. 이에 따라, 상대적으로 방열능력이 낮은 구동소자의 중심부에서 소량의 열이 발생되고 방열능력 좋은 구동소자의 가장자리 영역에서는 많은 양의

열이 발생된다. 이로써, 도 10에 도시된 바와 같이 구동소자의 모든 채널(177)은 일정한 온도분포(B)를 갖게 된다. 그 결과, 구동소자 중심부의 채널(177)이 국부적으로 열화되는 등의 구동소자 불량에 방지됨으로써 구동소자의 정상적인 구동이 가능하게 된다.

도 11a 내지 도 11d는 도 8에 도시된 구동회로부에 내장된 구동소자의 제조방법을 나타내는 도면이다.

먼저, 하부기판(120) 상에 SiO_2 등의 절연물질로 전면 증착된 후 패터닝됨으로써 버퍼막(116)이 형성된다. 버퍼막(116)이 형성된 하부기판(120) 상에 아몰퍼스 실리콘막이 증착된 후 아몰퍼스 실리콘막이 레이저에 의해 결정화되어 폴리 실리콘막이 되고, 그 폴리 실리콘막이 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 패터닝된다. 이에 따라, 도 11a에 도시된 바와 같이 다수의 동일한 채널폭(Wb)을 갖는 채널을 갖는 액티브층(174)이 형성된다.

액티브층(174)이 형성된 하부기판(120) 상에 SiO_2 의 절연물질이 전면 증착됨으로써 게이트절연막(142)이 형성된다. 게이트절연막(142)이 형성된 하부기판(120) 상에 게이트금속층이 전면 증착된 후 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 게이트금속층이 패터닝됨으로써 도 11b에 도시된 바와 같이 그 위치에 따라 다른 선폭(L)을 갖는 게이트전극(166)이 형성된다. 게이트전극(166)의 위치에 따른 선폭(L)은 다음과 같은 수학식 4 및 5가 성립한다.

수학식 4

$$L_{n/2} * n = L_1 + L_2 + \dots + L_{n/2} + \dots + L_{n-1} + L_n$$

수학식 5

$$L_{n/2} > \dots > (L_2 = L_{n-1}) > (L_1 = L_n)$$

여기서, 게이트금속층은 알루미늄(Al), 알루미늄/네오듐(Al/Nd) 등을 포함하는 알루미늄계 금속이 이용된다. 이 게이트전극(166)을 마스크로 이용하여 액티브층(174)에 n-이온이 주입됨으로써 게이트전극(166)과 중첩되는 액티브층(174)은 채널영역(174C)으로, 게이트전극(166)과 중첩되지 않는 액티브층(174)은 LDD영역(174L)으로 형성된다.

그런 다음, 하부기판(120) 상에 포토레지스트가 전면 증착된 후 마스크를 이용한 포토리소그래피공정에 의해 포토레지스트가 패터닝됨으로써 포토레지스트패턴이 형성된다. 이 포토레지스트패턴은 액티브층(174)의 LDD영역이 노출되도록 형성된다. 이 포토레지스트패턴을 마스크로 이용하여 액티브층(174)에 n+ 이온 또는 p+ 이온이 주입됨으로써 액티브층(174)의 소스영역(174S)과 드레인영역(174D)이 형성된다.

n+ 이온 또는 p+ 이온이 주입된 액티브층(174)이 형성된 하부기판(120) 상에 SiO_2 등의 절연물질이 전면 증착됨으로써 층간절연막(156)이 형성된다. 이 후 층간절연막(156)과 게이트절연막(142)이 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 패터닝된다. 이에 따라, 도 11c에 도시된 바와 같이 소스영역(174S)과 드레인영역(174D)을 각각 노출시키는 소스접촉홀(184S)과 드레인접촉홀(184D)이 형성된다.

소스접촉홀(184S), 드레인접촉홀(184D)이 형성된 하부기판(120) 상에 데이터금속층이 전면 증착된 후 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 데이터금속층이 패터닝된다. 이에 따라, 도 11d에 도시된 바와 같이 소스 및 드레인전극(168,170)이 형성된다. 소스 및 드레인전극(168,170)은 소스접촉홀(184S) 및 드레인접촉홀(184D)을 통해 액티브층(174)의 소스영역(174S) 및 드레인영역(174D)과 접촉된다.

소스 및 드레인전극(168,170)이 형성된 하부기판(120) 상에 SiNx 등의 절연물질이 전면 증착됨으로써 보호막(148)이 형성된다.

이와 같이, 본 발명의 제1 실시예에 따른 액정표시장치 및 그 제조방법은 위치에 관계없이 채널폭(W)은 일정하고 구동소자의 중심에 위치하는 채널선폭($L_{n/2}$)을 기준으로 구동소자의 가장자리로 갈수록 그 선폭(L)이 좁아지도록 형성된 채널들을 포함하는 구동소자를 구비한다.

이에 따라, 구동소자 중심부의 채널에는 종래 대비 상대적으로 적은 양의 전류가 흐르고 구동소자 가장자리의 채널(177)에는 종래 대비 상대적으로 많은 양의 전류가 흐르게 된다. 그 결과, 전체적인 구동 전류의 양은 유지하면서 구동소자 중심부의 채널(177)에는 채널선폭(L)이 길어진 만큼 적은 양의 열이 발생됨으로써 구동소자의 중심부의 국부적인 열화 등의 문제를 방지할 수 있게 된다. 이로써, 구동소자의 불량이 방지됨으로써 구동소자의 정상적인 구동이 가능하게 된다.

도 12는 본 발명의 제2 실시예에 따른 액정표시장치의 구동회로부에 내장된 구동소자를 나타내는 평면도이다.

도 12에 도시된 구동소자는 도 8 및 도 9에 도시된 구동소자와 대비하여 다수의 채널을 포함하는 제1 액티브층(174a)과 상기 제1 액티브층(174a)에서 신장된 더미 액티브층(174b)을 포함하는 액티브층(174)을 형성하는 것을 제외하고는 동일한 구성요소들을 가지게 되므로 도 8 내지 도 9와 동일한 구성요소들에 대해서는 동일번호를 부여하고 상세한 설명은 생략하기로 한다.

도 12에 도시된 구동소자는 그 위치에 따라 다른 선폭(L)을 갖는 게이트 전극(166)을 구비함과 아울러 동일한 채널폭(Wb)을 갖는 다수의 채널(177)을 포함하는 제1 액티브층(174a)과, 제1 액티브층(174b)의 양측면에서 신장되어 소스전극(168)과 그 위치에 따라 선폭(L)이 다른 게이트 전극(166) 사이에 위치함과 동시에 드레인 전극(170)과 게이트 전극(166) 사이에 각각 위치하는 더미 액티브층(174b)을 구비한다.

더미 액티브층(174b)은 제1 액티브층(174) 내의 채널(177)에서 발생하는 열을 인접하는 게이트 절연막(142) 및 층간절연막(156) 등으로 빠르게 전도시키는 역할을 하게 된다. 즉, 게이트 절연막(142) 및 층간절연막(156) 보다 전도율이 높은 제1 액티브층(174a)에서 신장된 더미 액티브층(174b)은 채널(177)에서 발생된 열의 전도 속도를 향상시킴으로써 채널(177)에서 발생된 열이 종래보다 빨리 게이트 절연막(142) 및 층간절연막(156)을 통해 방열되게 된다. 이와 같이, 종래 대비 방열속도를 향상시킴으로써 채널(177) 영역이 열화되는 것을 방지하게 된다.

이와 같이, 본 발명의 제2 실시예에 따른 액정표시장치 및 그 제조방법은 그 위치에 따라 다른 선폭(L)을 갖는 게이트 전극(166)을 구비함과 아울러 동일한 채널폭(Wb)을 갖는 다수의 채널(177)을 포함하는 제1 액티브층(174a)과, 제1 액티브층(174a)의 양측면에서 신장되어 소스 전극(168)과 그 위치에 따라 선폭(L)이 다른 게이트 전극(166) 사이에 위치함과 동시에 드레인 전극(170)과 게이트 전극(166) 사이에 각각 위치하는 더미 액티브층(174b)을 구비한다.

이에 따라, 구동소자 중심부의 채널에는 종래 대비 상대적으로 적은 양의 전류가 흐르고 구동소자 가장자리의 채널(177)에는 종래 대비 상대적으로 많은 양의 전류가 흐르게 됨으로써 구동소자의 중심부의 국부적인 열화 등의 문제를 방지할 수 있게 된다. 또한, 제1 액티브층 내의 채널에서 발생하는 열을 인접하는 게이트 절연막(142) 및 층간절연막(156)으로 빠르게 전도시키는 더미 액티브층(174b)에 의해 종래와 비교하여 방열속도가 향상됨으로써 채널 영역이 열화되는 것을 방지하게 된다.

본 발명의 제2 실시예에 따른 액정표시장치의 구동회로부에 내장된 구동소자의 제조방법은 도 13에 도시된 바와 같이 동일한 채널폭(Wb)을 갖는 다수의 채널(177)을 포함하는 제1 액티브층(174a)과 제1 액티브층(174a)의 양측면에서 신장되어 소스 전극(168)과 그 위치에 따라 선폭(L)이 다른 게이트 전극(166) 사이에 위치함과 동시에 드레인 전극(170)과 게이트 전극(166) 사이에 각각 위치하는 더미 액티브층(174b)을 포함하는 액티브층(174)을 형성하는 것을 제외하고는 도 11a 내지 도 11d에 도시된 제1 실시예에 따른 액정표시장치의 구동회로부에 위치하는 구동소자의 제조방법과 동일함으로 구체적인 설명은 생략하기로 한다.

이와 같이, 본 발명의 실시예에 따른 액정표시장치 및 그 제조방법은 위치에 관계없이 채널폭(W)은 일정하고 구동소자의 중심에 위치하는 채널선폭(Ln/2)을 기준으로 구동소자의 가장자리로 갈수록 그 선폭(L)이 좁아지도록 형성된 채널들을 포함하는 구동소자를 구비한다.

이에 따라, 구동소자 중심부의 채널(177)에는 종래 대비 상대적으로 적은 양의 전류가 흐르고 구동소자 가장자리의 채널(177)에는 종래 대비 상대적으로 많은 양의 전류가 흐르게 된다. 그 결과, 전체적인 구동 전류의 양은 유지하면서 구동소자 중심부의 채널(177)에는 채널선폭(L)이 길어진 만큼 적은 양의 열이 발생됨으로써 구동소자의 중심부의 국부적인 열화 등의 문제를 방지할 수 있게 된다. 이로써, 구동소자의 불량률이 방지됨으로써 구동소자의 정상적인 구동이 가능하게 된다.

또한, 채널(177)에서 발생된 열의 전도 속도를 향상시킬 수 있는 더미 액티브층(174b)을 구비함으로써 채널(177)에서 발생된 열이 종래보다 빨리 게이트 절연막(142) 및 층간절연막(156)을 통해 방열되게 된다. 이와 같이, 종래 대비 국부적인 열화를 방지함과 아울러 방열속도를 향상시킴으로써 구동소자의 불량률을 방지할 수 있게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 구동회로부에 내장된 구동소자에 위치에 관계없이 채널폭은 일정하고 구동소자의 중심에 위치하는 채널선폭을 기준으로 구동소자의 가장자리로 갈수록 그 선폭이 좁아지도록 형성된 채널들이 형성된다. 이에 따라, 구동소자 중심부의 채널에는 채널선폭이 길어진 만큼 적은 양의 열이 발생됨으로써 구동소자의 중심부의 국부적인 열화 등의 문제를 방지할 수 있게 된다. 또한, 채널에서 발생된 열의 전도 속도를 향상시키는 더미 액티브층을 구비함으로써 채널에서 발생된 열이 종래보다 빨리 게이트 절연막 및 층간절연막을 통해 방열되게 된다. 이로써, 종래 대비 국부적인 열화를 방지함과 아울러 방열속도를 향상시킴으로써 구동소자 불량률을 방지할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

다수의 트랜지스터소자들과;

상기 다수의 트랜지스터소자들에 공유되는 게이트 전극을 구비하며,

상기 게이트 전극은 위치에 따라 선폭이 다른 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 게이트전극은 소정의 중심점을 중심으로 양끝단으로 갈수록 폭이 대칭적으로 달라지는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1 항에 있어서,

상기 게이트전극은 소정의 중심점을 중심으로 양끝단으로 갈수록 폭이 대칭적으로 좁아지는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 다수의 박막 트랜지스터는

기관 상에 형성된 버퍼막 상에 다수의 채널을 포함하도록 형성된 액티브층과;

상기 액티브층과 상기 게이트 전극 사이에 형성된 게이트 절연막과;

층간절연막을 사이에 두고 상기 게이트 전극과 절연되게 형성됨과 아울러 상기 액티브층과 접속되는 소스전극 및 드레인 전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 4 항에 있어서,

상기 액티브층은 상기 채널을 포함하는 제1 액티브층과;

상기 제1 액티브층의 양측면에서 신장되어 상기 소스전극과 게이트 전극 사이에 위치함과 동시에 상기 드레인 전극과 게이트 전극 사이에 위치하는 더미 액티브층을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 4 항에 있어서,

상기 액티브층은 폴리실리콘으로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 7.

위치에 따라 폭이 달라지는 게이트 전극을 기관 상에 형성하는 단계와;

상기 게이트 전극을 공유하도록 상기 게이트 전극 상에 다수의 트랜지스터소자들을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8.

제 7 항에 있어서,

상기 게이트 전극은 소정의 중심점을 중심으로 양끝단으로 갈수록 폭이 대칭적으로 달라지는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9.

제 7 항에 있어서,

상기 게이트 전극은 소정의 중심점을 중심으로 양끝단으로 갈수록 폭이 대칭적으로 좁아지는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10.

제 7 항에 있어서,

상기 다수의 박막 트랜지스터를 형성하는 단계는

기관 상에 버퍼막을 형성하는 단계와;

상기 버퍼막 상에 다수의 채널을 포함하는 액티브층을 형성하는 단계와;

상기 액티브층과 상기 게이트 전극을 절연하기 위한 게이트 절연막을 형성하는 단계와;

상기 게이트 전극 상에 층간절연막을 형성하는 단계와;

상기 층간절연막 및 게이트 절연막을 관통하는 관통홀을 통해 상기 액티브층과 접촉되는 소스전극 및 드레인 전극을 형성하는 단계를 포함하는 특징으로 하는 액정표시장치의 제조방법.

청구항 11.

제 10 항에 있어서,

상기 액티브층은 폴리실리콘으로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 12.

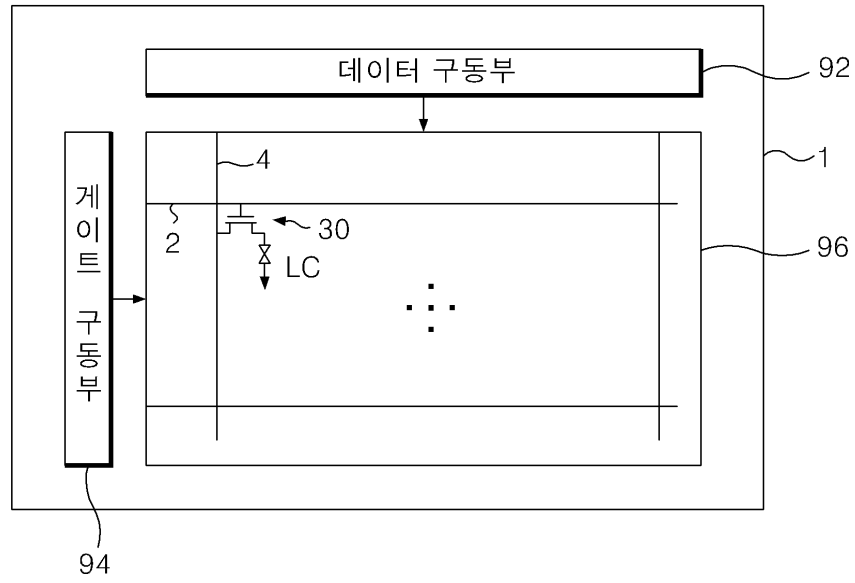
제 10 항에 있어서,

액티브층을 형성하는 단계는

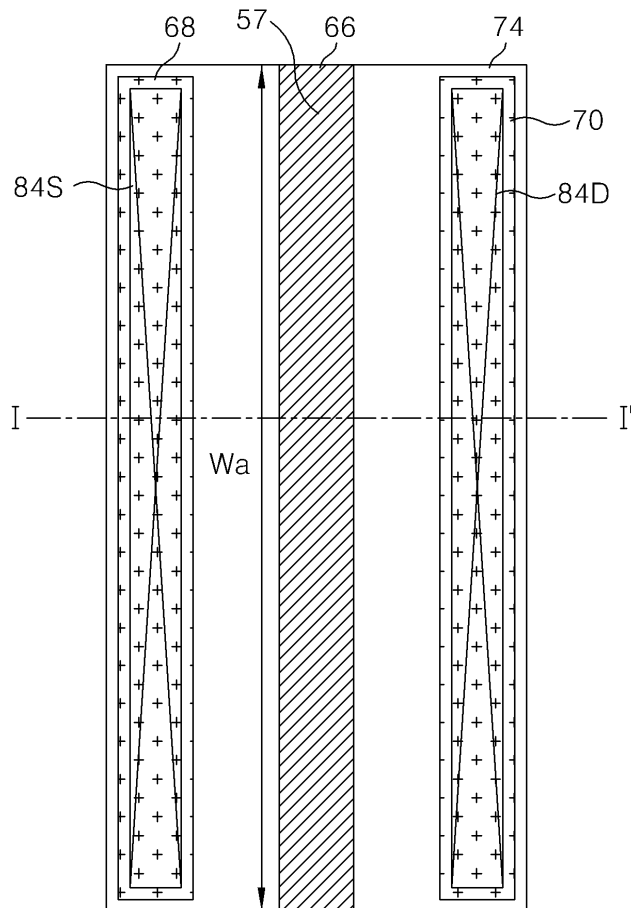
상기 채널을 포함하는 제1 액티브층을 형성함과 동시에 상기 제1 액티브층의 양측면에서 신장되어 상기 소스전극과 게이트 전극 사이에 위치함과 동시에 상기 드레인 전극과 게이트 전극 사이에 위치하는 더미 액티브층을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

도면

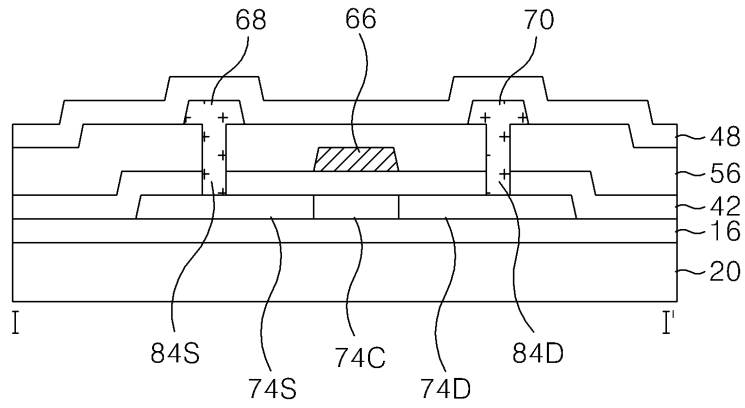
도면1



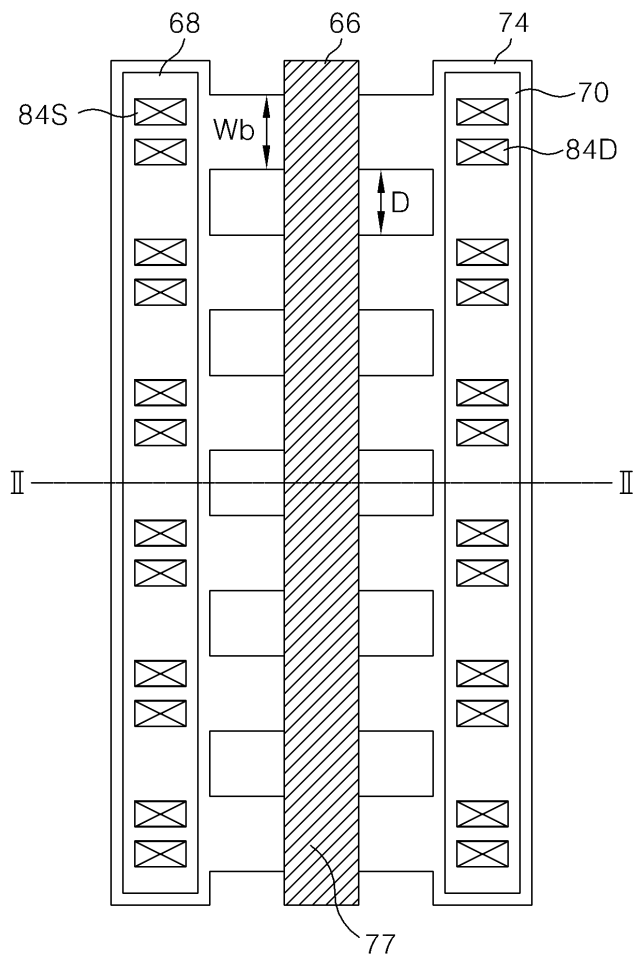
도면2



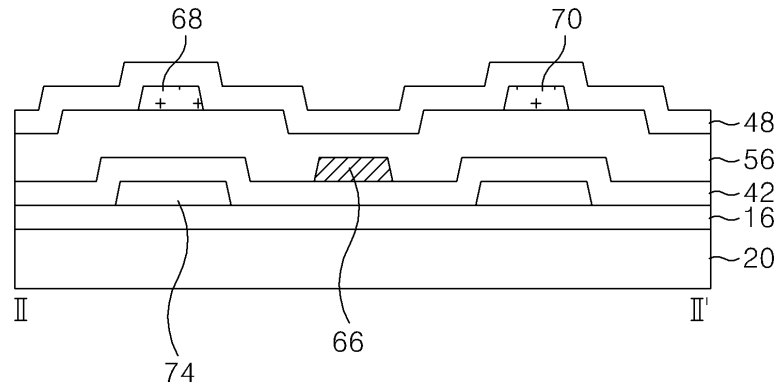
도면3



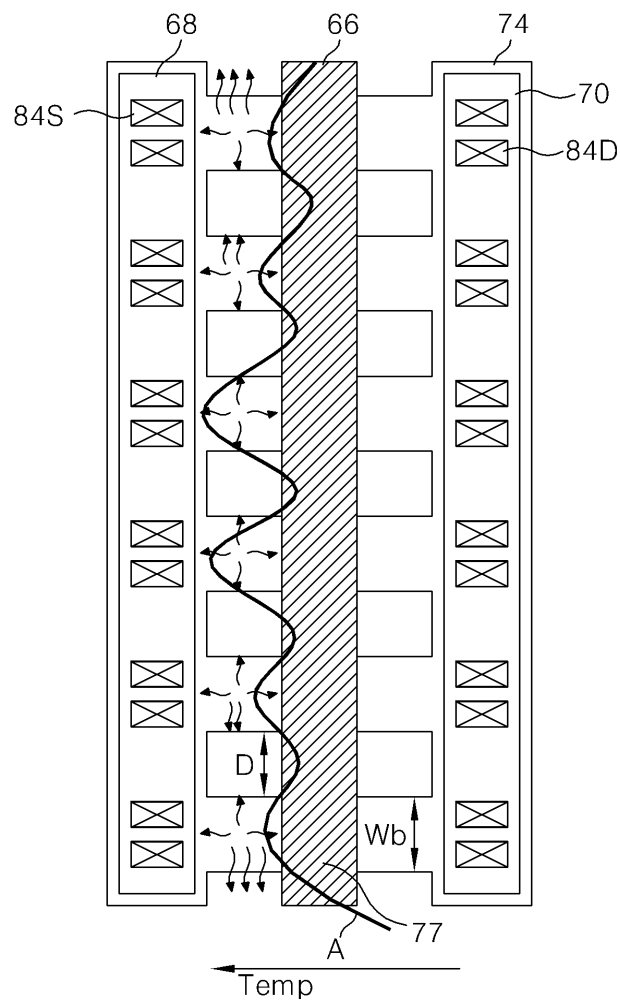
도면4



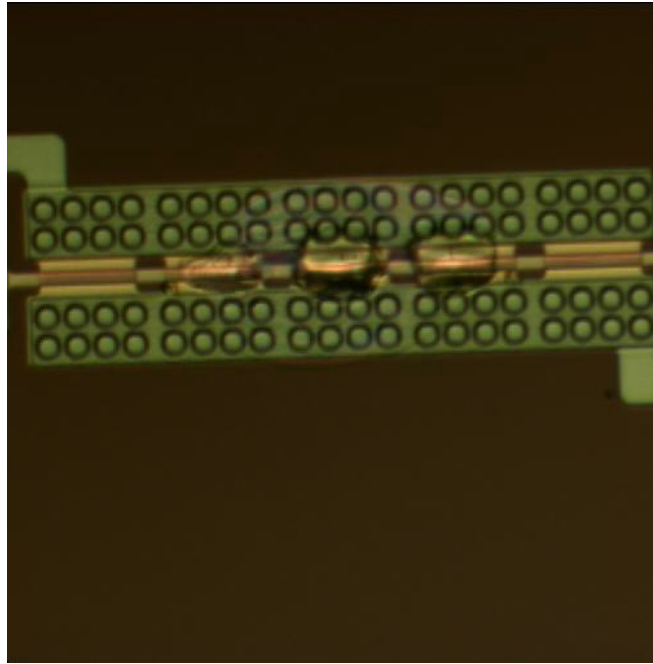
도면5



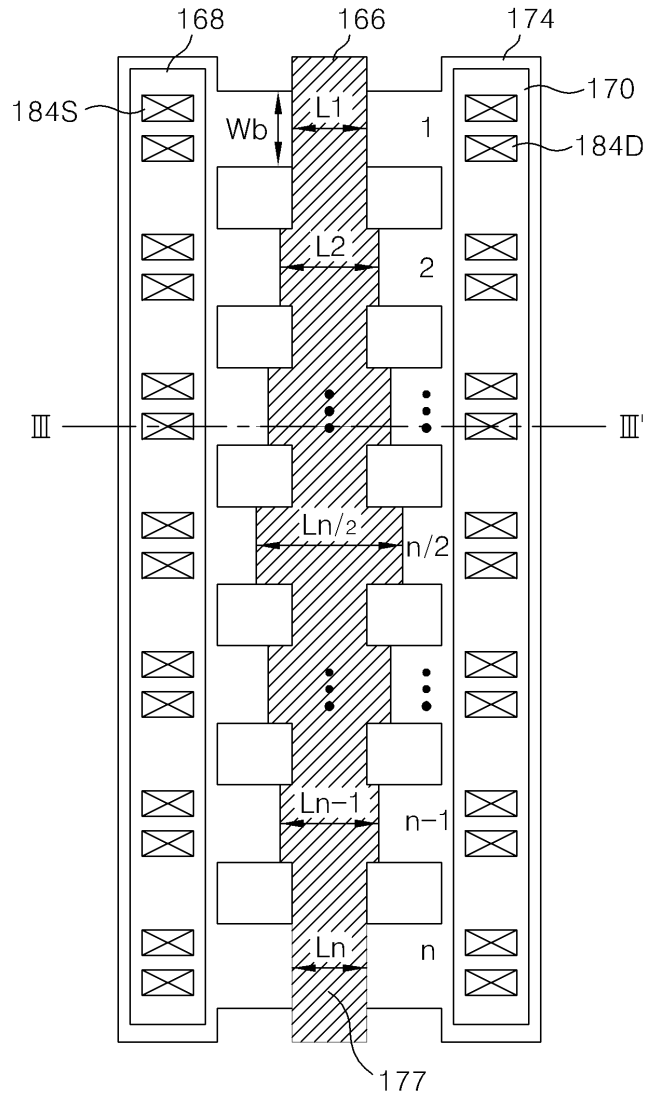
도면6



도면7

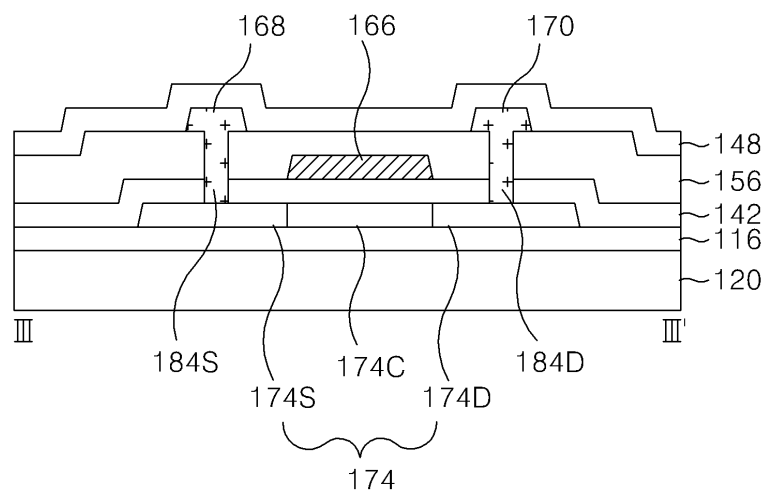


도면8

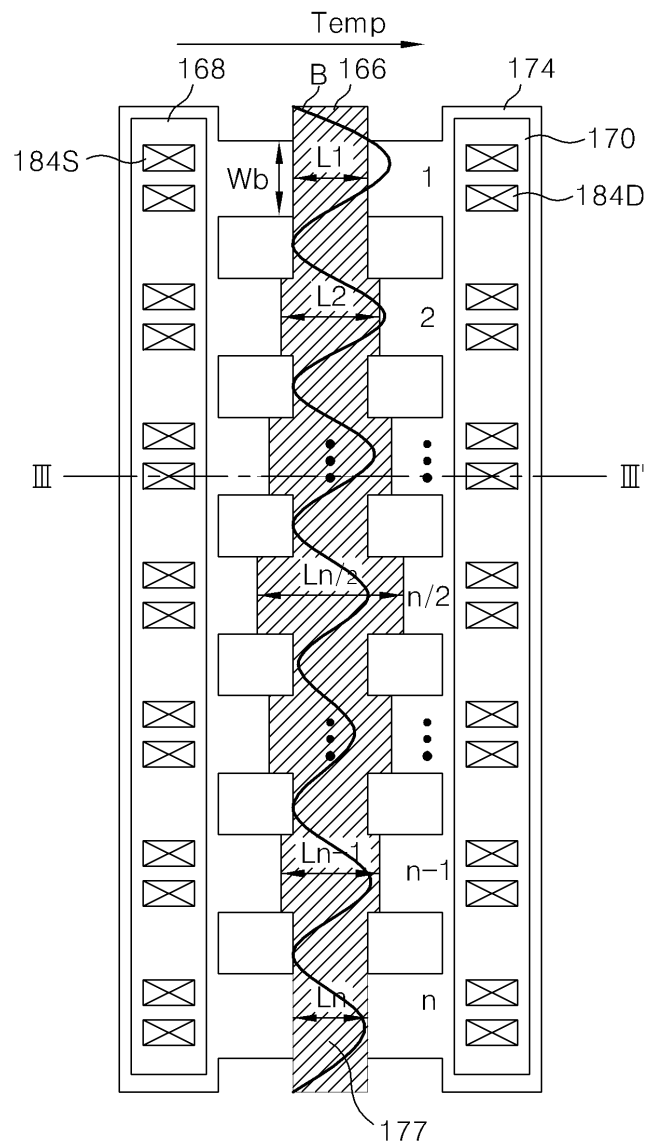


$$L_{n/2} > \dots L_2 > L_1, L_{n/2} > \dots L_{n-1} > L_n$$

도면9

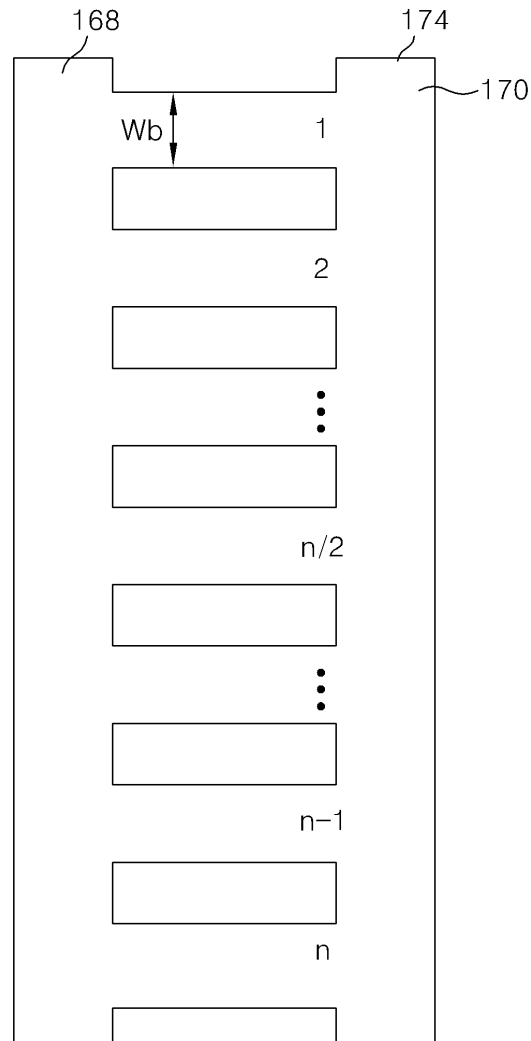


도면10



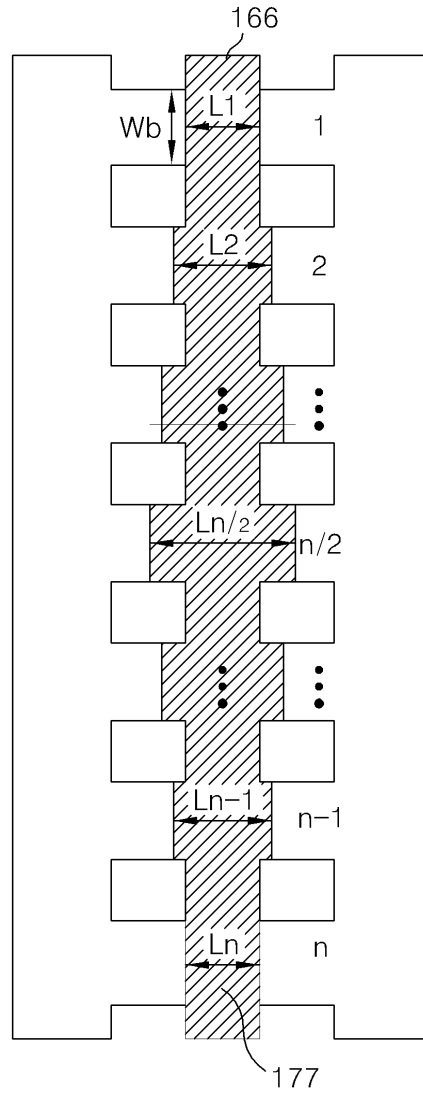
$$L_{n/2} > \dots L_2 > L_1, L_{n/2} > \dots L_{n-1} > L_n$$

도면11a



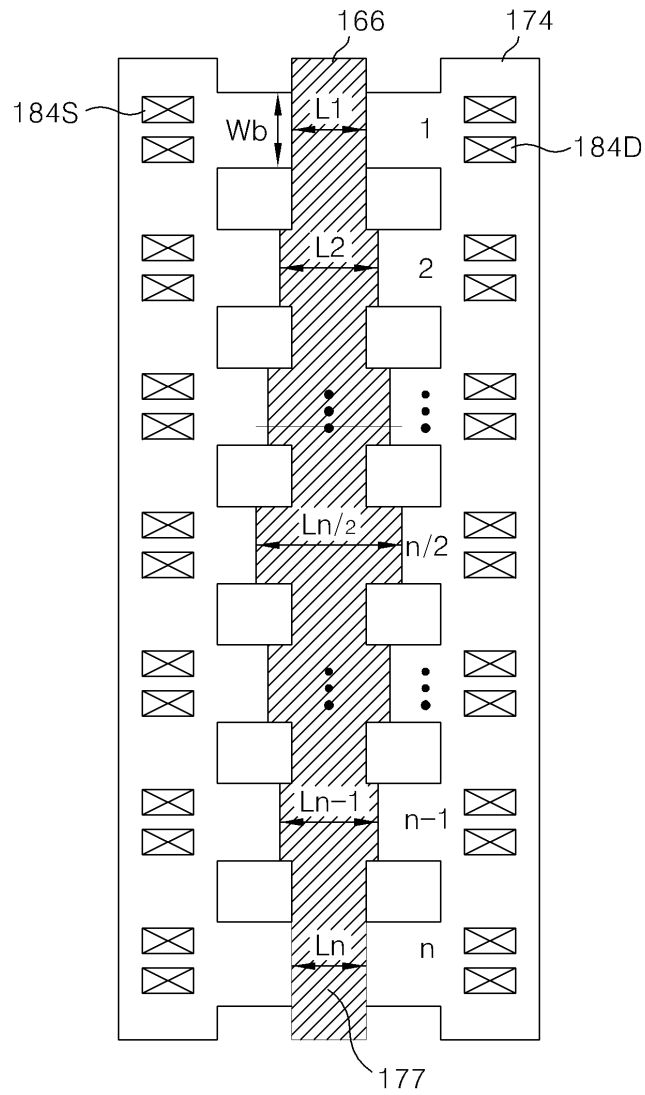
$$L_{n/2} > \dots L_2 > L_1, L_{n/2} > \dots L_{n-1} > L_n$$

도면11b



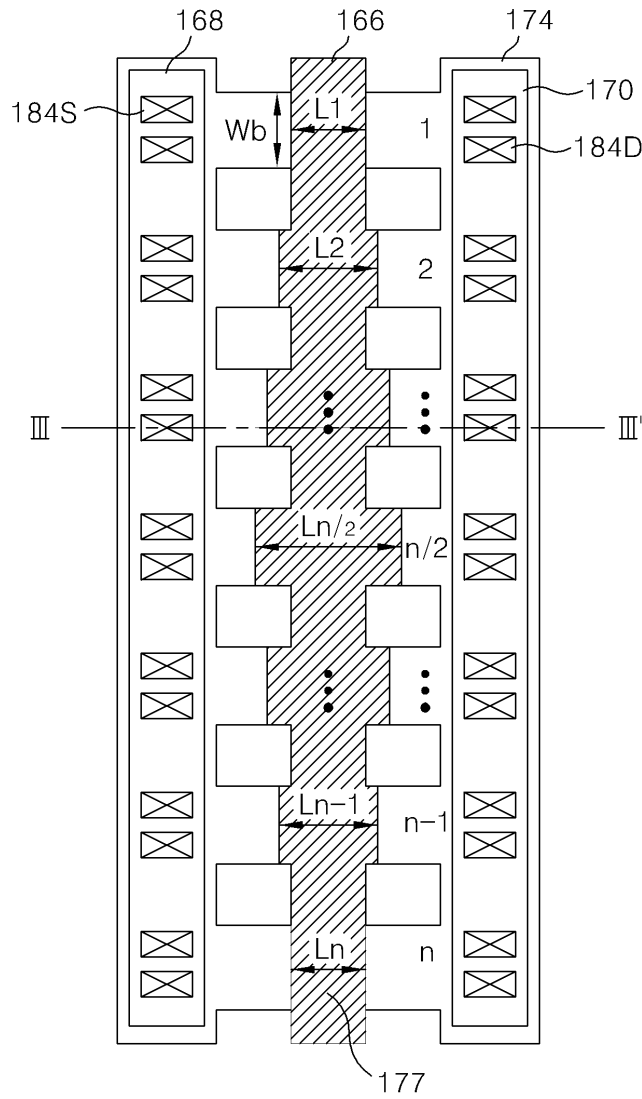
$$L_{n/2} > \dots L_2 > L_1, L_{n/2} > \dots L_{n-1} > L_n$$

도면11c



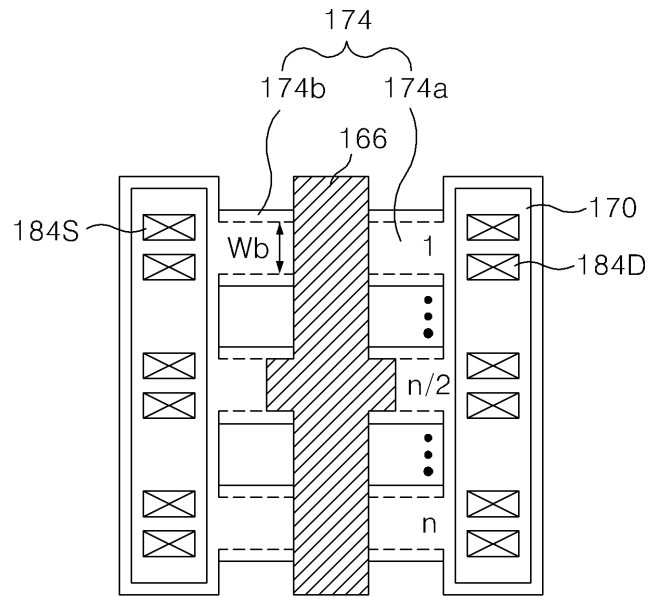
$$L_{n/2} > \dots L_2 > L_1, L_{n/2} > \dots L_{n-1} > L_n$$

도면11d

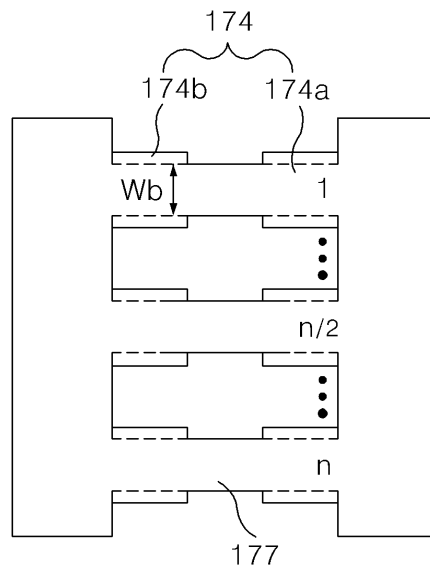


$$L_{n/2} > \dots L_2 > L_1, L_{n/2} > \dots L_{n-1} > L_n$$

도면12



도면13



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020050050240A	公开(公告)日	2005-05-31
申请号	KR1020030083942	申请日	2003-11-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SEO INGYO		
发明人	SEO,INGYO		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/13439 G02F1/134309 G02F1/1368		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置及其制造方法，能够防止驱动电路部分的驱动元件故障。本发明的液晶显示器的晶体管元件包括多个晶体管元件共用的栅极电极。并且栅极电极的线宽根据位置而变化。

