



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0064563
(43) 공개일자 2008년07월09일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2007-0001606

(22) 출원일자 2007년01월05일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

루지안강

경기 수원시 영통구 영통동 벽적골8단지아파트
833-404

김희섭

경기 화성시 반월동 865-1 신영통현대1차아파트
110-304

(뒷면에 계속)

(74) 대리인

정상빈, 특허법인가산

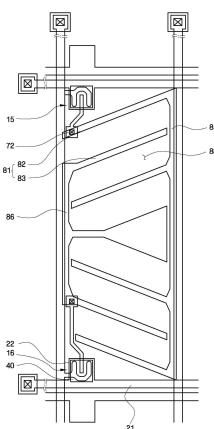
전체 청구항 수 : 총 5 항

(54) 액정 표시 장치

(57) 요 약

시인성 및 투과율을 향상시킨 액정 표시 장치를 제공한다. 액정 표시 장치는 제1 절연 기판, 제1 절연 기판 상에 배치되며 스트라이프 형상으로 형성된 복수의 제1 화소 전극, 제1 절연 기판 상에 배치되며 상기 제1 화소 전극과 이격하여 평행하게 형성된 복수의 제2 화소 전극, 제1 절연 기판 상에 배치되며 제1 화소 전극에 연결되어 제1 데이터 전압을 인가하는 제1 박막 트랜지스터, 제1 절연 기판 상에 배치되며 상기 제2 화소 전극에 연결되어 제2 데이터 전압을 인가하는 제2 박막 트랜지스터를 포함하는 박막 트랜지스터 표시판과, 제2 절연 기판, 제2 절연 상의 제1 화소 전극과 제2 화소 전극의 사이에 위치하며 스트라이프 형상으로 형성되어 공통 전압이 인가되는 공통 전극을 포함하는 공통 전극 표시판을 포함하되, 제1 데이터 전압과 제2 데이터 전압은 전압차를 갖는다.

대표도 - 도3



(72) 발명자
이혁진
경기 성남시 분당구 구미동 까치마을롯데아파트
415동 1002호

우화성
경기 수원시 영통구 매탄1동 주공4단지아파트
419-107

특허청구의 범위

청구항 1

제1 절연 기판,

상기 제1 절연 기판 상에 배치되며 스트라이프 형상으로 형성된 복수의 제1 화소 전극,

상기 제1 절연 기판 상에 배치되며 상기 제1 화소 전극과 이격하여 평행하게 형성된 복수의 제2 화소 전극,

상기 제1 절연 기판 상에 배치되며 상기 제1 화소 전극에 연결되어 제1 데이터 전압을 인가하는 제1 박막 트랜지스터, 및

상기 제1 절연 기판 상에 배치되며 상기 제2 화소 전극에 연결되어 제2 데이터 전압을 인가하는 제2 박막 트랜지스터를 포함하는 박막 트랜지스터 표시판; 및

제2 절연 기판, 및

상기 제2 절연 상의 상기 제1 화소 전극과 상기 제2 화소 전극의 사이에 위치하며 스트라이프 형상으로 형성되어 공통 전압이 인가되는 공통 전극을 포함하는 공통 전극 표시판을 포함하되,

상기 제1 데이터 전압과 상기 제2 데이터 전압은 전압차를 갖는 액정 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제1 화소 전극 또는 상기 제2 화소 전극과 상기 공통 전극 사이의 수평 거리가 $11.5\sim14.5\mu\text{m}$ 인 액정 표시 장치.

청구항 3

제 1 항에 있어서,

상기 제1 화소 전극 또는 제2 화소 전극은 러빙 각도가 $20\sim30^\circ$ 인 액정 표시 장치.

청구항 4

제 1 항에 있어서,

상기 공통 전압은 제1 데이터 전압 및 제2 데이터 전압의 중간값인 액정 표시 장치.

청구항 5

제 1 항에 있어서,

상기 액정층을 구성하는 액정의 유전율 이방성이 양인 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<22> 본 발명은 액정 표시 장치에 관한 것으로, 시인성 및 투과율을 향상시킨 액정 표시 장치에 관한 것이다.

<23> 액정 표시 장치(Liquid Crystal Display; LCD)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display) 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정을 재배열시킴으로써 투과되는 광의 양을 조절하는 표시 장치이다.

<24> 그 중에서도 DFS(Dual Field Switching) 모드의 액정 표시 장치는 박막 트랜지스터 표시판에 스트라이프(stripe) 형상의 얇은 화소 전극을 복수로 배치하고, 공통 전극 표시판에 화소 전극 사이에 위치하는 스트라이

프 형상의 얇은 공통 전극을 복수로 배열하여, 액정 패널의 단면이 화소 전극과 공통 전극이 삼각형의 꼭지점을 이루도록 형성한다. 이와 같은 화소 전극과 공통 전극의 배열로 인해 양 화소 전극과 공통 전극 사이에는 전계가 발생하게 되며, 공통 전극 표시판과 박막 트랜지스터 표시판의 간격에 비해 양 화소 전극 사이가 상대적으로 넓어 사실상의 횡전계와 유사한 전계가 생성된다.

<25> 그러나, 이와 같은 DFS 모드의 액정 표시 장치는 액정 패널의 제조 공정상 박막 트랜지스터 표시판 위에 공통 전극 표시판이 정확하게 정렬되지 않을 경우, 화소 전극과 공통 전극 사이의 거리가 변하게 되어 적절한 전계가 생성되지 않는다. 즉, 공통 전극과 화소 전극 사이의 거리가 기준치보다 가까워지거나 멀어지는 공간이 발생되면서, 액정을 제어하기 위한 적절한 전계가 발생되지 않아 액정 패널의 개구율이 감소하는 문제가 발생하게 되었다.

발명이 이루고자 하는 기술적 과제

<26> 본 발명이 이루고자 하는 기술적 과제는 높은 시인성 및 투과율을 갖는 액정 표시 장치를 제공하고자 하는 것이다.

<27> 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

<28> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는 제1 절연 기판과, 상기 제1 절연 기판 상에 배치되며 스트라이프 형상으로 형성된 복수의 제1 화소 전극, 상기 제1 절연 기판 상에 배치되며 상기 제1 화소 전극과 이격하여 평행하게 형성된 복수의 제2 화소 전극, 상기 제1 절연 기판 상에 배치되며 상기 제1 화소 전극에 연결되어 제1 데이터 전압을 인가하는 제1 박막 트랜지스터, 상기 제1 절연 기판 상에 배치되며 상기 제2 화소 전극에 연결되어 제2 데이터 전압을 인가하는 제2 박막 트랜지스터를 포함하는 박막 트랜지스터 표시판과, 제2 절연 기판, 상기 제2 절연 기판 상의 상기 제1 화소 전극과 상기 제2 화소 전극의 사이에 위치하며 스트라이프 형상으로 형성되어 공통 전압이 인가되는 공통 전극을 포함하는 공통 전극 표시판을 포함하되, 상기 제1 데이터 전압과 상기 제2 데이터 전압은 전압차를 갖는다

<29> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

<30> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

<31> 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

<32> 먼저 도 1 내지 도 4를 참조하여, 본 발명의 일 실시예에 따른 액정 표시 장치에 대해 설명한다. 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 배치도이고, 도 2는 도 1의 액정 표시 장치를 II-II' 선으로 절개한 단면도이고, 도 3은 도 1의 액정 표시 장치에 포함되는 박막 트랜지스터 표시판의 배치도이고, 도 4는 도 1의 액정 표시 장치에 포함되는 공통 전극 표시판의 배치도이다.

<33> 본 발명의 일 실시예에 따른 액정 표시 장치는 박막 트랜지스터 표시판(2)과 이와 마주보고 배치되는 공통 전극 표시판(3) 및 그 사이에 개재되는 액정층(3)을 포함하는 액정 패널(1)과 액정 패널(1)에 빛을 공급하는 백라이트 어셈블리(도시하지 않음) 등을 포함하여 구성된다.

<34> 우선, 박막 트랜지스터 표시판(2)은 제1 절연 기판(10) 위에 전공 증착 등의 방법으로 형성된 박막을 이용하여 만들어진 트랜지스터를 포함하며, 전기 신호를 받아 전계를 형성하는 스위치 역할을 한다. 이와 같은 박막 트랜지스터 표시판(2)은 게이트 배선(21, 22), 데이터 배선(62, 65, 66), 및 화소 전극(81) 등을 포함하여 구성된다.

- <35> 박막 트랜지스터(15, 16)는 게이트 신호를 전달하는 게이트 선(21)과 데이터 전압을 전달하는 데이터 선(62)에 각각 연결되어 게이트 신호에 따라 화소 전극(81)을 온(on)/오프(off) 한다. 또한, 화소 전극(81)은 이러한 박막 트랜지스터(15, 16)에 연결되어 데이터 전압을 인가 받아 후술한 공통 전극(130)과 함께 전계를 형성한다. 또한 화소 전극(81)은 복수의 서브 화소 전극(82, 83)과 이들을 연결하는 연결 전극(85, 86)을 포함한다.
- <36> 공통 전극 표시판(3)은 백라이트 어셈블리(도시하지 않음)를 통하여 공급되는 빛이 컬러 필터(120)를 투과하여 소정의 영상을 표시하도록 하는 역할을 한다. 이와 같은 공통 전극 표시판(3)은 색상을 구현하는 컬러 필터(120), 컬러 필터(120)의 셀(cell) 사이를 구분하고 빛을 차단하는 블랙 매트릭스(black matrix), 및 액정 셀에 전압을 인가하기 위한 투명 전극인 공통 전극(130)을 포함하여 구성된다.
- <37> 공통 전극(130)은 ITO 또는 IZO 등의 투명 도전성 산화물로 형성되어 있으며, 일정한 경사를 가진 띠형상으로서, 제1 화소 전극(82) 및 제2 화소 전극(83) 사이에 위치하여 제1 및 제2 화소 전극(82, 83)과 함께 전계를 형성한다.
- <38> 백라이트 어셈블리는 액정 패널에 빛을 공급하는 역할을 한다. 이와 같은 백라이트 어셈블리는 램프의 배열 위치에 따라 램프가 도광판의 측면에 위치하는 엣지(edge)형과 램프가 확산판의 하부에 위치하는 직하형으로 구분된다.
- <39> 본 발명의 일 실시예에 따른 액정 표시 장치에 대하여 좀 더 상세히 설명한다.
- <40> 먼저, 도 2 및 도 3을 참조하여, 박막 트랜지스터 표시판(2)에 대해 설명하면, 박막 트랜지스터 표시판(2)은 제1 절연 기판(10) 위에 형성된 게이트 배선(21, 22), 게이트 절연막(30), 반도체층(40), 저항성 접촉층(55, 56) 및 데이터 배선(62, 65, 66), 보호막(70) 및 화소 전극(81) 등을 포함한다.
- <41> 제1 절연 기판(10)은 투명 유리 또는 플라스틱과 같이 내열성 및 투광성을 갖는 재질로 형성된다.
- <42> 제1 절연 기판(10) 위에는 게이트 배선(21, 22)이 형성된다. 여기서 게이트 배선(21, 22)은 제1 절연 기판(10)의 제1 방향으로 배치된 게이트 선(21)과 게이트 선(21)에 돌기의 형태로 이루어진 게이트 전극(22)을 말하는 것이다. 구체적으로, 게이트 배선(21, 22)은 예를 들면 가로 방향과 같은 제1 방향으로 배열되어 게이트 신호를 전달하는 게이트 선(21)과 게이트 선(21)에서 돌기 형태로 돌출되어 형성된 게이트 전극(22)을 포함하며, 게이트 전극(22)은 후술하는 소스 전극(65) 및 드레인 전극(66)과 함께 박막 트랜지스터의 단자를 구성하게 된다.
- <43> 이러한 게이트 배선(21, 22)은 알루미늄(AI)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 등의 금속성 재료로 이루어질 수 있다. 또한, 게이트 배선(21, 22)은 물리적 성질이 다른 두 개의 도전막(미도시)을 포함하는 다중막 구조를 가질 수 있다.
- <44> 게이트 배선(21, 22)의 상부에는 질화 규소(SiNx) 등의 절연물질로 이루어진 게이트 절연막(30)이 형성되어 있다.
- <45> 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다결정 규소 등으로 이루어진 반도체층(40)을 형성한다. 이러한 반도체층(40)은 섬형, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 게이트 전극(26) 상에 섬형으로 형성될 수 있다. 또한 데이터 선(62) 아래에 위치하여 게이트 전극(22) 상부까지 연장된 형상을 가지는 선형으로 형성될 수도 있다. 선형 반도체층의 경우, 데이터 선(62)과 동일하게 패터닝하여 형성될 수 있다.
- <46> 반도체층(40)의 위에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n⁺ 수소화 비정질 규소 따위의 물질로 만들어진 저항성 접촉층(55, 56)을 형성한다. 이러한 저항성 접촉층(55, 56)은 후술하는 소스 전극(65) 및 드레인 전극(66)과 반도체층(40)의 접촉 특성을 양호하게 한다. 따라서, 반도체층(40)과 소스 전극(65) 및 드레인 전극(66)의 접촉 특성이 양호한 경우에는 저항성 접촉층(55, 56)은 생략될 수 있다.
- <47> 또한, 저항성 접촉층(55, 56)은 섬형, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 섬형 저항성 접촉층(55, 56)의 경우 드레인 전극(66) 및 소스 전극(65) 아래에 위치하고, 선형의 저항성 접촉층의 경우 데이터 선(62)의 아래까지 연장되어 형성될 수 있다.
- <48> 저항성 접촉층(55, 56) 및 게이트 절연막(30) 위에는 데이터 배선(62, 65, 66) 및 드레인 전극(66)이 형성된다. 여기서 데이터 배선(62, 65, 66)은 데이터 선(62), 소스 전극(65) 및 드레인 전극(66)을 말한다.
- <49> 데이터 선(62)은 세로 방향 등과 같은 제2 방향으로 배열되어 게이트 선(21)과 교차하도록 배치되며, 데이터 선

호를 인가 받아 소스 전극(65)으로 전달한다.

- <50> 소스 전극(65)은 데이터 선(62)으로부터 분지되어 일단부가 데이터 선(62)에 연결되어 있으며, 타단부는 반도체 층(40)의 상부에 위치하여 반도체층(40)과 일부가 중첩되도록 배치된다.
- <51> 드레인 전극(66)은 일단부가 반도체층(40) 상부에 위치하여 반도체층(40)과 일부가 중첩되도록 배치되며, 게이트 전극(22)을 중심으로 소스 전극(65)과 대향되도록 일정 간격 이격하여 형성된다.
- <52> 이와 같은 소스 전극(65)과 드레인 전극(66)은 전술한 게이트 전극(22)과 함께 스위칭 소자를 이루게 되어, 게이트 전극(22)에 전압이 인가되면 소스 전극(65)과 드레인 전극(66) 사이에 전류가 흐르게 된다.
- <53> 한편, 데이터 배선(62, 65, 66)은 알루미늄, 크롬, 몰리브덴, 탄탈륨 및 티타늄 등 중에서 하나 이상의 물질로 구성된 단일막 또는 다층막으로 이루어질 수 있다. 즉, 데이터 배선(62, 65, 66)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.
- <54> 데이터 배선(62, 65, 66) 및 노출된 반도체층(40)의 위에는 절연막으로 이루어진 보호막(70)이 도포된다. 보호막(70)은 질화규소 또는 산화규소로 이루어진 무기물, 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물 또는 플라스마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진다. 또한, 보호막(70)을 유기 물질로 형성하는 경우에는 소스 전극(65)과 드레인 전극(66) 사이의 반도체층(40)이 드러난 부분에 보호막(70)의 유기 물질이 접촉하는 것을 방지하기 위하여, 질화 규소(SiNx) 또는 산화 규소(SiO₂)로 이루어진 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.
- <55> 상술한 게이트 전극(22), 반도체층(40), 소스 전극(65) 및 드레인 전극(66)은 일종의 스위칭 소자인 박막 트랜지스터(15, 16)를 형성하며, 이와 같은 박막 트랜지스터(15, 16)는 후술할 제1 연결 전극(85)에 연결되어 제1 화소 전극(82)에 데이터 전압(V_{com}+V_{data}, V_{com}-V_{data})을 인가하는 제1 박막 트랜지스터(15)와 제2 연결 전극(86)에 연결되어 제2 화소 전극(83)에 데이터 전압(V_{com}+V_{data}, V_{com}-V_{data})을 인가하는 제2 박막 트랜지스터(16)로서, 한 화소당 두 개씩 형성된다.
- <56> 보호막(70)에는 드레인 전극(66)을 드러내는 콘택홀(contact hole)(72)이 형성되어 있다.
- <57> 보호막(70) 위에는 콘택홀(72)을 통하여 드레인 전극(66)과 전기적으로 연결되며, 화소 모양을 따라 형성된 화소 전극(81)이 위치한다.
- <58> 화소 전극(81)은 공통 전극(130)과 함께 화소의 투과율을 조절함으로써, 백라이트 어셈블리(미도시)에서 공급하는 빛을 조절하여 액정 패널에 영상이 표시되도록 한다. 이와 같은 화소 전극(81)은 콘택홀(72)을 통하여 드레인 전극(66)과 전기적으로 접속되어 있어, 드레인 전극(66)을 통하여 데이터 전압이 인가된다. 화소 전극(81)에 데이터 전압이 인가되면, 공통 전극(130)과 함께 전계를 생성하여 액정의 배열을 결정한다.
- <59> 한편, 화소 전극(81)은 제1 박막 트랜지스터(15)의 드레인 전극(66)과 연결되는 제1 화소 전극(82)과, 제2 박막 트랜지스터(16)의 드레인 전극(66)에 연결되는 제2 화소 전극(83)이 될 수 있다. 이러한 제1 및 제2 화소 전극(82, 83)은 데이터 선(62) 또는 게이트 선(21)에 일정한 각도로 기울어져 평행을 이루는 스트라이프(stripe) 형상을 가질 수 있다. 이 때 제1 화소 전극(82)과 제2 화소 전극(83) 사이의 간격은 제1 및 제2 화소 전극(82, 83)의 너비에 비해 넓게 형성될 수 있다.
- <60> 제1 화소 전극(82)과 제2 화소 전극(83)은 각각 제1 및 제2 연결 전극(85, 86)에 연결되어 있어, 각 전극에 동일한 데이터 전압이 인가된다. 예를 들면, 제1 박막 트랜지스터(15)에 연결된 제1 화소 전극(82)에는 제1 데이터 전압(V_{com}+V_{data})이 인가되며, 제2 박막 트랜지스터(16)에 연결된 제2 화소 전극(83)에는 제2 데이터 전압(V_{com}-V_{data})이 인가된다.
- <61> 제1 및 제2 데이터 전압(V_{com}+V_{data}, V_{com}-V_{data})은 일정한 상대적인 전위차를 형성하여 제1 화소 전극(82)과 제2 화소 전극(83) 사이에 일정한 전계를 형성하도록 한다. 또한, 제1 화소 전극(82)과 제2 화소 전극(83) 사이에는 공통 전극 표시판(3)에 배치된 공통 전극(130)이 위치한다. 이러한 공통 전극(130)에는 공통 전압(V_{com})이 인가되어, 공통 전압(V_{com})과 제1 및 제2 데이터 전압(V_{com}+V_{data}, V_{com}-V_{data}) 사이에 전위차가 발생하여 각각의 전극 사이에는 일정한 전계를 형성한다. 즉, 공통 전극(130)과 제1 화소 전극(82) 사이에 일정한 전계가 형

성되고, 공통 전극(130)과 제2 화소 전극(83) 사이에 또한 일정한 전계가 형성되며, 제1 화소 전극(82)과 제2 화소 전극(83) 사이에도 전계가 형성되어 이를 세 전극에 의해서 발생하는 전계에 의해 액정의 배열 상태가 변하게 된다.

<62> 또한, 공통 전압(Vcom)은 제1 및 제2 데이터 전압(Vcom+Vdata, Vcom-Vdata)의 중간값으로 하는 것이 바람직하다.

<63> 박막 트랜지스터 표시판(2)과 공통 전극(3)의 정렬 오차가 발생하는 경우에도 제1 화소 전극(82)과 제2 화소 전극(83) 사이에서 발생되는 전계는 영향을 받지 않아, 항상 동일한 크기와 방향으로 횡전계가 생성된다. 이와 같이 제1 화소 전극(82)과 제2 화소 전극(83)에 의해 생성되는 횡전계에 의해 박막 트랜지스터 표시판(2)과 공통 전극 표시판(3)의 정렬에 오차가 발생하여 공통 전극(130)과 제1 및 제2 화소 전극(82, 83) 사이에 발생하는 전계의 크기가 변하더라도 액정은 항상 일정한 정도의 투과율을 유지할 수 있다. 각각 전계에 따른 액정의 배열 상태에 관해서는 후술한다.

<64> 이러한 제1 화소 전극(82)과 제2 화소 전극(83)은 하나씩 교대로 배열되며, 그 사이에 하나의 공통 전극(130)이 위치하여 화소 전체 면에 일정한 전계가 형성되도록 한다. 또한, 제1 화소 전극(82)과 제2 화소 전극(83)은 제1 배향막(90)의 러빙 방향에 일정한 러빙 각도(Θ)로 기울어져 있다. 이러한 러빙 각도(Θ)는 $0^\circ \sim 90^\circ$ 사이의 임의의 각도일 수 있으며, 바람직하게는 $20^\circ \sim 30^\circ$ 일 수 있다.

<65> 한편, 러빙 각도(Θ)가 증가하게 되면 액정을 배열하기 위하여는 높은 구동 전압이 필요하다. 그러나 제1 및 제2 박막 트랜지스터(15, 16)를 이용하여 제1 화소 전극(82)과 제2 화소 전극(83)에 각각 전위차를 갖는 제1 데이터 전압(Vcom+Vdata)과 제2 데이터 전압(Vcom-Vdata)을 인가하면 낮은 전압으로도 용이하게 액정을 조절할 수 있다.

<66> 화소 전극(81) 위에는 제1 배향막(90)이 형성되어 있다. 제1 배향막(90)은 상술한 바와 같이 액정층(4)의 액정(100)의 초기 배향이 제1 절연 기판(10)의 평행한 면내에서 제1 및 제2 화소 전극(82, 83)의 길이 방향에 대해 일정한 러빙 각도(Θ)를 갖도록 러빙된 것일 수 있다.

<67> 다음으로 도 2 및 도 4를 참조하여 공통 전극 표시판(3)에 대해 설명하면, 공통 전극 표시판(3)은 제2 절연 기판(110), 블랙 매트릭스(140), 컬러 필터(120), 오버코트막(미도시), 및 공통 전극(130)을 포함한다.

<68> 제2 절연 기판(110)은 투명 유리 또는 플라스틱과 같이 내열성 및 투광성을 갖는 재질로 형성된다. 제2 절연 기판(110) 위는 화소 영역을 구획하는 블랙 매트릭스(140)가 배치된다.

<69> 블랙 매트릭스(140)는 화소 영역을 정의하며, 화소 영역 외의 다른 영역에서 빛이 새는 것을 방지하는 역할을 한다. 이와 같은 블랙 매트릭스(140)는 크롬 또는 크롬 산화물과 같은 금속 또는 금속 산화물이나 유기 블랙 레지스트 등으로 이루어질 수 있다.

<70> 또한, 블랙 매트릭스(140) 사이의 화소 영역에는 적색, 녹색, 청색의 컬러 필터(120)가 순차적으로 배열되어 있다.

<71> 컬러 필터(120)는 적색, 녹색, 및 청색의 필터로 이루어져 있으며, 각 필터마다 특정한 색의 빛을 투과시켜 이를 혼합함으로써, 다양한 색을 표시하도록 한다. 이와 같은 컬러 필터(120)는 스트라이프(stripe), 모자이크(mosaic), 및 델타(delta) 형상 등으로 배치될 수 있다.

<72> 컬러 필터(120) 위에는 유기 물질로 이루어진 오버코트막(미도시)이 형성되어 있다. 오버코트막의 위에는 ITO 또는 IZO 등의 투명한 전도 물질로 이루어진 공통 전극(130)이 형성되어 있다.

<73> 공통 전극(130)은 모든 액정 셀의 공통적인 대향 전극의 역할을 하는 것으로서, 투명한 재료인 ITO로 형성되며, 제1 및 제2 화소 전극(82, 83)의 사이에 위치한다.

<74> 공통 전극(130)이 제1 및 제2 화소 전극(82, 83) 사이의 개구 영역(88) 상에 위치하기 위해서는 개구 영역(88)의 폭(D) 보다 상대적으로 좁은 폭(d)으로 형성된다. 이러한 공통 전극(130)은 제1 및 제2 화소 전극(82, 83)에 평행하게 배열되는 서브 공통 전극(130)을 포함한다. 전술한 바와 같이, 이러한 서브 공통 전극(130)은 공통 전압(Vcom)을 인가받아 제1 및 제2 화소 전극(82, 83)과 함께 전계를 형성하게 된다.

<75> 공통 전극(130) 상에는 제2 배향막(190)이 형성되어 있다. 이 제2 배향막(190)은 박막 트랜지스터 표시판(2)의 제1 배향막(90)의 러빙 방향과 180° 를 이루도록 러빙된 것을 제외하고는 박막 트랜지스터 표시판(2)의 제1 배향막(90)과 실질적으로 동일하므로, 이하 중복되는 설명을 생략한다.

- <76> 이상과 같은 구조의 박막 트랜지스터가 형성된 박막 트랜지스터 표시판(2)과 컬러 필터가 형성되어 있는 공통 전극 표시판(3)이 정렬된 사이에, 수평 배향되고 유전율 이방성($\Delta \varepsilon$)이 0 보다 큰 액정이 포함된다. 유전율 이방성($\Delta \varepsilon$)이 0 보다 큰 액정은 장축이 전계 형성 방향과 평행한 방향으로 배열되는 액정을 말한다. 이러한 액정은 제1 및 제2 박막 트랜지스터(15, 16)의 온, 오프에 따라 액정의 장축이 제1 및 제2 절연 기판(10, 110) 면에 거의 평행하게 동작한다.
- <77> 이어, 도 5a 및 도 5b를 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치에서의 액정의 배열에 대해 설명한다. 도 5a는 도 1의 액정 표시 장치에 포함되는 박막 트랜지스터의 오프 상태에서의 액정 배열을 개략적으로 도시한 평면도이고, 도 5b는 도 1의 액정 표시 장치에 포함되는 박막 트랜지스터의 온 상태에서의 액정 배열을 개략적으로 도시한 단면도이다.
- <78> 먼저, 도 5a를 참조하여 박막 트랜지스터의 오프(off) 상태에서의 액정 배열을 보면, 액정의 초기 배열은 장축이 배향막(90, 190)의 러빙 방향과 평행하게 배열된다. 배향막(90, 190)의 러빙 방향은 제1 또는 제2 화소 전극(82, 83)과 러빙 각도(θ) 만큼 경사를 갖는다. 이와 같은 러빙 각도(θ)는 전술한 바와 같이 $20^\circ \sim 30^\circ$ 를 갖는 것이 바람직하다.
- <79> 박막 트랜지스터 표시판(2)과 공통 전극 표시판(3)의 배향막(90, 190)은 각각 180° 를 이루기 때문에 액정의 초기 배열은 모두가 배향막(90, 190)의 러빙 방향과 평행하게 배열된다. 따라서, 액정의 방향은 제1 및 제2 화소 전극(82, 83)에 대하여 θ 만큼 경사지게 배열된다.
- <80> 다음으로, 도 5b를 참조하여 박막 트랜지스터(15, 16)의 온 상태에서의 액정 배열을 보면, 각각의 박막 트랜지스터(15, 16)가 온(on) 상태가 되면 공통 전극(130)과 제1 화소 전극(82) 및 제2 화소 전극(83) 사이에 전계(E)가 발생된다. 상술한 바와 같이, 공통 전극(130)에는 공통 전압(Vcom)이 인가되며, 제1 화소 전극(82)에는 제1 공통 전압(Vcom)이 인가되고, 제2 화소 전극(83)에는 제2 공통 전압(Vcom)이 인가된다. 이와 같이 각각의 전극에 전압이 인가되면, 제1 화소 전극(82)과 제2 화소 전극(83) 사이에는 횡전계가 발생되며, 공통 전극(130)과 제1 화소 전극(82) 그리고 공통 전극(130)과 제2 화소 전극(83) 사이에는 비스듬한 형태의 전계(E)가 생성된다.
- <81> 이때, 공통 전극(130)과 제1 또는 제2 화소 전극(83) 사이의 평면상의 거리(L)는 수직 거리(H)에 비해 상대적으로 크기 때문에 공통 전극(130)과 제1 또는 제2 화소 전극(83) 사이에도 사실상 횡전계가 형성된다고 볼 수 있다.
- <82> 이와 같이 발생된 전계에 의해 액정은 배향막(90, 190)의 러빙 방향과 같은 초기 배열 상태에서 전계(E)와 같은 방향으로 배열된다.
- <83> 한편, 공통 전극(130)과 제1 또는 제2 화소 전극(83) 사이의 평면상의 수평 거리(L)가 너무 길게 되면, 높은 구동 전압이 필요하며 너무 짧게 형성되면 개구율이 낮아지게 되기 때문에 가장 바람직하게는 $11.5 \sim 14.5 \mu\text{m}$ 를 유지한다.
- <84> 이어, 도 6을 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치에서의 액정의 배열에 대해 설명한다. 도 6은 본 발명의 일 실시예에 따른 액정 표시 장치의 정렬 오차 발생시 박막 트랜지스터의 온 상태에서의 액정 배열을 개략적으로 도시한 단면도이다.
- <85> 박막 트랜지스터 표시판(2)과 공통 전극 표시판(3)이 정확하게 정렬되지 않아 오차가 발생하는 경우에는 공통 전극(130)과 제1 화소 전극(82)과의 거리(L1) 및 공통 전극(130)과 제2 화소 전극(83)과의 거리(L2)가 서로 달라지게 된다. 이에 따라, 일정한 구동 전압이 인가되는 경우, 양 전극 간의 전계(E)가 다르게 형성되게 된다. 즉, 공통 전극(130)과 제1 화소 전극(82) 사이에 형성되는 전계가 기준치보다 낮게 형성되면서, 액정 패널의 개구율이 낮아지게 된다.
- <86> 그러나, 제1 화소 전극(82)과 제2 화소 전극(83) 사이에 형성되는 횡전계는 박막 트랜지스터 표시판(2)과 공통 전극 표시판(3)의 정렬 상태와 무관하게 항상 일정한 전계가 형성되기 때문에 박막 트랜지스터 표시판(2)과 공통 전극 표시판(3)의 정렬에 다소 간의 오차가 발생하는 경우에도 전체적인 전계 형성에는 큰 영향을 주지 않게 된다. 따라서, 액정 표시 장치의 개구율을 높게 유지할 수 있다.
- <87> 이상 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한

정적이 아닌 것으로 이해해야만 한다.

발명의 효과

<88> 상술한 바와 같이, 본 발명의 실시예들에 따른 액정 표시 장치는 전계 형성 전극들 간의 겹치는 면적을 최소화하고, 횡전계 형성이 가능한 구조를 가지며, 다양한 유전율을 이방성을 갖는 액정의 적용이 가능한 구조를 채택하여, 높은 시인성 및 빛 투과율을 갖는다.

도면의 간단한 설명

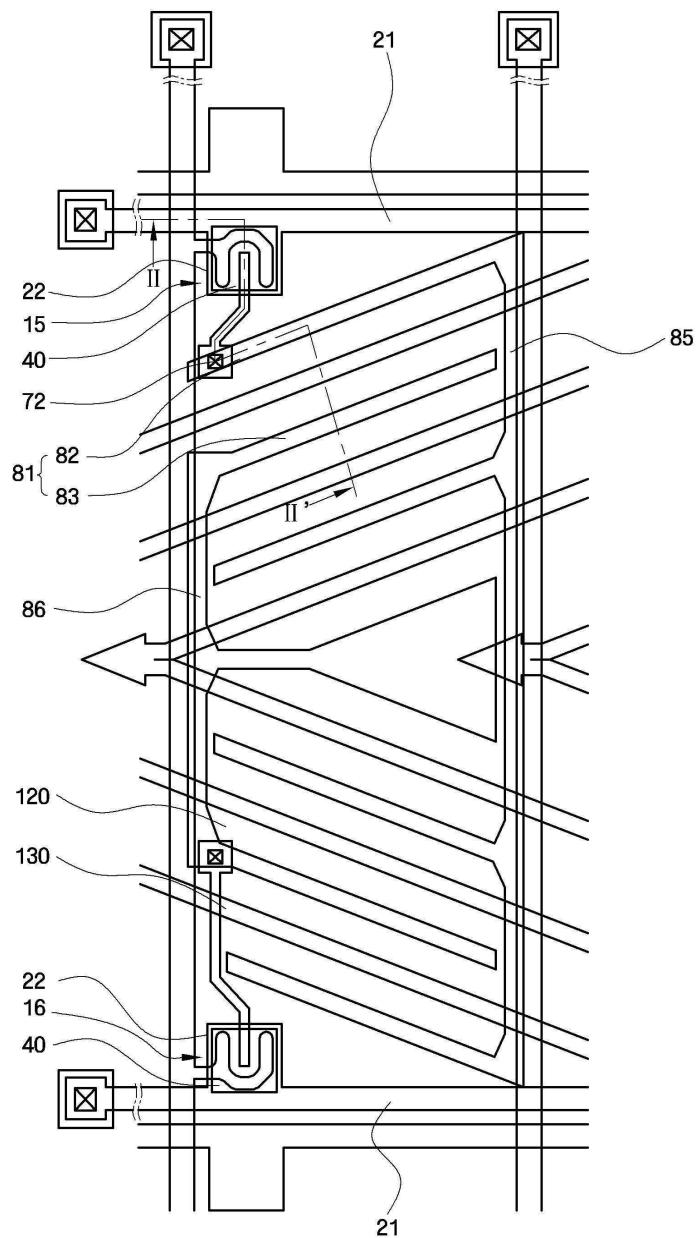
- <1> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 배치도이다.
- <2> 도 2는 도 1의 액정 표시 장치를 II-II' 선으로 절개한 단면도이다.
- <3> 도 3은 도 1의 액정 표시 장치에 포함되는 박막 트랜지스터 표시판의 배치도이다.
- <4> 도 4는 도 1의 액정 표시 장치에 포함되는 공통 전극 표시판의 배치도이다.
- <5> 도 5a는 도 1의 액정 표시 장치에 포함되는 박막 트랜지스터의 오프 상태에서의 액정 배열을 개략적으로 도시한 평면도이다.
- <6> 도 5b는 도 1의 액정 표시 장치에 포함되는 박막 트랜지스터의 온 상태에서의 액정 배열을 개략적으로 도시한 단면도이다.
- <7> 도 6은 본 발명의 일 실시예에 따른 액정 표시 장치의 정렬 오차 발생시 박막 트랜지스터의 온 상태에서의 액정 배열을 개략적으로 도시한 단면도이다.

<8> <도면의 주요부분에 대한 부호의 설명>

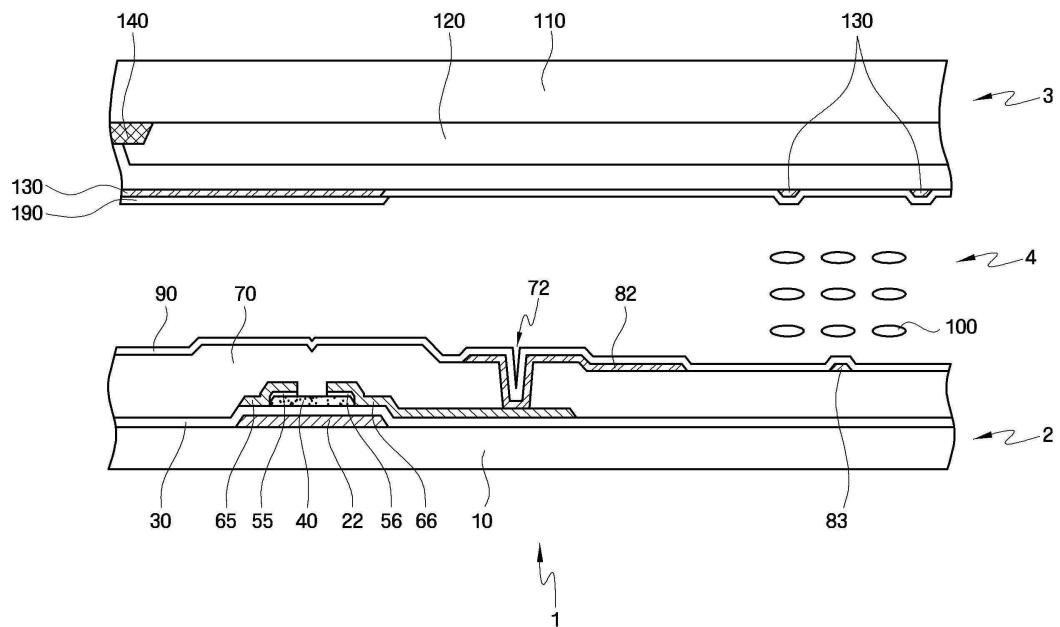
- | | |
|----------------------|-----------------|
| <9> 1: 액정 패널 | 2: 박막 트랜지스터 표시판 |
| <10> 3: 공통 전극 표시판 | 4: 액정층 |
| <11> 10: 제1 절연 기판 | 15: 제1 박막 트랜지스터 |
| <12> 16: 제2 박막 트랜지스터 | 21: 게이트 선 |
| <13> 22: 게이트 전극 | 30: 게이트 절연막 |
| <14> 40: 반도체층 | 55, 56: 접촉성 저항층 |
| <15> 55: 소스 전극 | 56: 드레인 전극 |
| <16> 70: 보호막 | 72: 콘택홀 |
| <17> 82: 제1 화소 전극 | 83: 제2 화소 전극 |
| <18> 85: 제1 연결 전극 | 86: 제2 연결 전극 |
| <19> 88: 개구 영역 | 90, 190: 배향막 |
| <20> 110: 제2 절연 기판 | 120: 컬러 필터 |
| <21> 130: 공통 전극 | |

도면

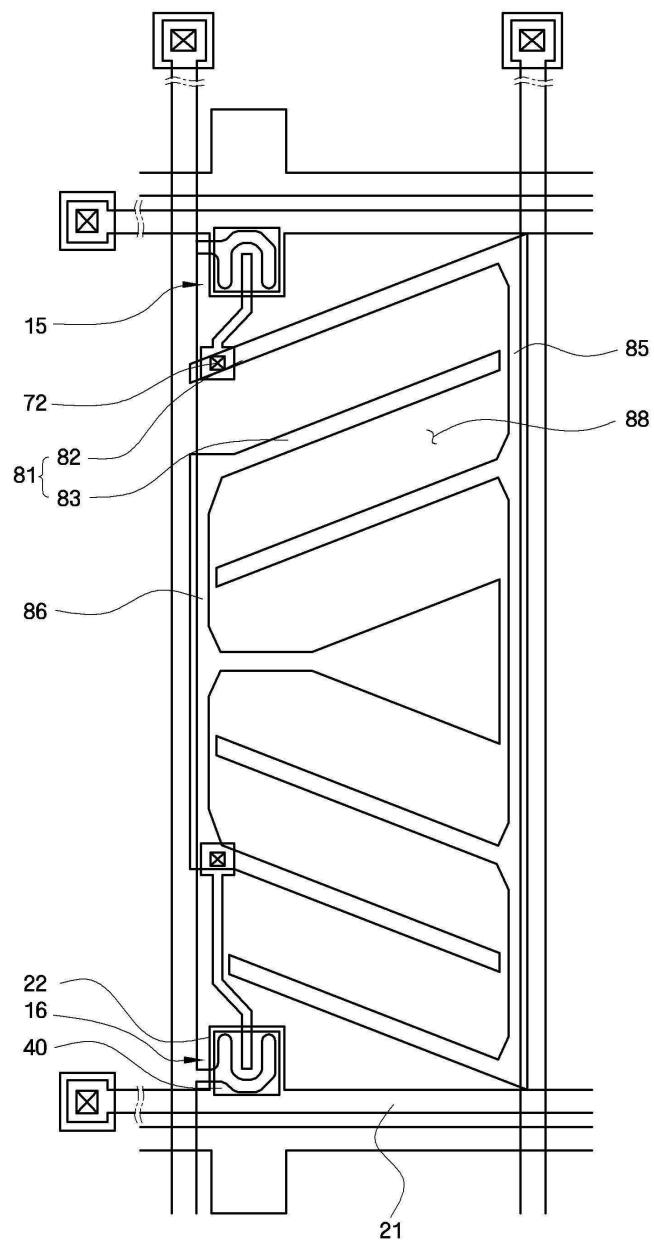
도면1



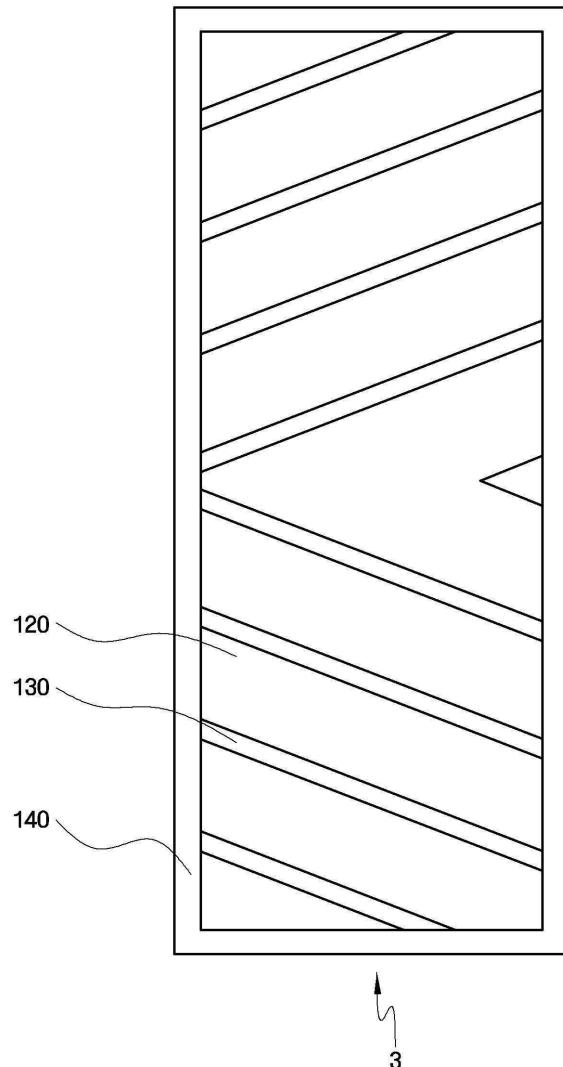
도면2



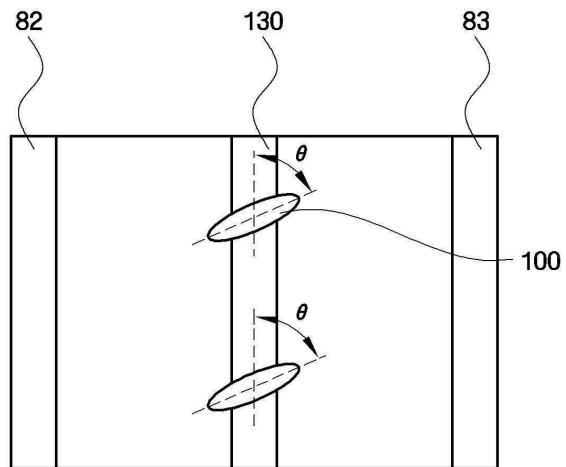
도면3



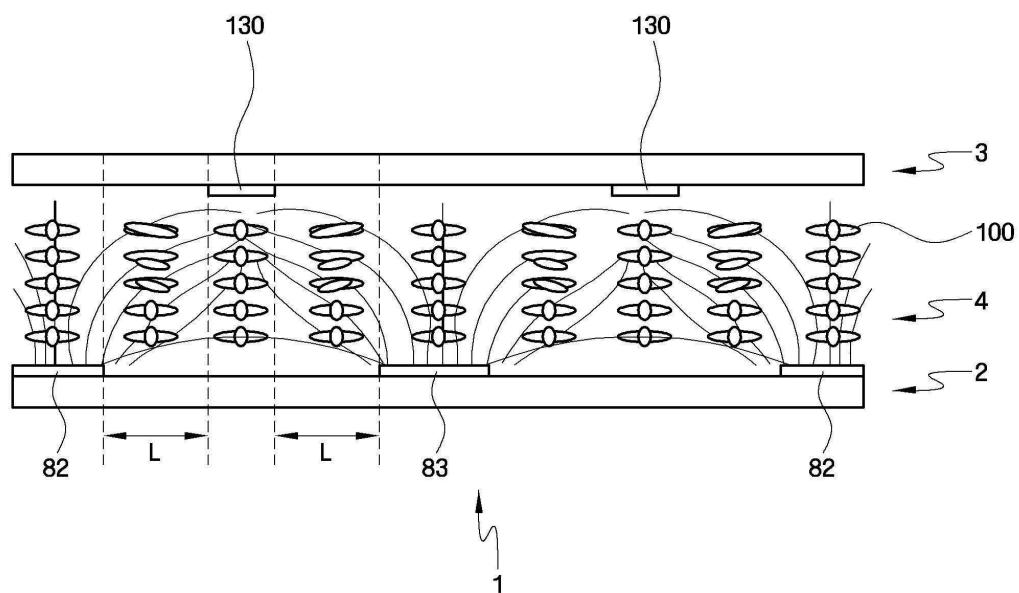
도면4



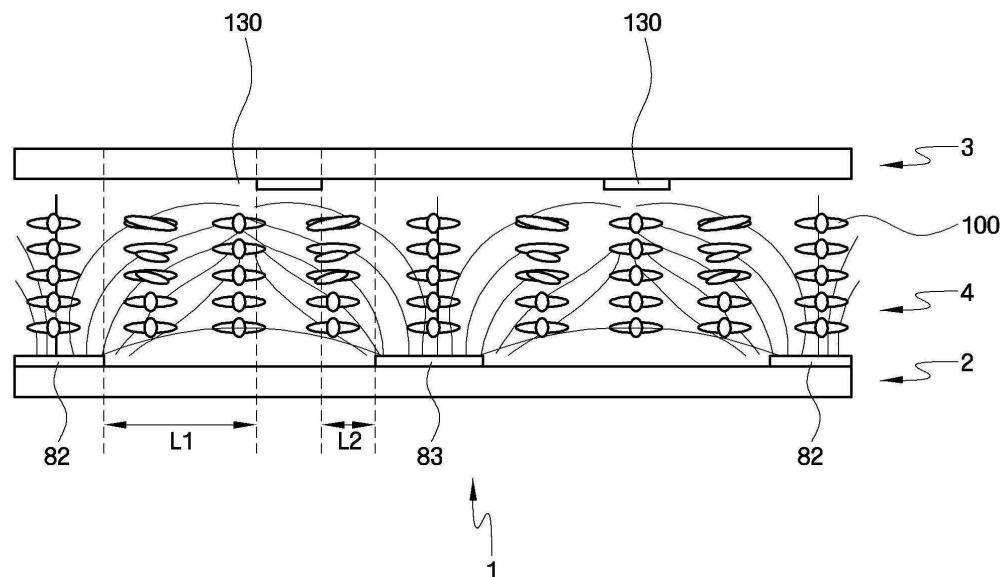
도면5a



도면5b



도면6



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 液晶显示器 | | |
| 公开(公告)号 | KR1020080064563A | 公开(公告)日 | 2008-07-09 |
| 申请号 | KR1020070001606 | 申请日 | 2007-01-05 |
| [标]申请(专利权)人(译) | 三星电子株式会社 | | |
| 申请(专利权)人(译) | 三星电子有限公司 | | |
| 当前申请(专利权)人(译) | 三星电子有限公司 | | |
| [标]发明人 | LU JIANGANG 루지안강 KIM HEE SEOP 김희섭 LEE HYEOK JIN 이혁진 WOO HWA SUNG 우화성 | | |
| 发明人 | 루지안강 김희섭 이혁진 우화성 | | |
| IPC分类号 | G02F1/1343 | | |
| CPC分类号 | G02F1/133707 G02F1/134336 G02F1/136286 G02F1/1368 G02F2201/121 | | |
| 代理人(译) | JEONG , SANG BIN | | |
| 外部链接 | Espacenet | | |

摘要(译)

提供一种具有改善的可见度和透射率的液晶显示装置。该液晶显示装置包括多个第一绝缘基板的，设置布置在所述多个第一像素电极的基板上的第一电介质，被以条纹形状形成在第一绝缘基板平行地形成在彼此分开和第一像素电极第一薄膜晶体管，设置在第一绝缘基板上并连接到第一像素电极以施加第一数据电压，第二薄膜晶体管设置在第一绝缘基板上并连接到第二像素电极，一种薄膜晶体管面板，包括第二薄膜晶体管，该第二薄膜晶体管包括用于向第一像素电极和第二绝缘基板施加电压的第一薄膜晶体管和第二薄膜晶体管，以及包括电极的公共电极板，其中第一数据电压和第二数据电压具有电压差。

