



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년06월12일
(11) 등록번호 10-1274696
(24) 등록일자 2013년06월05일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G09G 3/20 (2006.01)
(21) 출원번호 10-2006-0120255
(22) 출원일자 2006년11월30일
심사청구일자 2011년10월28일
(65) 공개번호 10-2008-0049572
(43) 공개일자 2008년06월04일
(56) 선행기술조사문헌
KR1020060108933 A*
KR1020050037022 A
KR1020050063566 A
KR1020040035376 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
홍성일
경북 칠곡군 석적면 중리 224-1 LG Philips LCD
중리기숙사 204동206호
김화영
경기도 수원시 장안구 수성로275번길 133, 1002호
(정자동, 신미주아파트)
(74) 대리인
김용인, 박영복

전체 청구항 수 : 총 21 항

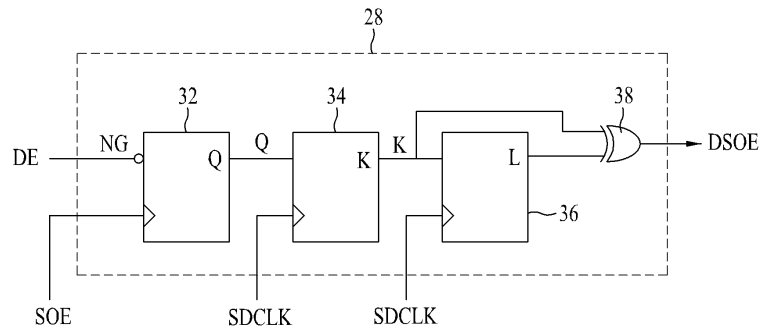
심사관 : 이성현

(54) 발명의 명칭 액정 표시장치의 구동장치와 그의 구동방법

(57) 요약

본 발명은 확산 주파수로 인해 불안정하게 발생된 제어신호를 보정하여 화면의 표시불량을 방지할 수 있는 액정 표시장치의 구동장치 및 그의 구동방법에 관한 것으로, 영상을 표시하는 영상 표시부를 포함하는 액정패널, 상기 액정패널을 구동하는 게이트 및 데이터 집적회로, 및 외부로부터의 동기신호를 이용하여 게이트 및 데이터 제어신호를 생성하고 상기 게이트 및 데이터 제어신호 중 적어도 하나의 제어신호를 외부로부터의 동기신호에 따라 지연시켜서 상기 게이트 및 데이터 집적회로에 공급하는 타이밍 컨트롤러를 포함하는 것을 특징으로 한다.

대표도 - 도4



특허청구의 범위**청구항 1**

영상을 표시하는 영상 표시부를 포함하는 액정패널;

상기 액정패널을 구동하는 게이트 및 데이터 집적회로;

외부로부터의 동기신호를 이용하여 게이트 및 데이터 제어신호를 생성하고 상기 게이트 및 데이터 제어신호 중 적어도 하나의 제어신호를 외부로부터의 동기신호에 따라 지연시켜서 상기 게이트 및 데이터 집적회로에 공급하는 타이밍 컨트롤러; 및

확산 스펙트럼 방식에 따라 상기 동기신호 중 도트클럭의 주파수를 확산하여 확산 도트클럭을 생성하고, 상기 확산 도트클럭을 상기 타이밍 컨트롤러에 공급하는 확산 스펙트럼 집적회로를 구비한 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 타이밍 컨트롤러는

외부로부터의 디지털 영상 데이터를 정렬하여 상기 데이터 집적회로로 출력하는 영상 처리부와,

상기 게이트 제어신호를 생성하여 상기 게이트 집적회로를 제어하는 게이트 제어신호 생성부와,

상기 데이터 제어신호를 생성하여 상기 데이터 집적회로를 제어하는 데이터 제어신호 생성부와,

상기 동기신호를 이용하여 상기 게이트 및 데이터 제어신호 중 적어도 하나의 제어신호를 지연시켜서 상기 게이트 및 데이터 집적회로에 공급함으로써 상기 제어신호를 보정하는 지연부를 포함하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 4

제 3 항에 있어서,

상기 지연부는

상기 동기신호와 상기 게이트 또는 데이터 제어신호에 따라 검출신호를 발생하는 검출부와,

상기 확산 도트클럭을 카운트하여 카운트 된 기간만큼 상기 검출신호를 지연시켜서 제 1 지연신호로 발생하는 제 1 카운터와,

상기 확산 도트클럭을 카운트하여 카운트 된 기간만큼 상기 제 1 지연신호를 지연시켜서 제 2 지연신호로 발생하는 제 2 카운터와,

상기 제 1 및 제 2 지연신호의 논리 상태에 따라 보정된 제어신호를 발생하는 XOR 게이트를 포함하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 5

제 4 항에 있어서,

상기 검출부는

상기 동기신호를 입력받는 제 1 입력단자와,

상기 게이트 및 데이터 제어신호를 입력받는 제 2 입력단자, 및

상기 동기신호와 상기 게이트 및 데이터 제어신호의 논리 상태를 비교하여 비교된 결과에 따라 하이 또는 로우

상태로 검출신호를 반전시켜서 출력하는 플립플롭 소자인 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 6

제 5 항에 있어서,

상기 검출부는

상기 제 1 입력단자로 입력되는 상기 동기신호의 논리 상태를 반전시키는 NOT 게이트를 더 구비한 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 7

제 5 항에 있어서,

상기 제 1 카운터는

상기 검출신호를 입력받는 제 1 입력단자와,

상기 확산 도트클럭을 입력받는 제 2 입력단자와,

상기 검출신호의 논리 상태가 반전된 시점에 상기 확산 도트클럭을 카운트하여 카운트 된 기간만큼 상기 검출신호를 지연시켜서 상기 제 1 지연신호로 출력하는 출력단자를 포함하는 카운터 회로인 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 8

제 7 항에 있어서,

상기 제 2 카운터는

상기 제 1 지연신호를 입력받는 제 1 입력단자와,

상기 확산 도트클럭을 입력받는 제 2 입력단자와,

상기 제 1 지연신호의 논리 상태가 반전된 시점에 상기 확산 도트클럭을 카운트하여 카운트 된 기간만큼 제 1 지연신호를 지연시켜서 상기 제 2 지연신호를 출력하는 출력단자를 포함하는 카운터 회로인 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 9

제 8 항에 있어서,

상기 동기신호는

데이터 인에이블 신호, 확산 도트클럭, 수직 동기신호 및 수평 동기신호 중 적어도 하나의 신호인 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 10

제 9 항에 있어서,

상기 게이트 제어신호는

게이트 스타트 펄스, 게이트 쉬프트 클럭, 게이트 출력 인에이블 중 적어도 하나의 신호인 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 11

제 10 항에 있어서,

상기 데이터 제어신호는

소스 출력 인에이블, 소스 스타트 펄스, 소스 쉬프트 클럭, 극성 제어신호 중 적어도 하나의 신호인 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 12

제 1 항에 있어서,

상기 데이터 집적회로는

상기 액정패널의 제 1 데이터 라인들에 이븐 영상 데이터를 공급하는 제 1 데이터 집적회로들과,

상기 액정패널의 제 2 데이터 라인들에 오드 영상 데이터를 공급하는 제 2 데이터 집적회로들을 포함하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 13

제 12 항에 있어서,

상기 액정 표시장치는

전원회로가 실장된 인쇄회로기판과,

상기 제 1 및 제 2 데이터 집적회로가 각각 실장되어 상기 인쇄회로기판과 액정패널 간에 부착되는 복수의 데이터 테이프 캐리어 패키지와,

상기 게이트 집적회로가 실장되어 상기 액정패널에 부착되는 복수의 게이트 테이프 캐리어 패키지를 더 포함하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 14

외부로부터의 동기신호 중 도트클럭의 주파수를 확산하여 확산 도트클럭을 생성하는 단계;

상기 확산 도트클럭을 포함한 상기 동기신호를 이용하여 게이트 및 데이터 제어신호를 생성하는 단계; 및

상기 게이트 및 데이터 제어신호 중 적어도 하나의 제어신호를 상기 동기신호에 따라 지연시켜서 출력하는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 15

제 14 항에 있어서,

상기 게이트 및 데이터 제어신호 중 적어도 하나의 제어신호를 지연시켜서 출력하는 단계는

상기 동기신호와 상기 게이트 또는 데이터 제어신호에 따라 검출신호를 발생하는 단계와,

상기 동기신호 중 상기 확산 도트클럭을 카운트하여 카운트 된 기간만큼 상기 검출신호를 지연시켜서 제 1 지연신호로 발생하는 단계와,

상기 확산 도트클럭을 카운트하여 카운트 된 기간만큼 상기 제 1 지연신호를 지연시켜서 제 2 지연신호로 발생하는 단계와,

상기 제 1 및 제 2 지연신호의 논리 상태에 따라 보정된 제어신호를 발생하는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 16

제 15 항에 있어서,

상기 검출신호를 발생하는 단계는

상기 동기신호를 입력받는 단계와,

상기 게이트 및 데이터 제어신호를 입력받는 단계와,

상기 동기신호와 상기 게이트 및 데이터 제어신호의 논리 상태를 비교하여 비교된 결과에 따라 하이 또는 로우 상태로 검출신호를 반전시켜서 출력하는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 17

제 15 항에 있어서,

상기 검출신호를 발생하는 단계는

상기 동기신호의 논리 상태를 반전시켜서 입력받는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 18

제 17 항에 있어서,

상기 제 1 지연신호를 발생하는 단계는

상기 검출신호를 입력받는 단계와,

상기 확산 도트클럭을 입력받는 단계와,

상기 검출신호의 논리 상태가 반전된 시점에 상기 확산 도트클럭을 카운트하여 카운트 된 기간만큼 상기 검출신호를 지연시켜서 상기 제 1 지연신호로 출력하는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 19

제 18 항에 있어서,

상기 제 2 지연신호를 발생하는 단계는

상기 제 1 지연신호를 입력받는 단계와,

상기 확산 도트클럭을 입력받는 단계와,

상기 제 1 지연신호의 논리 상태가 반전된 시점에 상기 확산 도트클럭을 카운트하여 카운트 된 기간만큼 상기 제 1 지연신호를 지연시켜서 상기 제 2 지연신호로 출력하는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 20

제 19 항에 있어서,

상기 동기신호는

데이터 인에이블 신호, 확산 도트클럭, 수직 동기신호 및 수평 동기신호 중 적어도 하나의 신호인 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 21

제 20 항에 있어서,

상기 게이트 제어신호는

게이트 스타트 펄스, 게이트 쉬프트 클럭, 게이트 출력 인에이블 중 적어도 하나의 신호인 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 22

제 21 항에 있어서,

상기 데이터 제어신호는

소스 출력 인에이블, 소스 스타트 펄스, 소스 쉬프트 클럭, 극성 제어신호 중 적어도 하나의 신호인 것을 특징으로 하는 액정 표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0013] 본 발명은 액정 표시장치에 관한 것으로, 특히 확산 주파수로 인해 불안정하게 발생된 제어신호를 보정하여 화면의 표시불량을 방지할 수 있는 액정 표시장치의 구동장치 및 이의 구동방법에 관한 것이다.
- [0014] 통상의 액정 표시장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다. 이를 위하여 액정 표시장치는 화소영역들이 매트릭스 형태로 배열된 액정패널과 액정패널을 구동하기 위한 구동회로를 구비한다.
- [0015] 액정패널은 다수의 게이트 라인과 다수의 데이터 라인에 의해 정의되는 각 화소영역에 형성된 박막 트랜지스터(TFT; Thin Film Transistor)와, TFT에 접속된 액정 캐패시터를 구비한다. 액정 캐패시터는 액정과 그리고 액정에 전계를 인가하기 위한 화소전극과 공통전극을 포함한다. 화소전극들은 스위칭 소자인 TFT와 접속된다. TFT는 게이트 라인으로부터의 출력펄스에 응답하여 데이터 라인으로부터의 데이터 신호를 화소전극에 공급한다. 액정 캐패시터는 화소전극에 공급된 데이터 신호와 공통전극에 공급된 공통전압의 차전압을 충전하고, 그 차전압에 따라 액정 분자들의 배열을 가변시켜 광투과율을 조절함으로써 계조를 구현한다. 그리고 액정 캐패시터에는 스토리지 캐패시터가 병렬로 접속되어 액정 캐패시터에 충전된 전압이 다음 데이터 신호가 공급될 때까지 유지되게 한다. 스토리지 캐패시터는 화소전극이 이전 게이트 라인과 절연막을 사이에 두고 중첩되어 형성된다. 이와 달리 스토리지 캐패시터는 화소전극이 스토리지 라인과 절연막을 사이에 두고 중첩되어 형성되기도 한다.
- [0016] 구동회로는 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버와, 게이트 드라이버와 데이터 드라이버를 제어하기 위한 제어신호를 공급하는 타이밍 컨트롤러를 포함한다.
- [0017] 게이트 드라이버는 타이밍 컨트롤러로부터의 게이트 제어신호에 응답하여 스캔펄스 즉, 게이트 하이펄스를 순차적으로 발생하는 쉬프트 레지스터를 포함한다. 이를 위해, 게이트 드라이버는 상기 쉬프트 레지스터를 가지는 복수의 게이트 드라이버 집적회로를 구비한다.
- [0018] 데이터 드라이버는 액정패널의 데이터 라인들 각각에 아날로그 화상신호를 공급하기 위한 복수의 데이터 집적회로를 구비한다. 각 데이터 집적회로는 타이밍 컨트롤러로부터 공급되는 데이터 제어신호에 따라 타이밍 컨트롤러로부터 정렬된 데이터 신호를 아날로그 영상신호로 변환하여 게이트 라인들에 스캔펄스가 공급되는 1수평 주기마다 1수평 라인분의 아날로그 화상신호를 데이터 라인들로 공급한다. 즉, 각 데이터 집적회로는 데이터 신호의 계조 수에 대응되는 서로 다른 전압값을 가지는 복수의 감마전압을 생성하고, 데이터 신호의 계조값에 따라 하나의 감마전압을 상기 아날로그 화상신호로 선택하여 데이터 라인들로 공급한다.
- [0019] 타이밍 컨트롤러는 외부로부터 공급되는 디지털 영상 데이터를 액정패널의 구동에 알맞도록 정렬하여 데이터 드라이버에 공급한다. 또한, 타이밍 컨트롤러는 외부로부터 입력되는 동기신호 예를 들어, 도트클럭, 데이터 인에이블 신호, 수평 및 수직 동기신호를 이용하여 게이트 제어신호와 데이터 제어신호를 생성하여 데이터 드라이버와 게이트 드라이버 각각의 구동 타이밍을 제어한다.
- [0020] 특히, 타이밍 컨트롤러는 게이트 및 데이터 드라이버로 전송되는 각종 제어신호들 및 영상 데이터 신호들 간의 전자기적 간섭(EMI; Electromagnetic Interference)을 줄이기 위하여 확산 스펙트럼(Spread Spectrum) 방식에 따라 특정한 주파수 범위 내에서 게이트 및 데이터 제어신호들을 생성하게 된다. 다시 말하여, 타이밍 컨트롤러는 확산된 도트클럭을 이용하여 게이트 및 데이터 제어신호들을 생성하기도 하는데 이때, 게이트 및 데이터 제어신호들이 확산된 도트클럭에 따라 특정한 주파수 범위 내에서 흔들리는 형태를 가지게 되고 이에 따라, EMI가 상쇄되는 효과를 얻을 수 있다.
- [0021] 이러한 주파수 확산을 위하여, 액정 표시장치의 구동장치는 외부로부터 입력되는 도트클럭의 주파수를 확산시켜서 타이밍 컨트롤러로 공급하기 위한 확산 스펙트럼 집적회로를 더 구비한다. 여기서, 확산 스펙트럼 집적회로는 입력된 도트클럭을 주파수 변조하고, 변조된 주파수에 따라 위상 동기 루프(PLL; Phase-Locked Loop)를 이용하여 발진 주파수를 조정함으로써 특정한 범위 내에서 일정한 주기로 변화하는 확산 도트클럭을 출력하게 된다.
- [0022] 하지만, 확산 주파수의 변화 범위가 특정 주파수 범위 즉, 미리 설정된 범위 이하 또는 이상으로 변화하는 경우 도트클럭의 확산 범위 또한 특정 범위 이하 또는 이상으로 불안정하게 변화하게 된다. 이로 인해, 확산된 도트클럭을 이용하여 생성된 게이트 및 데이터 제어신호가 불안정하게 발생하게 되어 표시화면의 불량을 초래하게

된다.

[0023] 예를 들어, 확산 주파수가 200kHz 이상으로 변화하는 경우에 도트클럭의 확산 범위 즉, 확산 도트클럭의 확산 주기가 확산 주파수에 대응하여 200kHz 이상으로 가하게 된다. 이에 따라, 데이터 인에이블 신호, 소스 출력 인에이블 신호, 소스 쉬프트 클럭 등의 데이터 제어신호 주기가 각각 변화하여 서로 매칭되지 못하고 불안정하게 발생된다. 이 경우, 데이터 드라이버로부터의 아날로그 영상 데이터가 각 데이터 라인으로 제대로 공급되지 못하여 표시화면의 불량을 초래하게 된다.

발명이 이루고자 하는 기술적 과제

[0024] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로 주파수 확산에 의해 불안정하게 발생된 제어신호를 보정하여 화면의 표시불량을 방지할 수 있는 액정 표시장치의 구동장치 및 이의 구동방법을 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

[0025] 상기와 같은 문제점을 해결하기 위한 본 발명의 실시예에 따른 액정 표시장치의 구동장치는 영상을 표시하는 영상 표시부를 포함하는 액정패널, 상기 액정패널을 구동하는 게이트 및 데이터 집적회로, 및 외부로부터의 동기신호를 이용하여 게이트 및 데이터 제어신호를 생성하고 상기 게이트 및 데이터 제어신호 중 적어도 하나의 제어신호를 외부로부터의 동기신호에 따라 지연시켜서 상기 게이트 및 데이터 집적회로에 공급하는 타이밍 컨트롤러를 포함하는 것을 특징으로 한다.

[0026] 또한, 상기와 같은 문제점을 해결하기 위한 본 발명의 실시예에 따른 액정 표시장치의 구동방법은 외부로부터의 동기신호 중 도트클럭의 주파수를 확산하여 확산 도트클럭을 생성하는 단계, 상기 확산 도트클럭을 포함한 상기 동기신호를 이용하여 게이트 및 데이터 제어신호를 생성하는 단계, 및 상기 게이트 및 데이터 제어신호 중 적어도 하나의 제어신호를 상기 동기신호에 따라 지연시켜서 출력하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

[0027] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정 표시장치의 구동장치와 그의 구동방법을 구체적으로 살펴보면 다음과 같다.

[0028] 도 1은 본 발명의 실시예에 따른 액정 표시장치의 구동장치를 나타낸 구성도이다.

[0029] 도 1에 도시된 액정 표시장치의 구동장치는 영상을 표시하는 영상 표시부(2)를 포함하는 액정패널(4)과, 영상 표시부(2)에 스캔펄스를 공급하기 위한 복수의 게이트 집적회로(GD)와, 영상 표시부(2)에 아날로그 영상 데이터를 공급하는 복수의 데이터 집적회로(DDe1 내지 DDon)와, 외부로부터의 디지털 영상 데이터를 액정패널(4)의 구동에 알맞도록 정렬하여 각 데이터 집적회로(DDe1 내지 DDon)로 공급함과 아울러 각 게이트 및 데이터 집적회로(GD, DDe1 내지 DDon)를 제어하기 위해 게이트 및 데이터 제어신호들을 생성하고, 생성된 제어신호 중 불안정하게 발생된 제어신호를 외부로부터의 동기신호에 따라 지연시킴으로써 안정적으로 보정하여 출력하는 타이밍 컨트롤러(8)를 포함한다.

[0030] 여기서, 본 발명의 실시예에 따른 영상 표시장치의 구동장치는 확산 스펙트럼 방식에 따라 외부로부터 입력된 도트클럭(DCLK; Dot Clock)의 주파수를 확산하여 확산 도트클럭(SDCLK; Spectrum Dot Clock)을 생성하고, 생성된 SDCLK를 타이밍 컨트롤러(8)에 공급하는 확산 스펙트럼 집적회로가 더 구비되기도 한다.

[0031] 또한, 본 발명의 실시예에 따른 영상 표시장치의 구동장치는 타이밍 컨트롤러(8)와 도시하지 않은 전원회로가 실장된 인쇄회로기판(Printed Circuit Board)(10)과, 각 데이터 집적회로(DDe1 내지 DDon)가 실장되어 인쇄회로기판(10)과 액정패널(4) 간에 부착되는 복수의 데이터 테이프 캐리어 패키지(TCP; Tape Carrier Package, 12)와 각 게이트 집적회로(GD)가 실장되어 액정패널(4)에 부착되는 복수의 게이트 TCP(16)를 더 구비한다.

[0032] 각 데이터 TCP(12)는 TAB(Tape Automated Bonding) 방식에 의해 인쇄회로기판(10)과 액정패널(4) 간에 부착된다. 이때, 각 데이터 TCP(12)의 입력패드들은 인쇄회로기판(10)에 전기적으로 접속되고, 출력패드들은 액정패널(4)의 데이터 패드에 전기적으로 접속된다. 이러한, 각 데이터 TCP(12) 상에는 이른 데이터 집적회로를 나타내는 제 1 데이터 집적회로(De1 내지 DDen) 및 오드 데이터 집적회로를 나타내는(DDo1 내지 DDon)가 실장된다.

[0033] 각 게이트 TCP(16)는 TAB 방식에 의해 액정패널(4)의 게이트 패드에 전기적으로 접속된다. 이러한, 각 게이트 TCP(16) 상에는 게이트 집적회로(GD)가 실장된다.

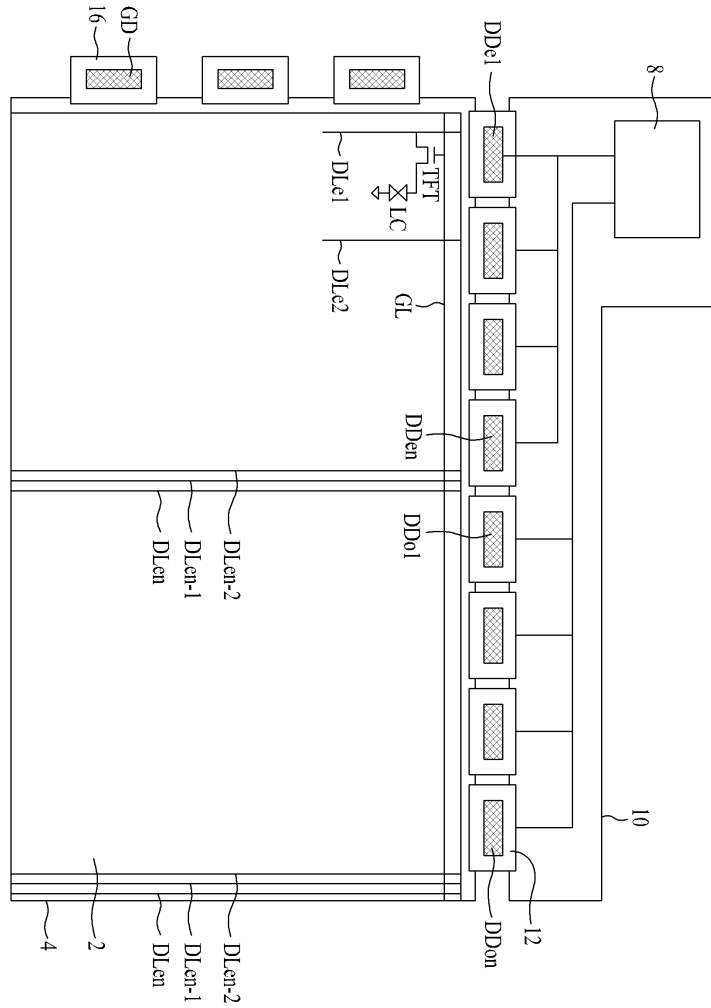
- [0034] 인쇄회로기판(10)에는 타이밍 컨트롤러(8), 도시되지 않은 전원회로 및 각 데이터 집적회로(DDe1 내지 DDon)에 기준 감마전압을 공급하기 위한 도시되지 않은 기준 감마전압 생성부 등이 실장된다. 또한, 인쇄회로기판(10)에는 각 구성요소들 간의 전기적인 접속되는 신호배선들이 형성된다.
- [0035] 영상 표시부(2)는 이븐 데이터 라인인 제 1 데이터 라인(DLe1 내지 DLen) 및 오드 데이터 라인인 제 2 데이터 라인(DLo1 내지 DLon)과 복수의 게이트 라인(GL)이 교차하여 매트릭스 형태로 형성된 액정셀들(LC)을 포함한다. 이러한 영상 표시부(2)는 매트릭스 형태로 형성된 이븐 및 오드 액정셀들(LC)의 광투과율을 조절한다. 각 액정셀(LC)은 복수의 게이트 라인(GL)과 제 1 및 제 2 데이터 라인(DLe1 내지 DLen, DLo1 내지 DLon)의 교차점에 접속된 스위칭 소자인 박막 트랜지스터(TFT)를 포함한다. 여기서, 제 1 데이터 라인(DLe1 내지 DLen)은 제 1 데이터 집적회로(DDe1 내지 DDen)로부터 아날로그 영상신호를 공급받는다. 그리고 제 2 데이터 라인(DLo1 내지 DLon)은 제 2 데이터 집적회로(DDo1 내지 DDon)로부터 아날로그 영상신호를 공급받는다. 이러한 액정셀들(LC)은 등가적으로 캐패시터로 표현되며 충전된 아날로그 영상신호 즉, 충전된 화소신호가 다음 화소신호가 충전될 때까지 안정적으로 유지되게 하기 위하여 도시되지 않은 스토리지 캐패시터를 더 구비한다. 이와 같은, 이븐 및 오드 액정셀(LC)은 박막 트랜지스터를 통해 충전되는 화소신호에 따라 유전 이방성을 가지는 액정의 배열상태를 가변시킴으로써 광투과율을 조절하여 화상을 표시하게 된다.
- [0036] 게이트 집적회로(GD)는 타이밍 컨트롤러(8)로부터의 게이트 제어신호 예를 들어, 게이트 스타트 신호(GSP; Gate Start Pulse), 게이트 쉬프트 클럭(GSC; Gate shift Clock), 게이트 출력 인에이블(GOE; Gate Output Enable) 신호 등을 이용하여 각 게이트 라인들(GL)에 스캔펄스를 공급한다. 다시 말하여, 게이트 집적회로(GD)는 타이밍 컨트롤러(8)로부터의 GSP를 GSC에 따라 쉬프트 시켜서 게이트 라인들(GL)에 순차적으로 게이트 하이전압의 스캔펄스를 공급한다. 그리고 게이트 라인들(GL)에 스캔펄스가 공급되지 않는 기간에는 게이트 로우전압을 공급한다. 여기서, 게이트 집적회로는(GD) 스캔펄스의 펄스폭을 GOE 신호에 따라 제어한다.
- [0037] 제 1 데이터 집적회로(DDe1 내지 DDen)는 타이밍 컨트롤러(8)로부터의 데이터 제어신호 예를 들어, 소스 스타트 신호(SSP; Source Start Pulse), 소스 쉬프트 클럭(SSC; Source shift Clock), 소스 출력 인에이블(SOE; Source Output Enable) 신호 등을 이용하여 이븐 데이터 라인인 제 1 데이터 라인(DLe1 내지 DLen)에 아날로그 영상 데이터를 공급한다. 다시 말하여, 제 1 데이터 집적회로(DDe1 내지 DDen)는 SSC에 따라 입력되는 디지털 영상 데이터를 래치한 후 SOE 신호에 응답하여 라인 단위로 출력한다. 이때, 제 1 데이터 집적회로(DDe1 내지 DDen)는 라인 단위의 디지털 영상 데이터를 아날로그 영상 데이터로 변환하여 출력한다. 구체적으로, 제 1 데이터 집적회로(DDe1 내지 DDen)는 라인 단위의 디지털 영상 데이터를 도시되지 않은 감마 전압부로부터의 감마전압을 이용하여 아날로그 영상 데이터로 변환하고 이를 제 1 데이터 라인(DLe1 내지 DLen)으로 출력한다. 여기서, 제 1 데이터 집적회로(DDe1 내지 DDen)는 디지털 영상 데이터를 아날로그 영상 데이터로 변환할 때 타이밍 컨트롤러(8)로부터의 POL(Polarity) 신호에 응답하여 아날로그 영상 데이터의 극성을 결정하게 된다. 그리고, 제 1 데이터 집적회로(DDe1 내지 DDen)는 SOE 신호에 응답하여 아날로그 영상 데이터가 이븐 데이터 라인(DLe1 내지 DLen)에 공급되는 기간을 결정하게 된다.
- [0038] 또한, 제 2 데이터 집적회로(DDo1 내지 DDon)는 제 1 데이터 집적회로(DDe1 내지 DDen)와 마찬가지로 타이밍 컨트롤러(8)로부터의 데이터 제어신호를 이용하여 오드 데이터 라인인 제 2 데이터 라인(DLo1 내지 DLon)에 아날로그 영상 데이터를 공급한다. 다시 말하여, 제 2 데이터 집적회로(DDo1 내지 DDon) 또한 SSC에 따라 입력되는 디지털 영상 데이터를 래치한 후 SOE 신호에 응답하여 라인 단위로 출력한다. 이때, 제 2 데이터 집적회로(DDo1 내지 DDon)는 라인 단위의 디지털 영상 데이터를 아날로그 영상 데이터로 변환하여 출력한다. 구체적으로, 제 2 데이터 집적회로(DDo1 내지 DDon)는 라인 단위의 디지털 영상 데이터를 감마 전압부로부터의 감마전압을 이용하여 아날로그 영상 데이터로 변환하고, 이를 제 2 데이터 라인(DLo1 내지 DLon)으로 출력한다. 여기서, 제 2 데이터 집적회로(DDo1 내지 DDon)는 디지털 영상 데이터를 아날로그 영상 데이터로 변환할 때 타이밍 컨트롤러(8)로부터의 POL 신호에 응답하여 아날로그 영상 데이터의 극성을 결정하게 된다. 그리고, 제 2 데이터 집적회로(DDo1 내지 DDon)는 SOE 신호에 응답하여 아날로그 영상 데이터가 제 2 데이터 라인(DLo1 내지 DLon)에 공급되는 기간을 결정하게 된다.
- [0039] 확산 스펙트럼 집적회로는 외부 시스템으로부터 입력되는 DCLK의 주파수를 미리 설정된 범위의 확산률로 확산하여 SDCLK을 발생한다. 이에 따라, 타이밍 컨트롤러(8)에서 생성되는 게이트 및 데이터 제어신호들의 주파수는 일정하게 유지되지 않고 SDCLK에 따라 그 주기가 변환하게 된다. 여기서, 확산 스펙트럼 주파수는 액정 표시장치의 크기, 용도 및 구동방법에 따라 다르게 설정될 수 있다. 하지만 본 발명에서는 확산 스펙트럼 주파수 설정 범위가 100kHz 내지 200kHz로 설정된 경우만을 설명하기로 한다.

- [0040] 타이밍 컨트롤러(8)는 외부로부터 입력되는 유효 데이터 구간을 알리는 데이터 인에이블(DE; Data Enable), 수직 동기신호(이하, Vsync), 수평 동기신호(이하, Hsync) 등의 동기신호들을 이용하여 게이트 및 데이터 제어신호를 생성한다. 다시 말하여, 타이밍 컨트롤러(8)는 확산 스펙트럼 집적회로로부터의 SDCLK와 외부로부터의 동기신호들을 이용하여 게이트 집적회로(GD)와 제 1 및 제 2 데이터 집적회로(DDe1 내지 DDon)를 제어하는 게이트 및 데이터 제어신호를 생성한다. 여기서, 게이트 집적회로(GD)를 제어하는 게이트 제어신호는 GOE, SSP, GSC 등을 포함하며, 데이터 제어신호는 SSP, SOE, SSC, POL 등을 포함한다.
- [0041] 이하, 도 2를 참조하여 본 발명의 실시예에 따른 타이밍 컨트롤러를 좀 더 구체적으로 설명하면 다음과 같다.
- [0042] 도 2는 도 1에 도시된 타이밍 컨트롤러를 나타낸 구성도이고, 도 3은 동기신호들과 게이트 및 데이터 제어신호를 나타낸 파형도이다.
- [0043] 도 2에 도시된 타이밍 컨트롤러(8)는 SDCLK, DE, Vsync, Hsync 등의 동기신호를 이용하여 액정패널(4)의 구동에 알맞도록 외부로부터의 영상 데이터(RGB)를 정렬하여 출력하는 영상 처리부(22)와, 게이트 제어신호(GCS)를 생성하여 게이트 집적회로(GD)를 제어하는 게이트 제어신호 생성부(24)와, 데이터 제어신호(DCS)를 생성하여 제 1 및 제 2 데이터 집적회로(DDe1 내지 DDon)를 제어하는 데이터 제어신호 생성부(26)와, SDCLK 및 DE 신호 등의 동기신호를 이용하여 게이트 및 데이터 제어신호(GCS,DCS) 중 적어도 하나의 신호를 지연시킴으로써 보다 안정적으로 제어신호를 보정하는 지연부(28)를 포함한다.
- [0044] 영상 처리부(22)는 입력되는 영상 데이터(RGB)를 액정패널(4)의 구동에 알맞도록 정렬하여 제 1 및 제 2 데이터 집적회로(DDe1 내지 DDon)로 공급한다. 다시 말하여, 영상 처리부(22)는 DE, SDCLK 등의 동기신호에 응답하여 영상 데이터(RGB)를 제 1 데이터(even Data) 및 제 2 데이터(odd Data)로 나누어 정렬한다. 그리고 제 1 데이터(even Data)는 제 1 데이터 집적회로(DDe1 내지 DDen)로 공급하고, 제 2 데이터(odd Data)는 제 2 데이터 집적회로(DDo1 내지 DDon)로 공급한다.
- [0045] 게이트 제어신호 생성부(24)는 SDCLK, DE, Hsync, Vsync 등의 동기신호를 이용하여 GSP, GSC, GOE를 포함하는 게이트 제어신호(GCS)를 생성하고 이를 게이트 집적회로(GD)에 공급한다. 이때, 게이트 제어신호 생성부(24)는 Vsync를 기준으로 한 프레임의 시작을 알리는 GSP를 생성하고, Hsync를 기준으로 GSC를 생성하게 된다.
- [0046] 데이터 제어신호 생성부(26)는 SDCLK, DE, Hsync, Vsync 등의 동기신호를 이용하여 SSP, SSC, POL, SOE를 포함하는 데이터 제어신호(DCS)를 생성하여 제 1 및 제 2 데이터 집적회로(DDe1 내지 DDon)에 공급한다. 이때, 데이터 제어신호 생성부(26)는 전체 한 라인 중 유효한 데이터 구간을 나타내는 DE 신호를 기준으로 한 라인의 시작을 알리는 SSP를 생성하고, Hsync를 기준으로 제 1 및 제 2 데이터 집적회로(DDe1 내지 DDon)의 출력을 알리는 SOE 신호를 생성한다.
- [0047] 지연부(28)는 SDCLK, DE 신호 등에 따라 불안정하게 발생된 게이트 제어신호(GCS) 및 데이터 제어신호(DCS)를 안정적으로 보정한다. 다시 말하여, SDCLK를 이용하여 GSP, GSC, GOE, SSP, SOE, SSC 등의 제어신호를 생성하면 SDCLK의 확산 주파수 가변에 따라 GSP, GSC, GOE, SSP, SOE, SSC 등의 제어신호들 각각의 발생 주기, 펄스 폭 등이 가변하게 된다.
- [0048] 예를 들어, SOE와 GOE 신호의 경우 DE 신호의 폴링 에지 시점으로부터 SDCLK를 카운트하여 발생하게 된다. 이때, 도 5의 T1 시점과 같이, SDCLK의 주파수가 일정한 범위 이상 예를 들어, 200kHz 이상으로 발생되면 SOE 신호의 라이징 시점이 DE의 폴링 에지 시점과 동일한 시점에서 발생되기도 한다. 이와 같이, SOE 신호가 미리 설정된 주기보다 앞서서 발생하는 경우 SOE 신호의 펄스 폭이 가변되기도 하고 제 1 및 제 2 영상 데이터(even Data, odd Data)의 출력기간이 가변되기도 한다. 따라서, 지연부(28)는 SDCLK의 주파수 가변에 따라 GSP, GSC, GOE, SSP, SOE, SSC 등의 제어신호(GCS,DCS) 각각의 발생 주기, 펄스 폭 등이 가변하게 되는 불안정한 상태를 보정하게 된다.
- [0049] 다시 말하여, 지연부(28)는 DE, SDCLK 등의 동기신호를 카운트하여 각 제어신호(GCS,DCS)를 지연시킴으로써 각 제어신호(GCS,DCS)를 안정적으로 보정한다. 예를 들어, 데이터 제어신호(DCS) 중 SOE 신호의 경우 DE, SDCLK 등의 동기신호를 이용하여 미리 설정된 기간만큼 지연시킴으로써 DSOE (DSOE; Delay Source Output Enable) 신호를 발생할 수 있다.
- [0050] 또한, 지연부(28)는 DE, SDCLK 등의 동기신호가 아닌 게이트 및 데이터 제어신호(GCS,DCS) 중 적어도 하나의 제어신호를 이용하여 다른 제어신호를 지연시킬 수도 있다. 예를 들어, 데이터 제어신호 생성부(28)로부터의 SOE 신호를 지연시키는 경우 DE, SDCLK 등의 동기신호가 아닌 SSC를 카운트하여 지연시킬 수도 있다.

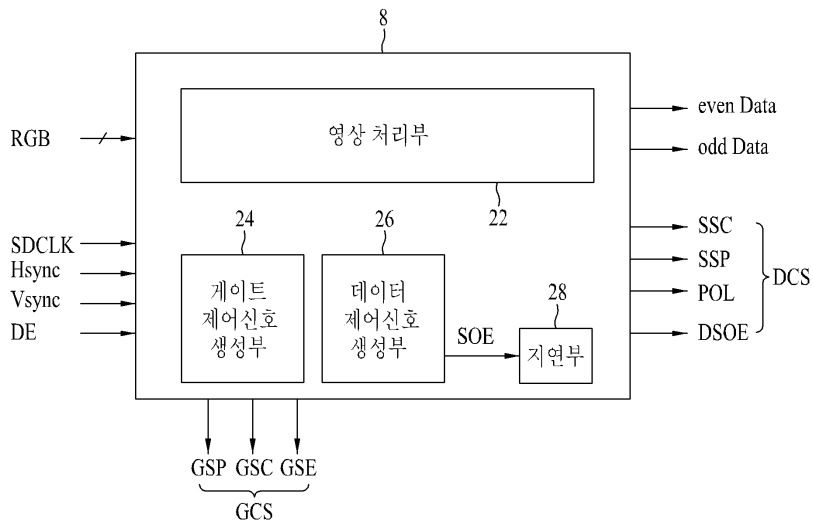
- [0051] 도 4는 도 2에 도시된 지연부를 나타낸 구성도이고, 도 5는 도 4에 도시된 지연부의 입/출력 신호를 나타낸 파형도이다.
- [0052] 도 4에 도시된 지연부(28)는 외부로부터의 DE 신호와 데이터 제어신호 생성부(26)로부터의 SOE 신호에 따라 논리상태가 반전되는 검출신호(Q)를 발생하는 검출부(32)와, 확산 스펙트럼 집적회로로부터의 SDCLK를 카운트하여 카운트된 기간만큼 검출신호(Q)를 지연시켜서 제 1 지연신호(K)를 발생하는 제 1 카운터(34)와, SDCLK를 카운트하여 카운트된 기간만큼 제 1 지연신호(K)를 지연시켜서 제 2 지연신호(L)를 발생하는 제 2 카운터(36)와, 제 1 및 제 2 지연신호(K,L)에 따라 하이 또는 로우 논리상태의 DSOE 신호를 발생하는 XOR 게이트(Exclusive OR Gate, 38)를 포함한다.
- [0053] 검출부(32)는 DE 신호를 입력받는 제 1 입력단자와, 데이터 제어신호 생성부(26)로부터의 SOE 신호를 입력받는 제 2 입력단자 및 DE 신호와 SOE 신호에 따라 논리 상태가 반전된 검출신호(Q)를 출력하는 출력단자를 구비한다. 여기서, 제 1 입력단자에는 NOT 게이트(NG)가 더 구비된다.
- [0054] NOT 게이트(NG)에 입력되는 DE 신호의 로우 구간은 블랭크(Blank) 구간이며, DE 신호의 하이 구간은 유효 데이터 구간이다. 하지만, 본 발명에서는 DE 신호의 입력 단자에 NOT 게이트(NG)가 구비되므로 검출부(32)에 입력된 신호는 유효 데이터 구간과 블랭크 구간이 반대된 즉, 논리 상태가 반전된 신호를 의미한다.
- [0055] 이에 따라, 제 1 입력단자에는 수평 라인 단위 또는 프레임 단위로 논리 상태가 반전되는 즉, 하이 또는 로우 상태로 반전되는 DE 신호를 입력받는다. 그리고 제 2 입력단자에 입력되는 SOE 신호와 동기된 시점 즉, T1 시점과 같이 DE 신호와 SOE 신호가 하이 또는 로우의 논리상태가 동기된 시점마다 논리상태가 교번적으로 반전 즉, 하이 또는 로우 상태로 반전되도록 검출신호(Q)를 발생한다.
- [0056] 여기서, 검출부(32)는 D-플립플롭, SR-플립플롭, JK 플립플롭 등의 제어소자나 스위칭 소자 등이 사용될 수 있다.
- [0057] 제 1 카운터(34)는 검출신호(Q)를 입력받는 제 1 입력단자와, SDCLK를 입력받는 제 2 입력단자 및 SDCLK를 카운트하여 카운트된 기간만큼 검출신호(Q)를 지연시켜서 제 1 지연신호(K)를 출력하는 출력단자를 포함하는 카운터 회로로 구성될 수 있다. 이러한 제 1 카운터(34)는 검출부(32)로부터 입력되는 검출신호(Q)의 논리 상태가 반전된 시점 즉, T1 시점마다 제 2 입력단자로 입력되는 SDCLK를 카운트한다. 그리고 카운트된 기간(T2) 만큼 검출신호(Q)를 지연시켜서 제 1 지연신호(K)를 출력한다. 이때, SDCLK를 카운트하는 기간(T2)은 2배수의 클럭 수로 미리 설정할 수 있다. 예를 들어, SDCLK의 폴링 에지를 8개 카운트하도록 설정한다면, 제 1 카운터(34)는 검출신호(Q)의 논리상태가 반전될 때(T1)마다 SDCLK를 8개씩 카운트하고 8개 카운트한 기간(T2) 동안 지연시킨 제 1 지연신호(K)를 출력한다. 이때, 제 1 지연신호(K)는 제 2 카운터(36) 및 XOR 게이트(38)로 동시에 공급된다. 여기서, SDCLK를 8개씩 카운트하도록 설정한 것은 DSOE 신호의 라이징 시점이 DE 신호의 폴링 에지 시점과 동기되지 않고 DE 신호의 블랭크 구간에 하이 상태로 발생시키기 위한 것으로 SDCLK의 카운트 기간은 DE 신호의 데이터 유효구간 또는 블랭크 구간에 따라 변경하여 설정할 수 있다.
- [0058] 제 2 카운터(36)는 제 1 지연신호(K)를 입력받는 제 1 입력단자와, SDCLK를 입력받는 제 2 입력단자 및 SDCLK를 카운트하여 카운트된 기간만큼 제 1 지연신호(K)를 지연시켜서 제 2 지연신호(L)를 출력하는 출력단자를 포함하는 카운터 회로 구성될 수 있다. 이러한 제 2 카운터(36)는 제 1 지연신호(K)의 논리 상태가 하이 또는 로우 상태로 반전될 때(T3) 마다 제 2 입력단자로 입력되는 SDCLK를 카운트한다. 그리고 카운트된 기간(T4) 만큼 제 1 지연신호(K)를 지연시킨 제 2 지연신호(L)를 출력한다. 이때, SDCLK를 카운트하는 기간(T4)은 2배수의 클럭 수로 미리 설정할 수 있다. 예를 들어, SDCLK의 폴링 에지를 8개 카운트하도록 설정한다면, 제 2 카운터(36)는 제 1 지연신호(K)의 논리상태가 반전될 때마다 SDCLK를 8개씩 카운트하고 8개 카운트한 기간(T4) 동안 지연된 제 2 지연신호(L)를 XOR 게이트(38)로 공급한다. 여기서, SDCLK를 8개씩 카운트하도록 설정한 것은 DSOE 신호가 DE 신호의 폴링 에지 시점과 동기되지 않고 DE 신호의 블랭크(Blank) 구간에 하이 상태로 발생시키기 위한 것으로 SDCLK의 카운트 기간은 DE 신호의 데이터 유효기간 또는 블랭크 기간에 따라 변경하여 설정할 수 있다.
- [0059] XOR 게이트(38)는 제 1 및 제 2 지연신호(K,L)가 각각 입력되는 제 1 및 제 2 입력단자를 구비하고, 제 1 및 제 2 지연신호(K,L)의 논리상태가 서로 다른 기간(T4) 동안 하이 상태의 DSOE 신호를 출력하는 출력단자를 구비한다. 즉, XOR 게이트(38)는 제 1 및 제 2 입력단자에 입력되는 신호의 논리상태가 서로 다를 때 하이 상태의 DSOE 신호를 출력한다. 그리고 제 1 및 제 2 입력단자에 입력되는 신호의 논리상태가 서로 같을 때 로우 상태의 DSOE 신호를 출력한다. 따라서, 하이 상태의 DSOE 신호가 발생하는 기간(T4)은 제 1 지연신호(K)로부터 제 2 지연신호(L)가 지연된 기간 즉, 제 2 카운터(36)가 SDCLK를 8개 카운트한 기간(T4)과 동일하다.

도면

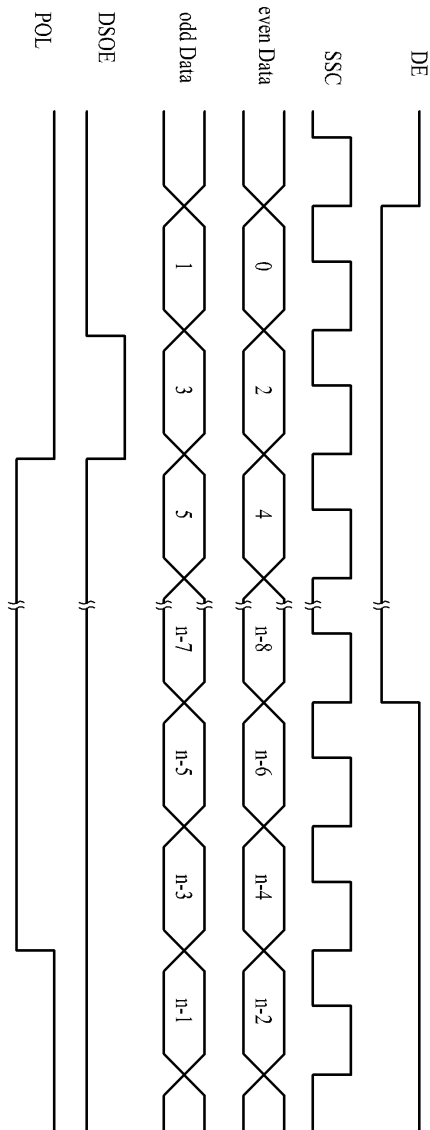
도면1



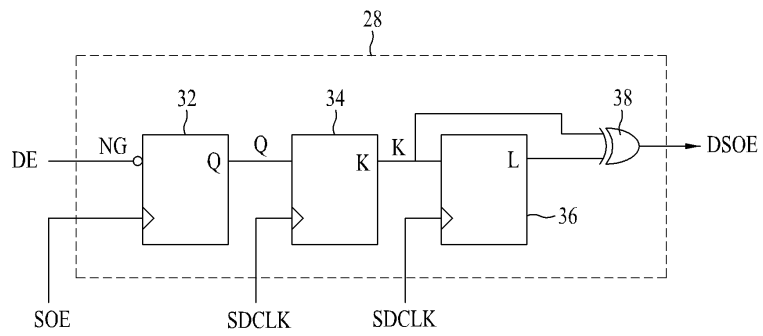
도면2



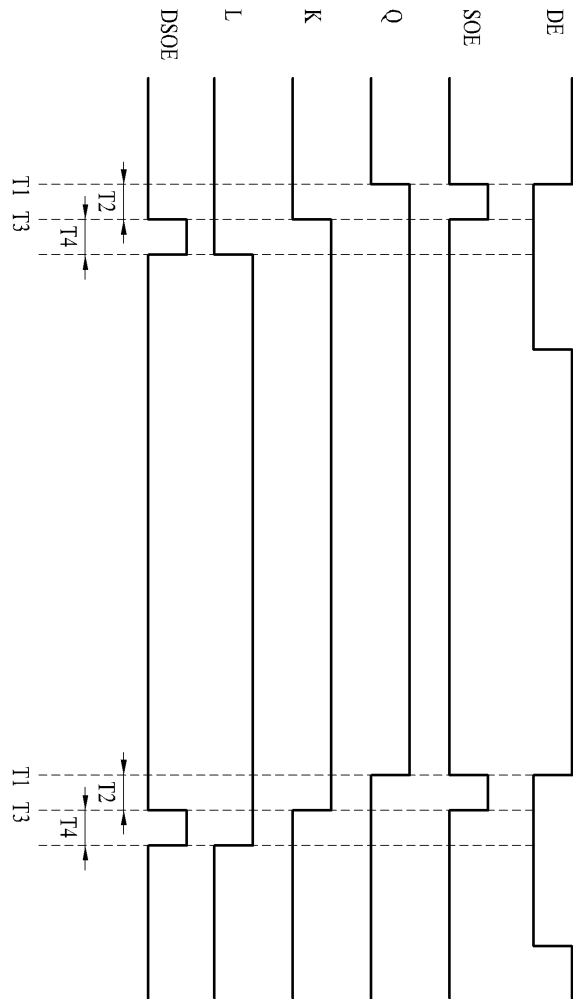
도면3



도면4



도면5



专利名称(译)	标题：液晶显示装置的驱动装置及其驱动方法		
公开(公告)号	KR101274696B1	公开(公告)日	2013-06-12
申请号	KR1020060120255	申请日	2006-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HONG SEONG IL 홍성일 KIM HWA YOUNG 김화영		
发明人	홍성일 김화영		
IPC分类号	G09G3/20 G09G G02F1/133 G02F G09G3/36		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020080049572A		
外部链接	Espacenet		

摘要(译)

提供一种用于驱动LCD（液晶显示器）装置的装置及其驱动方法，以通过扩散点时钟的计数来延迟不稳定的控制信号来执行稳定的补偿。一种用于驱动LCD（液晶显示器）装置的设备包括液晶面板（4），栅极集成电路（GD），数据集成电路（DDel-DDon）和定时控制器（8）。液晶面板包括用于显示图像的图像显示单元。栅极集成电路和数据集成电路驱动液晶面板。时序控制器使用来自外部的同步信号产生栅极和数据控制信号，根据同步信号延迟栅极和数据控制信号中的至少一个，并将延迟的栅极和数据控制信号提供给栅极和数据集成电路。

