



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0088116
G02F 1/1345 (2006.01) (43) 공개일자 2007년08월29일

(21) 출원번호 10-2006-0018312
(22) 출원일자 2006년02월24일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이재경
경기 용인시 기흥읍 상갈리 주공아파트 308-403
임관택
경기 수원시 영통구 영통동 신나무실6단지 신원아파트 644-304

(74) 대리인 남승희

전체 청구항 수 : 총 9 항

(54) 정전기 방전 보호 소자 및 그 제조방법 및 이를 갖는 액정표시 장치

(57) 요약

정전 다이오드로 사용되는 다이오드 접속된 박막 트랜지스터의 제작시 게이트 전극과 활성층 사이에서 발생하는 정전기에 의한 소자 열화를 방지할 수 있는 정전기 방전 보호 소자 및 그 제조방법 및 이를 갖는 액정 표시 장치가 개시된다. 즉, 적어도 한 개 이상의 상기 정전 다이오드의 활성층이 서로 분리되도록 하여 활성층 내에 축적되는 전하량을 줄여 활성층과 방전 라인간의 방전으로 인한 게이트 절연막 및 활성층의 열화를 방지할 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

복수의 방전 라인과 소스 라인 사이에 마련된 정전기 방전 보호 소자에 있어서,

상기 복수의 방전 라인과 상기 소스 라인 사이에 마련된 다이오드 접속된 복수의 트랜지스터를 포함하고, 적어도 한 개 이상의 상기 트랜지스터의 활성층이 서로 분리된 정전기 방전 보호 소자.

청구항 2.

청구항 1에 있어서,

상기 복수의 트랜지스터의 상기 활성층이 각기 분리된 섬 형태인 정전기 방전 보호 소자.

청구항 3.

청구항 1에 있어서,

적어도 2개 이상의 상기 트랜지스터의 상기 활성층이 서로 분리된 정전기 방전 보호 소자.

청구항 4.

청구항 1에 있어서,

상기 트랜지스터 각각은 상기 방전 라인에 접속된 게이트 전극과, 상기 게이트 전극 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성된 상기 활성층과, 상기 활성층 상에 형성되어 상기 소스 라인에 접속된 소스 전극과 상기 방전 라인에 접속된 드레인 전극을 포함하는 정전기 방전 보호 소자.

청구항 5.

기판 상에 복수의 방전 라인과 이와 접속된 게이트 전극을 형성하는 단계;

상기 방전 라인과 상기 게이트 전극이 형성된 상기 기판 상에 게이트 절연막 및 활성층을 형성하는 단계;

상기 게이트 전극 상의 상기 활성층을 패터닝하되, 적어도 한 개 이상의 상기 방전 라인 상의 상기 활성층이 서로 분리되도록 패터닝 하는 단계를 포함하는 정전기 방전 보호 소자의 제조 방법.

청구항 6.

청구항 5에 있어서,

상기 게이트 전극 상의 상기 활성층이 섬 형태로 마련되도록 패터닝 하는 정전기 방전 보호 소자의 제조 방법.

청구항 7.

복수의 게이트 라인과,

이와 교차하는 복수의 소스 라인과,

상기 게이트 라인과 상기 소스 라인 사이에 마련된 화소 전극과,

상기 화소 전극, 상기 게이트 라인 및 상기 소스 라인에 접속된 박막 트랜지스터와,

상기 화소 전극 상에 마련된 공통 전극과,

상기 화소 전극과 상기 공통 전극 사이에 마련된 액정 층과,

상기 복수의 소스 라인과 교차하는 복수의 방전 라인과,

상기 복수의 방전 라인과 상기 소스 라인 사이에 마련된 다이오드 접속된 복수의 트랜지스터를 포함하고, 적어도 한 개 이상의 상기 트랜지스터의 활성층이 서로 분리된 정전기 방전 보호 소자를 포함하는 액정 표시 장치.

청구항 8.

청구항 7에 있어서,

상기 복수의 트랜지스터의 상기 활성층이 각기 분리된 섬 형태인 액정 표시 장치.

청구항 9.

청구항 7에 있어서,

적어도 2개 이상의 상기 트랜지스터의 상기 활성층이 서로 분리된 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 정전기 방전 보호 소자, 그 제조방법 및 이를 갖는 액정 표시 장치에 관한 것으로, 보다 구체적으로는 정전 다이오드로 사용되는 다이오드 접속된 박막 트랜지스터의 제작시 게이트 전극과 활성층 사이에서 발생하는 정전기에 의한 소자 열화를 방지할 수 있는 정전기 방전 보호 소자, 그 제조방법 및 이를 갖는 액정 표시 장치에 관한 것이다.

액정 표시 장치는 액정의 광학적 이방성과 분극 성질을 이용한 것으로, 방향성을 갖고 있는 액정 분자의 배향 방향을 분극성을 이용하여 인위적으로 조절함으로써, 배향 방향에 따른 광학적 이방성으로 빛의 투과 및 차단이 가능해진다.

이러한, 액정 표시 장치의 제작 공정은 대부분 투광성 절연 기판 상에서 수행된다. 절연 기판은 부도체이므로 순간적으로 발생하는 전하가 기판 아래로 분산될 수 없어서 정전기에 매우 취약하다. 이로 인해 유리 기판에 형성된 절연막이나 박막 트랜지스터 등이 정전기에 의해 손상될 가능성이 높아 액정 표시 장치의 불량률 야기시키는 문제가 발생하였다.

이를 위해 액정 표시 장치의 표시 영역 외측에 내부 소자를 보호하기 위한 정전 다이오드를 마련하여 외부 정전기에 의한 소자의 손상을 방지하였다. 하지만, 정전 다이오드도 액정 표시 장치의 표시 영역에 마련되는 소자와 동일한 조건에서 제조되기 때문에 제조 공정시 발생하는 정전기에 의해 정전다이오드가 손상을 입게 되어 외부 정전기로부터 표시 영역 내측의 소자를 보호하지 못하는 문제가 발생하였다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기의 문제점을 해결하기 위해 도출된 것으로서, 표시 영역 외측에 마련되는 정전 다이오드의 활성층 패턴을 변경하여 정전 다이오드 제작 공정시 발생하는 정전기에 의한 정전 다이오드의 열화를 방지할 수 있는 정전기 방전 보호 소자 및 그 제조방법 및 이를 갖는 액정 표시 장치를 제공하는 것을 그 목적으로 한다.

발명의 구성

본 발명에 따른 복수의 방전 라인과 소스 라인 사이에 마련된 정전기 방전 보호 소자에 있어서, 상기 복수의 방전 라인과 상기 소스 라인 사이에 마련된 다이오드 접속된 복수의 트랜지스터를 포함하고, 적어도 한 개 이상의 상기 트랜지스터의 활성층이 서로 분리된 정전기 방전 보호 소자를 제공한다.

여기서, 상기 복수의 트랜지스터의 상기 활성층이 각기 분리된 섬 형태인 것이 바람직하다. 그리고, 적어도 2개 이상의 상기 트랜지스터의 상기 활성층이 서로 분리되는 것이 효과적이다.

상기의 트랜지스터 각각은 상기 방전 라인에 접속된 게이트 전극과, 상기 게이트 전극 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성된 상기 활성층과, 상기 활성층 상에 형성되어 상기 소스 라인에 접속된 소스 전극과 상기 방전 라인에 접속된 드레인 전극을 포함하는 것이 바람직하다.

또한, 본 발명에 따른 기판 상에 복수의 방전 라인과 이와 접속된 게이트 전극을 형성하는 단계와, 상기 방전 라인과 상기 게이트 전극이 형성된 상기 기판 상에 게이트 절연막 및 활성층을 형성하는 단계와, 상기 게이트 전극 상의 상기 활성층을 패터닝하되, 적어도 한 개 이상의 상기 방전 라인의 상기 활성층이 서로 분리되도록 패터닝 하는 단계를 포함하는 정전기 방전 보호 소자의 제조 방법을 제공한다.

상기의 게이트 전극 상의 상기 활성층이 섬 형태로 마련되도록 패터닝 하는 것이 바람직하다.

또한, 본 발명에 따른 복수의 게이트 라인과, 이와 교차하는 복수의 소스 라인과, 상기 게이트 라인과 상기 소스 라인 사이에 마련된 화소 전극과, 상기 화소 전극, 상기 게이트 라인 및 상기 소스 라인에 접속된 박막 트랜지스터와, 상기 화소 전극 상에 마련된 공통 전극과, 상기 화소 전극과 상기 공통 전극 사이에 마련된 액정 층과, 상기 복수의 소스 라인과 교차하는 복수의 방전 라인과, 상기 복수의 방전 라인과 상기 소스 라인 사이에 마련된 다이오드 접속된 복수의 트랜지스터를 포함하고, 적어도 한 개 이상의 상기 트랜지스터의 활성층이 서로 분리된 정전기 방전 보호 소자를 포함하는 액정 표시 장치를 제공한다.

여기서, 상기 복수의 트랜지스터의 상기 활성층이 각기 분리된 섬 형태인 것이 바람직하다. 그리고, 적어도 2개 이상의 상기 트랜지스터의 상기 활성층이 서로 분리되는 것이 효과적이다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

도면에서 여러 층 및 각 영역을 명확하게 표현하기 위하여 두께를 확대하여 표현하였으며 도면상에서 동일 부호는 동일한 요소를 지칭하도록 하였다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 상부에 또는 위에 있다고 표현되는 경우는 각 부분이 다른 부분의 바로 상부 또는 바로 위에 있는 경우뿐만 아니라 각 부분과 다른 부분의 사이에 또 다른 부분이 있는 경우도 포함한다.

도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 평면도이다.

도 2 및 도 3은 일 실시예에 따른 변형예를 설명하기 위한 방전 다이오드 영역의 평면도이다.

도 1을 참조하면, 본 실시예에 따른 액정 표시 장치는 복수의 게이트 라인(10)과, 이와 직교하는 소스 라인(20)과, 상기 게이트 라인(10)과 소스 라인(20) 사이 영역에 마련된 화소 전극(30)과, 상기 게이트 라인(10), 소스 라인(20) 및 화소 전극(30)에 접속되는 복수의 박막 트랜지스터(41, 43, 45, 47; 40)를 포함하고, 상기 화소 전극(30)과 대응하는 공통 전극(미도시)과, 화소 전극(30)과 공통 전극 사이에 마련된 액정층(미도시)을 포함한다. 그리고, 복수의 방전 라인(100)과, 상기 각각의 소스 라인(20)과 방전 라인(100) 사이에 접속된 복수의 방전 다이오드(200)를 포함한다. 이때, 상기의 방전 다이오드(200)는 다이오드 접속된 트랜지스터(210, 220, 230, 240; 200)를 포함한다.

상기 방전 라인(100)은 소스 라인(20)과 직교하는 방향으로 연장되어 있고, 복수의 방전 라인(100)이 소정 간격 이격 배치되는 것이 바람직하다. 방전 라인(100)은 상기 게이트 라인(10)과 동일 면 상에 마련되는 것이 효과적이다. 상기 방전 라인(100) 각각에는 다이오드 접속된 트랜지스터(200)의 게이트 전극(210)이 배치되고, 게이트 전극(210) 상에는 게이트 절연막과 활성층(220)이 마련되어 있다. 상기 활성층(220) 상에는 소스 전극(230)과 드레인 전극(240)이 마련되어 있다. 이때, 상기 드레인 전극(240)은 방전 라인(100)과 접속되어 있는 것이 효과적이다. 상기 도 1에서는 4개의 방전라인(100)이

마련되고, 4개의 방전 라인(100)과 일 소스 라인(20) 사이에 4개의 다이오드 접속된 트랜지스터(200)가 마련됨을 도시하였다. 하지만 이에 한정되지 않고, 상기 방전라인(100)과 다이오드 접속된 박막 트랜지스터(200)의 개수는 다양하게 변화될 수 있다.

이때, 상기 활성층(220)은 도면에 도시된 바와 같이 이웃하는 게이트 전극(210) 상의 활성층(220)들이 서로 이격되도록 패턴되는 것이 바람직하다. 이를 통해 상기 활성층(220)과 게이트 전극(210)의 중첩 영역이 갖는 커패시터의 정전 용량을 줄일 수 있다. 즉, 만일 상기 활성층(220)들이 모두 연결되어 있는 경우, 연결된 활성층(220)이 갖는 전하량은 그 만큼 커질 수 밖에 없지만 이들이 분리되어 있는 경우에는 개개의 활성층(220)이 가질 수 있는 전하량을 줄어 들게 된다. 예를 들어 게이트 전극 상의 모든 활성층(220)이 연결되어 있는 경우에는 80개의 전하량이 연결된 활성층(220) 내에 저장되어 이 80개의 전하가 한곳에 집중되는 경우에는 활성층(220)의 파괴가 발생하게 된다. 하지만, 활성층(220)이 4개의 영역으로 분리된 경우에는 각각의 활성층(220)에는 20개의 전하만이 저장되어 국부적으로 집중될 수 있는 활성층(220)의 개수는 작아질 수 있다.

또한, 본 발명은 이에 한정되지 않고, 적어도 두 개의 게이트 전극(210) 상의 활성층(220)이 연결되고, 연결된 적어도 두 개의 활성층(220)은 이웃하는 활성층(220)들과 분리될 수도 있다. 이는 도 2에 도시된 변형예와 같이 첫번째와 두번째 게이트 전극(210) 상의 두개의 활성층(220a, 220b)이 연결되고, 세번째와 네번째 게이트 전극(210) 상의 두개의 활성층(220c, 220d)이 연결되고, 이와 같이 연결된 첫번째 및 두번째 활성층(220a, 220b)과, 세번째 및 네번째 활성층(220c, 220d)이 이격될 수 있다. 또한, 도 3에 도시된 변형예와 같이 첫번째 내지 세번째 게이트 전극(210) 상의 활성층(220a, 220b, 220c)이 연결되고, 이와 같이 연결된 세개의 활성층(220a, 220b, 220c)과, 네번째 게이트 전극(210) 상의 활성층(220d)이 이격될 수 있다. 이와 같이 본 발명은 방전라인(100)의 개수와 그와 접속되는 게이트 전극(210)의 개수가 한정되지 않기 때문에 복수의 게이트 전극(210) 상에 마련된 활성층(220)들의 연결과 이격에 관해서도 한정되지 않는다. 즉, 활성층(220)에 축적되는 전하를 분산시킬 수 있는 다양한 형태의 활성층 패턴이 가능하다.

하기에서는 상술한 구조를 갖는 본 실시예에 따른 정전 다이오드의 제작 방법을 도면을 참조하여 설명한다.

도 4 내지 도 9는 본 발명의 일 실시예에 따른 정전 다이오드의 제작 방법을 설명하기 위한 도면이다. 도 5는 도 4의 기판을 A-A선에 대해 자른 단면도이고, 도 7은 도 6의 기판을 A-A선에 대해 자른 단면도이고, 도 9는 도 8의 기판을 A-A선에 대해 자른 단면도이다.

도 4 및 도 5를 참조하면, 투광성 절연 기판(101) 상에 제 1 도전성막을 형성한 다음, 이를 제 1 감광막 마스크 패턴(미도시)을 이용한 식각공정을 통해 복수의 방전 라인(100)과 이와 접속된 다이오드 접속된 트랜지스터용 게이트 전극(210)을 형성한다. 이때, 화상을 표시하는 표시 영역에는 복수의 게이트 라인(10)과, 게이트 전극(41)이 형성된다.

상기의 투광성 절연 기판(101)으로 본 실시예에서는 유리 기판을 사용한다. 상기 투광성 절연 기판(101) 상에 CVD법, PVD법 및 스퍼터링법 등을 이용한 증착 방법을 통해 제 1 도전성막을 형성한다. 제 1 도전성막으로는 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 및 Mo/Al/Mo 중 적어도 어느 하나를 사용하는 것이 바람직하다. 물론 이에 한정되지 않고 앞서 설명한 바와 같이 제 1 도전성막으로 Al, Nd, Ag, Cr, Ti, Ta 및 Mo 중 적어도 어느 하나의 금속 또는 이들을 포함하는 합금으로 형성하되, 단일층 및 다중층으로 형성할 수 있다. 이와 같이 전체 기판 상에 제 1 도전성막을 형성한 후, 감광막을 도포한 다음, 제 1 마스크를 이용한 리소그래피 공정을 실시하여 제 1 감광막 마스크 패턴을 형성한다. 제 1 감광막 마스크 패턴을 식각 마스크로 하는 식각공정을 실시하여 일방향으로 연장된 복수의 방전라인(100)과 이와 다이오드 접속된 트랜지스터용 게이트 전극(210)을 형성한다. 이후, 소정의 스트립 공정을 실시하여 제 1 감광막 마스크 패턴을 제거한다. 여기서 일 방전 라인(100) 각각에는 소스 라인과 동일 개수의 게이트 전극(210)이 마련되는 것이 바람직하고, 일 소스 라인과 적어도 한 개 이상의 방전 라인(210)이 중첩되는 것이 효과적이다. 본 도면에서는 일 소스라인에 4개의 방전 라인(100)이 중첩되도록 패턴링 되어 있다.

도 6 및 도 7을 참조하면, 복수의 방전 라인(100)과 다이오드 접속된 트랜지스터용 게이트 전극(210)이 형성된 투광성 절연 기판(101) 상에 게이트 절연막(211), 활성층(220) 및 오믹 접촉층(221)을 순차적으로 형성한 다음 제 2 감광막 마스크 패턴(미도시)을 이용한 식각공정을 실시하여 트랜지스터의 활성영역을 형성한다. 이때, 이웃하는 방전 라인(100) 상의 활성층(220)간이 분리되도록 한다.

전체 기판 상에 PECVD법, 스퍼터링법 등을 이용한 증착 방법을 통해 게이트 절연막(211)을 형성한다. 이때, 게이트 절연막(211)으로는 산화 실리콘 또는 질화 실리콘을 포함하는 무기 절연 물질을 사용하는 것이 바람직하다. 게이트 절연막

(211) 상에 상술한 증착 방법을 통해 활성층(220)과 오믹 접촉층(221)을 형성한다. 활성층(220)으로는 비정질 실리콘층을 사용하는 것이 바람직하다. 오믹 접촉층(221)으로 N형 불순물이 고농도로 도핑된 비정질 실리콘층을 사용하는 것이 바람직하다.

이후, 오믹 접촉층(221) 상에 감광막을 도포한 다음, 제 2 마스크를 이용한 포토리소그래피 공정을 통해 제 2 감광막 마스크 패턴을 형성한다. 상기의 제 2 감광막 마스크 패턴을 식각 마스크로 하고, 게이트 절연막(211)을 식각 정지막으로 하는 식각 공정을 실시하여 활성층(220) 및 오믹 접촉층(221)을 제거하여 게이트 전극(210) 상부에 활성영역을 형성하는 것이 효과적이다. 이때, 표시 영역의 게이트 전극 상에도 활성 영역이 마련된다. 소정의 스트립 공정을 실시하여 잔류하는 제 2 감광막 마스크 패턴을 제거한다.

이때, 상기 활성영역은 도면에 도시된 바와 같이 게이트 전극(210) 상에 고립된 섬 형태로 마련되는 것이 바람직하다. 또한, 도면에서는 상기 활성층(220)이 게이트 전극(210)을 감싸는 형상으로 도시되었지만 이에 한정되지 않고, 활성층(220)이 게이트 전극(210) 상측 영역내에 마련될 수도 있다. 그리고, 후속 공정을 통해 제작되는 드레인 전극과 접속되도록 상기 활성층 외측의 방전 라인 상부에 마련된 게이트 전극의 일부를 제거할 수도 있다.

물론 본 발명은 이에 한정되지 않고, 앞선 도 2 및 도 3의 변형예에서 설명한 바와 같이 적어도 한 개 이상의 방전 라인(100) 상의 활성층(220)이 서로 분리되도록 활성층(220)을 패터닝 할 수 있다.

이와 같이 본 실시예에서는 인접한 게이트 전극(210) 상의 활성층(220)을 물리적/전기적으로 분리시켜 주어 앞서 설명한 바와 같이 게이트 전극(210) 상의 활성층(220) 내에 축적되는 전하량을 줄일 수 있다.

이는 액정 표시 장치에서 사용하는 트랜지스터의 제조 공정시 앞서 설명한 활성층(220)을 식각하는 공정과 이후 수행될 소스/드레인 형성을 위한 도전성막의 증착 공정 사이에서 정전기 발생이 많아진다. 이에, 복수 방전 라인(100) 상의 활성층(220)이 모두 연결되어 있는 경우에는 활성층(220) 내에 충전될 수 있는 전하량이 증가하게 되고, 이로 인해 정전기가 발생하게 되면 전하가 일부영역에 물리적으로 되어 그 하부에 있는 방전 라인(110) 및 게이트 전극(210)과의 사이에서 방전이 발생하여 게이트 절연막(211) 및 활성층(220)을 열화시키는 문제가 발생하게 된다. 따라서, 본 실시예와 같이 적어도 한 개 이상의 방전 라인(100) 상의 활성층(220)이 분리되도록 할 경우, 분리된 활성층(220)이 수용할 수 있는 전하량이 그만큼 줄어들게 되어 동일한 마찰에 의한 정전기 발생시 게이트 전극(210)과의 방전으로 인한 게이트 절연막(211) 및 활성층(220)의 열화를 방지할 수 있게 된다.

도 8 및 도 9를 참조하면, 활성층(220) 및 오믹 접촉층(221)이 패터닝된 기판(101) 상에 제 2 도전성막을 형성한 다음 제 3 감광막 마스크 패턴(미도시)을 이용한 식각 공정을 실시하여 소스 라인(20)과, 소스 전극(230) 및 드레인 전극(240)을 포함하는 다이오드 접속된 트랜지스터(200)를 형성한다. 이를 통해 소스 라인(20)과 방전 라인(100) 사이에 방전 다이오드가 마련된다.

CVD, PVD 또는 스퍼터링용 증착 장치를 이용하여 기판 상에 제 2 도전성막을 형성하되, 제 2 도전성막으로는 Mo, Al, Cr, Ti 및 이들의 합금을 포함하는 금속으로 제작하되 금속 단일층 또는 다중층으로 제작하는 것이 바람직하다. 물론 이에 한정되지 않고, 게이트 전극과 동일한 물질을 사용할 수도 있다. 본 실시예에서는 제 2 도전성막으로 제 1 몰리브덴막(Mo), 알루미늄막(Al) 및 제 2 몰리브덴막(Mo)이 순차적으로 적층된 구조의 금속 박막을 사용하는 것이 효과적이다.

상기의 제 2 도전성막 상에 감광막을 도포 한 다음 제 3 마스크를 이용한 포토리소그래피 공정을 통해 제 3 감광막 마스크 패턴을 형성한다. 이후, 제 3 감광막 마스크 패턴을 식각 마스크로 하는 식각 공정을 실시하여 제 2 도전성막을 제거하여 소스 라인(20)을 형성하고, 소스 라인(20)과 접속되어 게이트 전극(210)과 그 일부가 중첩되는 소스 전극(230)과 드레인 전극(240)을 형성하여 다이오드 접속된 트랜지스터(200)를 형성한다. 소스 라인(20)은 방전 라인(100)과 수직한 방향으로 연장되어 있다. 이때, 표시 영역에 마련된 게이트 전극 상에도 소스 전극과 드레인 전극이 형성되어 박막 트랜지스터가 형성된다.

상기 식각 공정은 제 2 도전성막을 제거하여 소스 전극(230)과 드레인 전극(240)을 형성하는 제 1 식각과 소스 전극(230)과 드레인 전극(240) 사이 영역의 오믹 접촉층(221)을 제거하는 제 2 식각을 포함한다. 이후, 소정의 감광막 스트립 공정을 통해 제 3 감광막 마스크 패턴을 제거한다.

발명의 효과

상술한 바와 같이, 본 발명은 복수의 방전 라인과 소스 라인 사이에 마련된 복수의 정전 다이오드 간의 활성층이 분리되도록 하여, 활성층 내에 축적되는 전하량을 줄여 활성층과 방전 라인간의 방전으로 인한 게이트 절연막 및 활성층의 열화를 방지할 수 있다.

본 발명을 첨부 도면과 전술된 바람직한 실시예를 참조하여 설명하였으나, 본 발명은 그에 한정되지 않으며, 후술되는 특허청구범위에 의해 한정된다. 따라서, 본 기술분야의 통상의 지식을 가진 자라면 후술되는 특허청구범위의 기술적 사상에 서 벗어나지 않는 범위 내에서 본 발명을 다양하게 변형 및 수정할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 평면도.

도 2 및 도 3은 일 실시예에 따른 변형예를 설명하기 위한 방전 다이오드 영역의 평면도.

도 4 내지 도 9는 본 발명의 일 실시예에 따른 정전 다이오드의 제작 방법을 설명하기 위한 도면.

<도면의 주요 부분에 대한 부호의 설명>

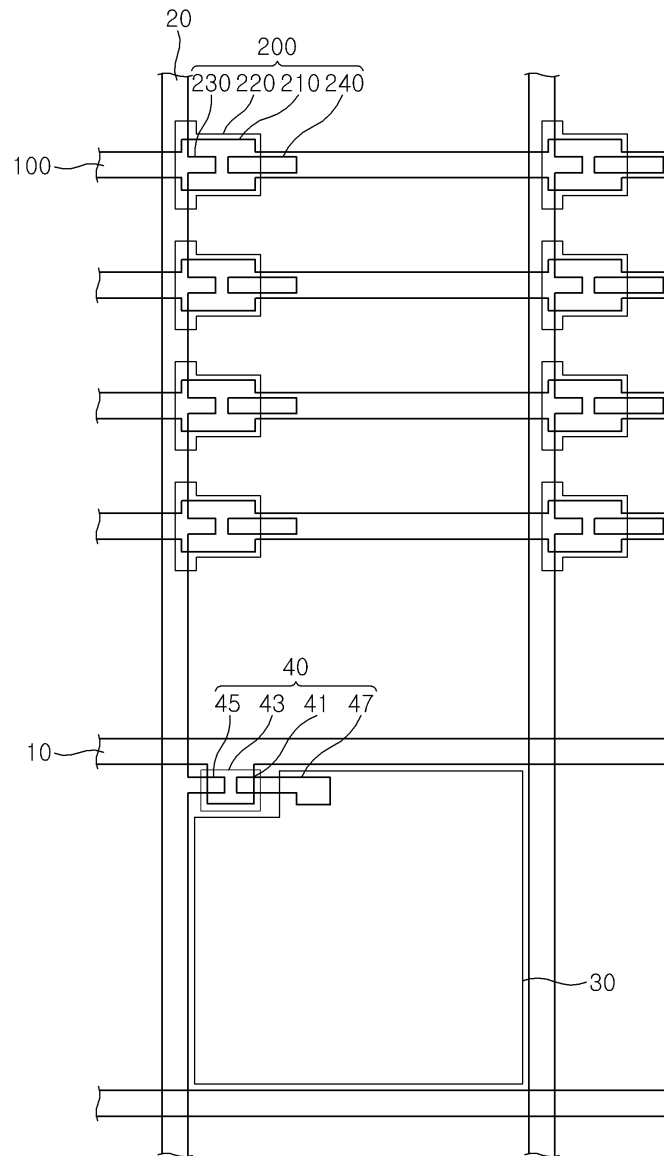
10 : 게이트 라인 20 : 소스 라인

30 : 화소 전극 40 : 박막 트랜지스터

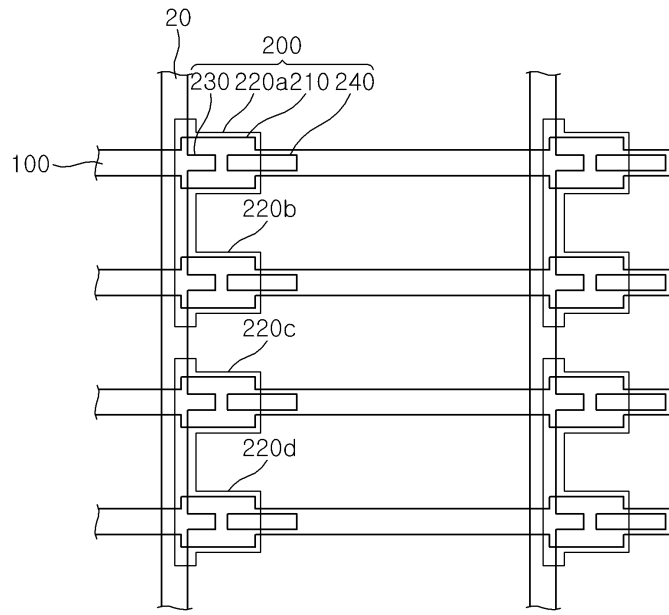
100 : 방전 라인 200 : 다이오드 접속된 트랜지스터

도면

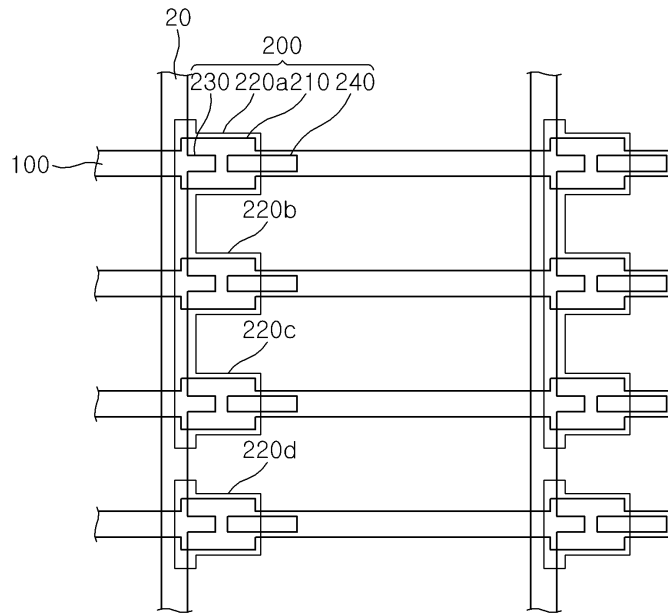
도면1



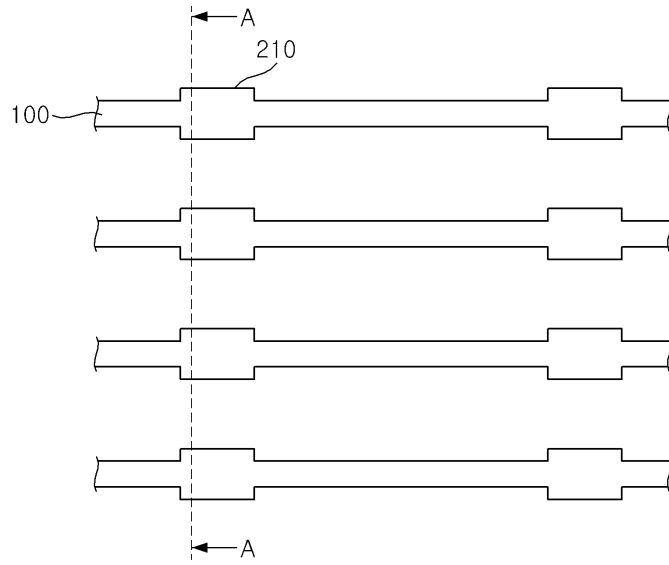
도면2



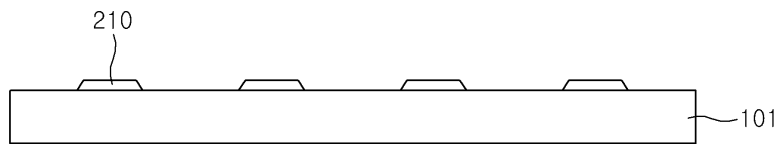
도면3



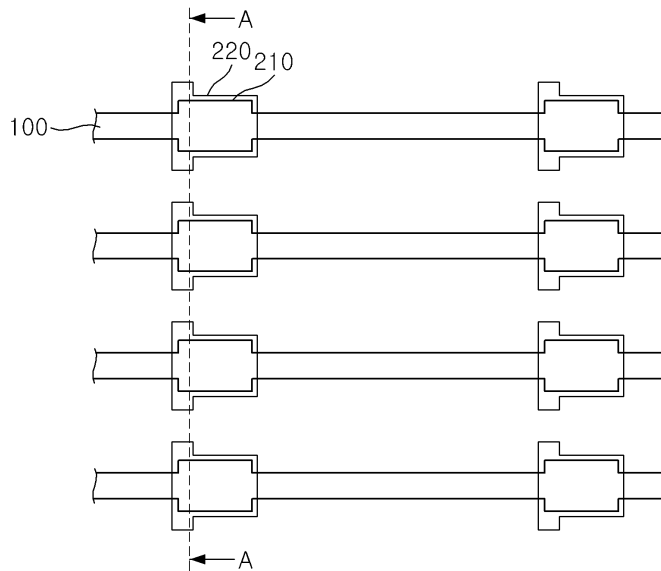
도면4



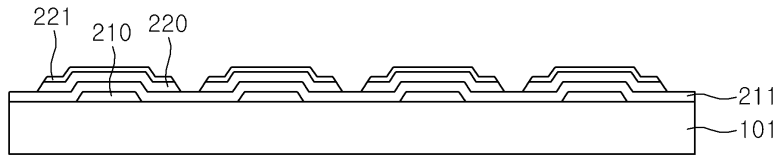
도면5



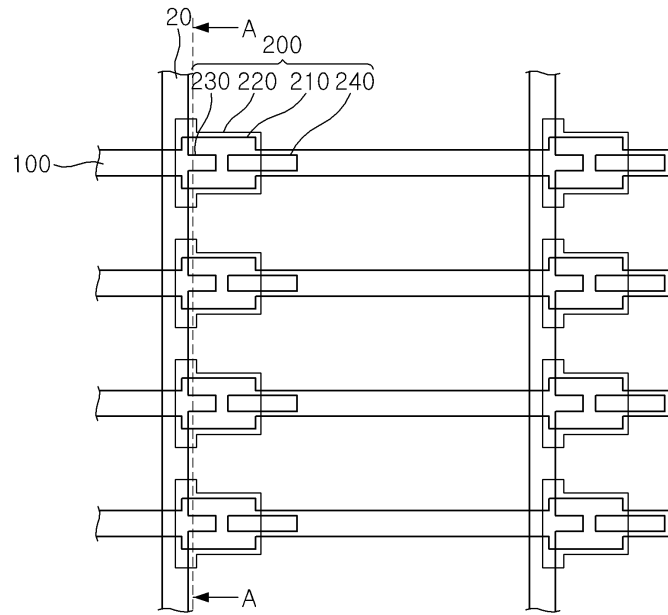
도면6



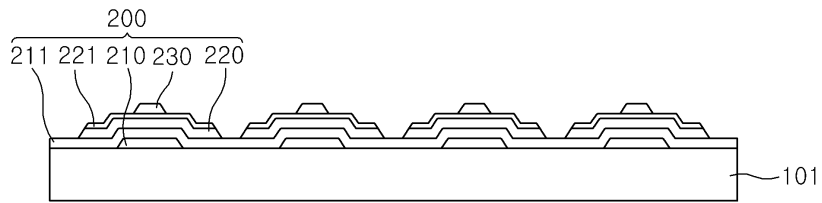
도면7



도면8



도면9



专利名称(译)	静电放电保护装置，其制造方法以及具有该装置的液晶显示装置		
公开(公告)号	KR1020070088116A	公开(公告)日	2007-08-29
申请号	KR1020060018312	申请日	2006-02-24
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE JAE KYEONG 이재경 LIM KWAN TACK 임관택		
发明人	이재경 임관택		
IPC分类号	G02F1/1345		
CPC分类号	E02D17/04 E02D17/08 E02D2220/00 E02D2300/0004 E04B1/94		
外部链接	Espacenet		

摘要(译)

本发明公开了一种静电放电保护元件，其能够防止在制造期间在栅电极和有源层之间产生的静电导致的元件劣化及其制造方法和具有该二极管连接薄膜的液晶显示器的液晶显示器晶体管用作停电二极管。也就是说，一个或多个停电二极管的有源层彼此分离，并且有源层内累积的电荷量减少，并且由于有源层和放电线之间的放电导致栅极绝缘层的劣化和活动层可以防止。停电二极管，有源层，静电，放电，LCD面板，分离。

