



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0076022

(43) 공개일자 2007년07월24일

(21) 출원번호 10-2006-0004923

(22) 출원일자 2006년01월17일

심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 최진철
경기 군포시 산본동 1125-2번지 보람타워 1003호

(74) 대리인 김영호

전체 청구항 수 : 총 10 항

(54) 액정표시장치와 그 구동방법

(57) 요약

본 발명은 데이터 집적회로의 발열 온도를 낮추고 소비전력을 줄이도록 한 액정표시장치와 그 구동방법에 관한 것이다.

본 발명에 따른 액정표시장치는 제1 출력 제어신호에 응답하여 차지웨어전압을 액정표시패널의 데이터라인으로 출력하는 제1 제어부와; 상기 제1 출력 제어신호보다 위상이 늦은 제2 출력 제어신호에 응답하여 상기 차지웨어전압과 상기 차지웨어전압보다 절대치가 높은 프리차지전압 중 어느 하나를 선택하여 상기 데이터라인으로 출력하는 제2 제어부와; 상기 제2 출력 제어신호보다 위상이 늦은 제3 출력 제어신호에 응답하여 데이터전압을 상기 데이터라인으로 출력하는 제3 제어부를 구비한다.

대표도

도 6

특허청구의 범위

청구항 1.

제1 출력 제어신호에 응답하여 차지웨어전압을 액정표시패널의 데이터라인으로 출력하는 제1 제어부와;

상기 제1 출력 제어신호보다 위상이 늦은 제2 출력 제어신호에 응답하여 상기 차지웨어전압과 상기 차지웨어전압보다 절대치가 높은 프리차지전압 중 어느 하나를 선택하여 상기 데이터라인으로 출력하는 제2 제어부와;

상기 제2 출력 제어신호보다 위상이 늦은 제3 출력 제어신호에 응답하여 데이터전압을 상기 데이터라인으로 출력하는 제3 제어부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 제2 제어부는,

상기 제2 출력 제어신호에 응답하여 상기 데이터전압을 판단하고, 그 판단 결과에 따라 상기 프리차지전압의 출력을 지시하기 위한 제1 선택신호 또는 상기 차지채어전압의 출력을 지시하기 위한 제2 선택신호를 발생하는 비교부와;

상기 제1 선택신호에 응답하여 상기 프리차지전압을 상기 데이터라인으로 출력하고 상기 제2 선택신호에 응답하여 상기 프리차지전압을 상기 데이터라인으로 출력하는 스위칭부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 2 항에 있어서,

상기 비교부는,

상기 데이터전압의 절대치가 상기 프리차지전압의 절대치보다 높은 것으로 판단되면 상기 제1 선택신호를 발생하고,

상기 데이터전압의 절대치가 상기 프리차지전압의 절대치보다 낮은 것으로 판단되면 상기 제2 선택신호를 발생하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 3 항에 있어서,

상기 비교부는,

상기 데이터전압과 상기 프리차지전압을 비교하기 위하여 상기 데이터전압 발생에 기초가 되는 디지털 데이터의 최상위 비트를 참조하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 4 항에 있어서,

상기 비교부는,

상기 디지털 데이터의 최상위 비트가 '0'일 경우 상기 데이터전압의 절대치가 상기 프리차지전압의 절대치보다 낮은 것으로 판단하고,

상기 디지털 데이터의 최상위 비트가 '1'일 경우 상기 데이터전압의 절대치가 상기 프리차지전압의 절대치보다 높은 것으로 판단하는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 5 항에 있어서,

상기 프리차지전압은,

상기 데이터전압 중 최고계조를 표현하기 위한 전압과 최저계조를 표현하기 위한 전압의 중간 전압으로 설정되는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 6 항에 있어서,

상기 디지털 데이터의 최상위 비트와 상기 제2 출력 제어신호와의 논리곱으로 상기 제1 선택신호를 발생하는 제1 논리소자와;

상기 디지털 데이터의 최상위 비트의 반전논리값과 상기 제2 출력 제어신호와의 논리곱으로 상기 제2 선택신호를 발생하는 제2 논리소자를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8.

제1 출력 제어신호에 응답하여 차지웨어전압으로 데이터라인을 프리차지시키는 제1 단계와;

상기 제1 출력 제어신호보다 위상이 늦은 제2 출력 제어신호에 응답하여 상기 차지웨어전압 또는 상기 차지웨어전압보다 절대치가 높은 프리차지전압으로 상기 데이터라인을 프리차지시키는 제2 단계와;

상기 제2 출력 제어신호보다 위상이 늦은 제3 출력 제어신호에 응답하여 데이터전압으로 상기 데이터라인을 구동하는 제3 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9.

제 8 항에 있어서,

상기 제2 단계는,

상기 데이터전압과 상기 프리차지전압을 비교하여,

상기 데이터전압의 절대치가 상기 프리차지전압보다 높은 경우 상기 프리차지전압으로 상기 데이터라인을 프리차지시키고,

상기 데이터전압의 절대치가 상기 프리차지전압보다 낮은 경우 상기 차지웨어전압으로 상기 데이터라인을 프리차지시키는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10.

제 9 항에 있어서,

상기 프리차지전압은,

상기 데이터전압 중 최고계조를 표현하기 위한 전압과 최저계조를 표현하기 위한 전압의 중간 전압으로 설정되는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 데이터 집적회로의 발열 온도를 낮추고 소비전력을 줄이도록 한 액정표시장치와 그 구동방법에 관한 것이다.

액정표시장치(Liquid Crystal Display)는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다.

액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다. 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 한다)가 이용되고 있다.

이러한 액정표시장치는 도 1과 같이 다수의 데이터라인(DL)들과 다수의 게이트라인(GL)들이 교차되며 그 교차부에 액정셀들을 구동하기 위한 TFT들이 형성된 액정표시패널(3)과, 데이터라인(DL)들에 데이터를 공급하기 위한 데이터 구동부(1)와, 게이트라인(GL)들에 스캔펄스를 공급하기 위한 게이트 구동부(2)와, 데이터 구동부(1)와 게이트 구동부(2)를 제어하기 위한 타이밍 컨트롤러(4)를 구비한다.

액정표시패널(3)은 두 장의 유리기판 사이에 액정이 주입되며, 그 하부 유리기판 상에 데이터라인(DL)들과 게이트라인(GL)들이 직교된다. 데이터라인(DL)들과 게이트라인(GL)들의 교차부에 형성된 TFT는 게이트라인(GL)으로부터의 스캔펄스에 응답하여 데이터라인(DL)들로부터의 데이터를 액정셀에 공급하게 된다. 이를 위하여, TFT의 게이트단자는 게이트라인(GL)에 접속되며, 소스단자는 데이터라인(DL)에 접속된다. 그리고 TFT의 드레인단자는 액정셀(Clc)의 화소전극에 접속된다. 또한, 액정표시패널(3)의 하부유리기판 상에는 액정셀의 전압을 유지시키기 위한 스토리지 캐패시터(Storage Capacitor, Cst)가 형성된다.

타이밍 컨트롤러(4)는 디지털 비디오 데이터(RGB), 수평 동기신호(H), 수직 동기신호(H, V) 및 클럭신호(CLK)를 입력받고 게이트 구동부(2)를 제어하기 위한 게이트 제어신호(GDC)를 발생함과 아울러 데이터 구동부(1)를 제어하기 위한 데이터 제어신호(DDC)를 발생한다. 또한, 타이밍 컨트롤러(4)는 시스템으로부터의 데이터(RGB)를 데이터 구동부(1)에 공급한다. 데이터 제어신호(DDC)는 소스쉬프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등을 포함하여 데이터 구동부(1)에 공급된다. 게이트 제어신호(GDC)는 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE) 등을 포함하여 게이트 구동부(2)에 공급된다.

게이트 구동부(2)는 타이밍 컨트롤러(4)로부터의 게이트 제어신호(GDC)에 응답하여 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터, 스캔펄스의 스윙폭을 액정셀(Clc)의 구동에 적합한 레벨로 쉬프트시키기 위한 레벨 쉬프터, 출력버퍼 등으로 구성된다. 이 게이트 구동부(2)는 스캔펄스를 게이트라인(GL)에 공급함으로써 그 게이트라인(GL)에 접속된 TFT들을 턴-온(Turn-on)시켜 데이터의 화소전압 즉, 아날로그 감마보상전압이 공급될 1 수평라인의 액정셀들(Clc)을 선택한다. 데이터 구동부(1)로부터 발생하는 데이터들은 스캔펄스에 의해 선택된 수평라인의 액정셀(Clc)에 공급된다.

데이터 구동부(1)는 타이밍 컨트롤러(4)로부터 공급되는 데이터구동 제어신호(DDC)에 응답하여 데이터를 데이터라인(DL)들에 공급한다. 이 데이터 구동부(1)는 타이밍 컨트롤러(4)로부터의 디지털 데이터(RGB)를 샘플링하고 그 데이터를 래치한 다음, 아날로그 감마전압으로 변환한다. 이 데이터 구동부(1)는 도 2와 같은 구성을 가지는 다수의 데이터 집적회로(Integrated Circuit : 이하, "IC"라 한다)(1a)로 구현된다.

각각의 데이터 IC(1a)는 도 2와 같이 타이밍 컨트롤러(4)로부터 디지털 데이터(RGB)가 입력되는 데이터 레지스터(21)와, 샘플링 클럭을 발생하기 위한 쉬프트 레지스터(22)와, 쉬프트 레지스터(22)와 k(단, k는 m보다 작은 정수) 개의 데이터라

인들(DL1 내지 DLk) 사이에 접속된 제1 래치(23), 제2 래치(24), 디지털/아날로그 변환기(Digital to Analog Converter : 이하, "DAC"라 한다)(25) 및 출력회로(26)와, 감마기준전압 발생부(4)와 DAC(25) 사이에 접속된 감마전압 공급부(27)를 구비한다.

데이터 레지스터(21)는 타이밍 컨트롤러(4)로부터의 디지털 데이터(RGB)를 제1 래치(23)에 공급한다. 쉬프트 레지스터(22)는 타이밍 컨트롤러(4)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호를 발생하게 된다. 또한, 쉬프트 레지스터(22)는 소스 스타트 펄스(SSP)를 쉬프트시켜 다음 단의 쉬프트 레지스터(22)에 캐리신호(CAR)를 전달하게 된다. 제1 래치(23)는 쉬프트 레지스터(22)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(21)로부터의 디지털 데이터(RGB)를 순차적으로 샘플링한다. 제2 래치(24)는 제1 래치(23)로부터 입력되는 데이터를 래치한 다음, 래치된 데이터를 타이밍 컨트롤러(4)로부터의 소스 출력 인에이블신호(SOE)에 응답하여 동시에 출력한다. DAC(25)는 제2 래치(24)로부터의 데이터를 감마전압 공급부(27)로부터의 감마전압(DGH,DGL)으로 변환하게 된다. 감마전압(DGH,DGL)은 디지털 입력 데이터의 계조값 각각에 대응하는 아날로그 전압이다. 출력회로(26)는 데이터라인들 각각에 접속된 출력 버퍼(Output Buffer)를 포함한다. 감마전압 공급부(27)는 감마기준전압 발생부(4)로부터 입력되는 감마 기준전압을 세분화하여 각 계조에 대응하는 감마전압을 DAC(25)에 공급하게 된다.

이러한 데이터 IC(3a)는 액정표시장치가 대형화, 고정세화로 발전하면서 부하가 증가하고 구동 주파수가 상승하여 발열량이 많아지게 되었다. 이러한 데이터 IC(3a)의 발열로 인하여 데이터 IC(3a)의 구동 신뢰성이 떨어지게 되었고 심지어는 발화되는 등의 안전상 위험성이 커지고 있다. 데이터 IC(3a)의 발열을 일으키는 주요 원인은 도 3과 같이 출력버퍼(26a)이다. 이 출력버퍼(26a)의 내부저항성분을 통해 흐르는 전류(i_{SOURCE} , i_{SINK})로 인한 전력소모에 의해 데이터 IC(3a)가 발열된다.

최근에는 액정셀의 충전특성을 개선하고 소비전력을 줄이기 위하여 이웃하는 데이터라인들을 접속시켜 그 데이터라인들 사이의 차지 쉐어로 인하여 발생하는 차지쉐어전압(charge share voltage)으로 데이터라인을 프리차지한 후에 데이터라인들을 분리한 상태에서 데이터전압을 각 데이터라인에 공급하는 차지쉐어 방식이나 미리 설정된 외부전압인 프리차지전압(pre-charge)으로 데이터라인을 프리차지시킨 후에 데이터전압을 그 데이터라인에 공급하는 프리차지 방식으로 데이터 IC가 구현되고 있는 추세에 있다.

차지쉐어 방식은 도 4와 같이 차지쉐어전압(V_{cs})으로부터 데이터전압으로 변하는 출력버퍼 구동구간에서 출력버퍼(26a)에 많은 전류가 흘러 발열과 소비전력이 크게 된다. 프리차지 방식은 도 5와 같이 데이터전압이 높을 때 예를 들면 노말리블랙(Normaly black)에서 화이트전압에서 미리 비교적 높은 외부전압으로 공급되는 프리차지전압(+ V_{pre} , - V_{pre})로 인하여 출력버퍼(26a)의 구동영역의 전압이 줄어들어 데이터 IC(3a)의 온도를 낮출 수 있으나 중간 이하의 데이터전압에서 높은 외부에서 공급되는 프리차지전압(V_{pc_pos} , V_{pc_neg})으로 인하여 낮은 데이터전압의 프리차지 구동영역(51, 52)에서 데이터 IC(3a)의 온도가 상승하고 소비전력이 급증한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 데이터 집적회로의 발열 온도를 낮추고 소비전력을 줄이도록 한 액정표시장치와 그 구동방법을 제공함에 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명에 따른 액정표시장치는 제1 출력 제어신호에 응답하여 차지쉐어전압을 액정표시패널의 데이터라인으로 출력하는 제1 제어부와; 상기 제1 출력 제어신호보다 위상이 늦은 제2 출력 제어신호에 응답하여 상기 차지쉐어전압과 상기 차지쉐어전압보다 절대치가 높은 프리차지전압 중 어느 하나를 선택하여 상기 데이터라인으로 출력하는 제2 제어부와; 상기 제2 출력 제어신호보다 위상이 늦은 제3 출력 제어신호에 응답하여 데이터전압을 상기 데이터라인으로 출력하는 제3 제어부를 구비한다.

상기 제2 제어부는, 상기 제2 출력 제어신호에 응답하여 상기 데이터전압을 판단하고, 그 판단 결과에 따라 상기 프리차지전압의 출력을 지시하기 위한 제1 선택신호 또는 상기 차지쉐어전압의 출력을 지시하기 위한 제2 선택신호를 발생하는 비교부와; 상기 제1 선택신호에 응답하여 상기 프리차지전압을 상기 데이터라인으로 출력하고 상기 제2 선택신호에 응답하여 상기 프리차지전압을 상기 데이터라인으로 출력하는 스위칭부를 구비한다.

상기 비교부는, 상기 데이터전압의 절대치가 상기 프리차지전압의 절대치보다 높은 것으로 판단되면 상기 제1 선택신호를 발생하고, 상기 데이터전압의 절대치가 상기 프리차지전압의 절대치보다 낮은 것으로 판단되면 상기 제2 선택신호를 발생한다.

상기 비교부는, 상기 데이터전압과 상기 프리차지전압을 비교하기 위하여 상기 데이터전압 발생에 기초가 되는 디지털 데이터의 최상위 비트를 참조한다.

상기 비교부는, 상기 디지털 데이터의 최상위 비트가 '0'일 경우 상기 데이터전압의 절대치가 상기 프리차지전압의 절대치보다 낮은것으로 판단하고, 상기 디지털 데이터의 최상위 비트가 '1'일 경우 상기 데이터전압의 절대치가 상기 프리차지전압의 절대치보다 높은것으로 판단한다.

상기 프리차지전압은, 상기 데이터전압 중 최고계조를 표현하기 위한 전압과 최저계조를 표현하기 위한 전압의 중간 전압으로 설정된다.

상기 비교부는, 상기 디지털 데이터의 최상위 비트와 상기 제2 출력 제어신호와의 논리곱으로 상기 제1 선택신호를 발생하는 제1 논리소자와; 상기 디지털 데이터의 최상위 비트의 반전논리값과 상기 제2 출력 제어신호와의 논리곱으로 상기 제2 선택신호를 발생하는 제2 논리소자를 구비한다.

본 발명에 따른 액정표시장치의 구동방법은 제1 출력 제어신호에 응답하여 차지웨어전압으로 데이터라인을 프리차지시키는 제1 단계와; 상기 제1 출력 제어신호보다 위상이 늦은 제2 출력 제어신호에 응답하여 상기 차지웨어전압 또는 상기 차지웨어전압보다 절대치가 높은 프리차지전압으로 상기 데이터라인을 프리차지시키는 제2 단계와; 상기 제2 출력 제어신호보다 위상이 늦은 제3 출력 제어신호에 응답하여 데이터전압으로 상기 데이터라인을 구동하는 제3 단계를 포함한다.

상기 제2 단계는, 상기 데이터전압과 상기 프리차지전압을 비교하여, 상기 데이터전압의 절대치가 상기 프리차지전압보다 높은 경우 상기 프리차지전압으로 상기 데이터라인을 프리차지시키고, 상기 데이터전압의 절대치가 상기 프리차지전압보다 낮은 경우 상기 차지웨어전압으로 상기 데이터라인을 프리차지시킨다.

상기 프리차지전압은, 상기 데이터전압 중 최고계조를 표현하기 위한 전압과 최저계조를 표현하기 위한 전압의 중간 전압으로 설정된다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예의 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 6 내지 도 10을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 6을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인(DL)들과 다수의 게이트라인(GL)들이 교차되며 그 교차부에 액정셀(Clc)들을 구동하기 위한 TFT들이 형성된 액정표시패널(63)과, 게이트라인(GL)들에 스캔펄스를 공급하기 위한 게이트 구동부(62)와, 데이터라인(DL)들에 데이터를 공급하기 위한 데이터 구동부(61)와, 데이터 구동부(61)와 게이트 구동부(62)를 제어하기 위한 타이밍 컨트롤러를 구비한다.

액정표시패널(63)은 합착된 두 장의 유리기관 사이에 액정이 주입되는 구조로 형성되며, 하부 유리기관 상에 형성된 데이터라인(DL)들과 게이트라인(GL)들은 상호 직교한다. 데이터라인(DL)들과 게이트라인(GL)들의 교차부에 형성된 TFT는 게이트라인(GL)으로부터의 스캔펄스에 응답하여 데이터라인(DL)으로부터의 데이터전압을 액정셀에 공급한다. 이를 위하여, TFT의 게이트단자는 게이트라인(GL)에 접속되며, 소스단자는 데이터라인(DL)에 접속된다. 그리고 TFT의 드레인단자는 액정셀(Clc)의 화소전극에 접속된다. 또한, 액정표시패널(63)의 하부 유리기관 상에는 액정셀(Clc)에 충전되는 전압을 유지시키기 위한 스토리지 캐패시터가 형성된다.

게이트 구동부(62)는 타이밍 컨트롤러로부터의 제어신호에 응답하여 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 스윙폭을 액정셀(Clc)의 구동에 적합한 레벨로 쉬프트시키기 위한 레벨 쉬프터와, 출력버퍼 등으로 구성된다. 이 게이트 구동부(62)는 스캔펄스를 게이트라인(GL)에 공급함으로써 그 게이트라인(GL)에 접속된 TFT들을 턴-온(Turn-on)시켜 데이터전압 즉, 아날로그 감마보상전압이 공급될 1 수평라인의 액정셀들(Clc)을 선택한다. 데이터 구동부(61)로부터 발생하는 데이터전압들은 스캔펄스에 의해 선택된 수평라인의 액정셀(Clc)에 공급된다. 이 게이트 구동부(62)는 소정의 채널수를 가지는 다수의 게이트 IC들로 구현된다.

데이터 구동부(61)는 타이밍 컨트롤러로부터의 제어신호에 응답하여 데이터를 데이터라인(DL)들에 공급한다. 이 데이터 구동부(61)는 타이밍 컨트롤러로부터의 디지털 데이터를 샘플링하고 그 데이터를 래치한 다음, 래치된 데이터를 아날로그 감마전압으로 변환하여 데이터라인(DL)들에 공급한다. 이 데이터 구동부(61)는 소정의 채널수를 가지는 다수의 데이터 IC 들로 구현되며, 데이터 IC들은 레지스터(71), 래치(72), DAC(73), 출력버퍼(74), 스위칭회로(75), 비교기(76) 및 멀티플렉서(이하, "MUX"라 함)(77)를 각각 포함한다.

이하, 도 6 내지 도 10을 참조하여 본 발명에 따른 액정표시장치의 데이터 IC 회로구성 및 그 동작에 대하여 상세히 설명하기로 한다. 도 7은 도 6에 도시된 데이터 IC의 회로구성 중 DAC(73) 이하 MUX(77)까지의 상세한 회로구성을 나타내며, 도 8 및 도 9는 도 6 및 도 7에 도시된 제어신호들(OE, CS, PC) 및 데이터 IC의 출력전압(Data IC Out)을 나타낸다. 도 8 및 도 9에 있어서, 출력인에이블신호(OE)는 출력버퍼(74)의 출력전압, 즉, 데이터전압의 출력을 지시하기 위한 제어신호이고, 차지웨어제어신호(CS)는 차지웨어전압(Vcs)의 출력을 지시하기 위한 제어신호이며, 프리차지제어신호(PC)는 정극성 및 부극성 프리차지전압(Vpc_pos, Vpc_neg)의 출력을 지시하기 위한 제어신호이다. 한편, 프리차지제어신호(PC)는 이하의 설명을 통해 알게 되겠지만, 차지웨어전압(Vcs)의 출력을 지시하기 위해 이용되기도 한다. 프리차지제어신호(PC)는 차지웨어 제어신호(CS)의 한 펄스폭 만큼 쉬프트된다. 이 출력 제어신호들(OE, CS, PC)은 1 수평기간 간격으로 발생된다. 극성제어신호(POL)는 1 수평기간 주기로 그 논리값이 반전되어 액정표시패널의 데이터라인(DL)들에 공급되는 데이터전압의 극성을 제어한다. 이러한 출력 제어신호들(OE, PC, CS) 및 극성 제어신호(POL)는 타이밍 컨트롤러에서 발생된다.

레지스터(71)는 타이밍 컨트롤러로부터의 디지털 데이터들을 래치(22)에 공급한다. 이 레지스터(71)는 타이밍 컨트롤러로부터 디지털 데이터가 입력되는 데이터 레지스터와, 샘플링 클럭을 발생하기 위한 쉬프트 레지스터를 구비한다.

래치(72)는 직렬체계의 디지털 데이터를 병렬체계의 디지털 데이터로 변환하여 DAC(73)에 공급한다. 이 래치(72)는 쉬프트 레지스터로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터로부터의 디지털 데이터를 순차적으로 샘플링하는 제1 래치와, 제1 래치로부터의 디지털 데이터를 래치하여 한 라인분씩 출력하는 제2 래치를 구비한다.

DAC(73)는 제2 래치로부터의 디지털 데이터를 화소구동을 위한 아날로그 데이터전압으로 변환한다. 이 DAC(73)는 래치(72)로부터의 디지털 데이터신호를 정극성 아날로그 데이터전압으로 변환하기 위한 정극성 DAC(73a)와, 래치(72)로부터의 디지털 데이터를 부극성 아날로그 데이터전압으로 변환하기 위한 부극성 DAC(73b)를 포함한다. 한편, DAC(73)와 제2 래치 사이에는 전압스윙폭을 변환하기 위한 레벨쉬프터가 포함될 수 있다.

DAC(73)로부터의 정극성 및 부극성 아날로그 데이터전압은 각각 출력버퍼(74)의 정극성 출력부(74a) 및 부극성 출력부(74b)를 경유하여 스위칭회로(75)에 공급되게 된다.

스위칭회로(75)는 출력인에이블신호(OE), 차지웨어제어신호(CS), 정극성 비교부(76a)의 제1 및 제2 선택신호에 제어되어 정극성 데이터전압, 차지웨어전압(Vcs), 정극성 프리차지전압(Vpc_pos) 중 어느 하나를 선택하여 출력하는 정극성 스위칭부(75a)와, 출력인에이블신호(OE), 차지웨어제어신호(CS), 부극성 비교부(76b)의 제1 및 제2 출력신호에 제어되어 부극성 데이터전압, 차지웨어전압(Vcs), 부극성 프리차지전압(Vpc_neg) 중 어느 하나를 선택하여 출력하는 부극성 스위칭부(75b)를 구비한다. 여기서, 정극성 및 부극성 프리차지전압(Vpc_pos, Vpc_neg)은 디지털 데이터가 8비트를 포함하여 표현 가능한 계조수가 $256(2^8)$ 개 임을 가정할 때, 전체 계조전압의 중간에 해당하는 전압으로 설정될 수 있다. 예를 들어, 정극성 프리차지전압(Vpc_pos)은 129(1000000) 계조를 나타내기 위한 정극성 데이터전압에 해당하는 전압으로 설정되고, 부극성 프리차지전압(Vpc_neg)은 129(1000000) 계조를 나타내기 위한 부극성 데이터전압에 해당하는 전압으로 설정될 수 있다. 이러한 경우, 디지털 데이터의 최상위 비트(Most Significant Bit : MSB)가 1일 경우(1xxxxxxx : 여기서 x는 0 또는 1) 화소에 공급될 정극성 및 부극성 데이터전압의 절대치는 정극성 및 부극성 프리차지전압(Vpc_pos, Vpc_neg)의 절대치 이상임을 의미하며, 디지털 데이터의 최상위 비트(MSB)가 0일 경우(0xxxxxxx : 여기서 x는 0 또는 1) 화소에 공급될 정극성 및 부극성 데이터전압의 절대치는 정극성 및 부극성 프리차지전압(Vpc_pos, Vpc_neg)의 절대치 미만임을 의미한다. 이하, 본 발명의 실시예에서는 정극성 및 부극성 프리차지전압(Vpc_pos, Vpc_neg)이 상술한 예와 같이 129계조를 나타내는 정극성 및 부극성 데이터전압에 해당하는 전압으로 설정된 경우를 기준으로 하여 설명하기로 한다. 그리고, 차지웨어전압(Vcs)은 정극성 프리차지전압(Vpc_pos)과 부극성 프리차지전압(Vpc_neg) 사이의 범위 내에서 설정되며, 이하 본 발명의 실시예에서는 차지웨어전압(Vcs)이 정극성 데이터전압과 부극성 데이터전압의 구분 기준이 되는 공통전압(Vcom)으로 설정된 경우를 기준으로 하여 설명하기로 한다. 한편, 차지웨어전압(Vcs)은 데이터 IC의 외부에 배치된 전원회로에서 별도로 발생될 수도 있고 데이터 IC 내에서 데이터라인들의 차지웨어로 생성되는 전압일 수도 있다.

정극성 스위칭부(75a)는 차지철회제어신호(CS)가 하이논리를 유지하는 제1 기간(t1)에 차지철회전압(Vcs)을 스위칭회로(75)의 정극성 출력단(Pout)으로 공급한다. 이어서, 프리차지제어신호(PC)가 하이논리를 유지하는 제2 기간(t2)에 비교부(75)로부터 정극성 제1 선택신호가 입력되면 정극성 프리차지전압(Vpc_pos)을 스위칭회로(75)의 정극성 출력단(Pout)으로 공급하고, 비교부(75)로부터 정극성 제2 선택신호가 입력되면 차지철회전압(Vcs)을 스위칭회로(75)의 정극성 출력단(Pout)으로 공급한다. 이어서, 출력인에이블신호(OE)가 하이논리를 유지하는 제3 기간(t3), 즉, 데이터 IC의 출력버퍼(74)가 구동되는 기간에 정극성 데이터전압을 스위칭회로(75)의 정극성 출력단(Pout)으로 공급한다.

위와 같은 동작을 위하여 정극성 스위칭부(75a)는 출력인에이블신호(OE)의 논리치를 반전시키는 인버터(81a)와, 인버터(81a)의 출력신호에 응답하여 정극성 데이터전압을 정극성 스위칭부(75a)의 출력단(Pout)에 공급하는 제1 스위칭소자(SW1a)와, 차지철회제어신호(CS)에 응답하여 차지철회전압(Vcs)을 정극성 스위칭부(75a)의 출력단(Pout)에 공급하는 제2 스위칭소자(SW2a)와, 정극성 비교부(76a)로부터의 제1 선택신호에 응답하여 정극성 프리차지전압(Vpc_pos)을 정극성 스위칭부(75a)의 출력단(Pout)에 공급하는 제3 스위칭소자(SW3a)와, 정극성 비교부(76a)로부터의 제2 선택신호에 응답하여 차지철회전압(Vcs)을 정극성 스위칭부(75a)의 출력단(Pout)에 공급하는 제4 스위칭소자(SW4a)를 구비한다. 정극성 비교부(76a)에 대해서는 이 후 상세히 설명하기로 한다.

정극성 스위칭부(75a)의 제1 스위칭소자(SW1a)는 PMOS 트랜지스터로 구성되며, 이 PMOS 트랜지스터는 출력인에이블신호(OE)를 반전시키는 인버터(81a) 출력단에 게이트단자, 출력버퍼(74)의 정극성 출력부(74a) 출력단에 소스단자, 정극성 스위칭부(75a) 출력단(Pout)에 드레인단자가 접속된다.

정극성 스위칭부(75a)의 제2 스위칭소자(SW2a)는 NMOS 트랜지스터로 구성되며, 이 NMOS 트랜지스터는 차지철회제어신호(CS) 입력단에 게이트단자, 차지철회전압(Vcs) 입력단에 소스단자, 정극성 스위칭부(75a) 출력단(Pout)에 드레인단자가 접속된다.

정극성 스위칭부(75a)의 제3 스위칭소자(SW3a)는 PMOS 트랜지스터로 구성되며, 이 PMOS 트랜지스터는 정극성 비교부(76a)의 NAND 게이트(83a) 출력단에 게이트단자, 정극성 프리차지전압(Vpc_pos) 입력단에 소스단자, 정극성 스위칭부(75a) 출력단(Pout)에 드레인단자가 접속된다.

정극성 스위칭부(75a)의 제4 스위칭소자(SW4a)는 NMOS 트랜지스터로 구성되며, 이 NMOS 트랜지스터는 정극성 비교부(76a)의 AND 게이트(84a) 출력단에 게이트단자, 차지철회전압(Vcs) 입력단에 소스단자, 정극성 스위칭부(75a) 출력단(Pout)에 드레인단자가 접속된다.

부극성 스위칭부(75b)는 차지철회제어신호(CS)가 하이논리를 유지하는 제1 기간(t1)에 차지철회전압(Vcs)을 스위칭회로(75)의 부극성 출력단(Nout)으로 공급한다. 이어서, 프리차지제어신호(PC)가 하이논리를 유지하는 제2 기간(t2)에 비교부(75)로부터 부극성 제1 선택신호가 입력되면 부극성 프리차지전압(Vpc_neg)을 스위칭회로(75)의 부극성 출력단(Nout)으로 공급하고, 비교부(75)로부터 부극성 제2 선택신호가 입력되면 차지철회전압(Vcs)을 스위칭회로(75)의 부극성 출력단(Nout)으로 공급한다. 이어서, 출력인에이블신호(OE)가 하이논리를 유지하는 제3 기간(t3), 즉, 데이터 IC의 출력버퍼(74)가 구동되는 기간에 부극성 데이터전압을 스위칭회로(75)의 부극성 출력단(Nout)으로 공급한다.

위와 같은 동작을 위하여 부극성 스위칭부(75b)는 출력인에이블신호(OE)에 응답하여 부극성 데이터전압을 부극성 스위칭부(75b) 출력단(Nout)에 공급하는 제1 스위칭소자(SW1b)와, 차지철회전압(Vcs)의 논리치를 반전시키는 인버터(81b)와, 인버터(81b)의 출력신호에 응답하여 차지철회전압(Vcs)을 부극성 스위칭부(75b)의 출력단(Nout)에 공급하는 제2 스위칭소자(SW2b)와, 부극성 비교부(76b)로부터의 제1 선택신호에 응답하여 부극성 프리차지전압(Vpc_neg)을 부극성 스위칭부(75b)의 출력단(Nout)에 공급하는 제3 스위칭소자(SW3b)와, 부극성 비교부(76b)로부터의 제2 선택신호에 응답하여 차지철회전압(Vcs)을 부극성 스위칭부(75b)의 출력단(Nout)에 공급하는 제4 스위칭소자(SW4b)를 구비한다. 부극성 비교부(76b)에 대해서는 이 후 상세히 설명하기로 한다.

부극성 스위칭부(75b)의 제1 스위칭소자(SW1b)는 NMOS 트랜지스터로 구성되며, 이 NMOS 트랜지스터는 출력인에이블신호(OE) 입력단에 출력단에 게이트단자, 출력버퍼(74)의 부극성 출력부(74b) 출력단에 소스단자, 부극성 스위칭부(75b) 출력단(Nout)에 드레인단자가 접속된다.

부극성 스위칭부(75b)의 제2 스위칭소자(SW2b)는 PMOS 트랜지스터로 구성되며, 이 PMOS 트랜지스터는 차지철회제어신호(CS)를 반전시키는 인버터(81b)의 출력단에 게이트단자, 차지철회전압(Vcs) 입력단에 소스단자, 부극성 스위칭부(75b) 출력단(Nout)에 드레인단자가 접속된다.

부극성 스위칭부(75b)의 제3 스위칭소자(SW3b)는 NMOS 트랜지스터로 구성되며, 이 NMOS 트랜지스터는 부극성 비교부(76b)의 AND 게이트(83b) 출력단에 게이트단자, 부극성 프리차지전압(Vpc_neg) 입력단에 소스단자, 부극성 스위칭부(75b) 출력단(Nout)에 드레인단자가 접속된다.

부극성 스위칭부(75b)의 제4 스위칭소자(SW4b)는 PMOS 트랜지스터로 구성되며, 이 PMOS 트랜지스터는 부극성 비교부(76b)의 NAND 게이트(84b) 출력단에 게이트단자, 차지철회전압(Vcs) 입력단에 소스단자, 부극성 스위칭부(75b) 출력단(Nout)에 드레인단자가 접속된다.

비교부(76)는 디지털 데이터의 최상위비트(MSB)와 프리차지제어신호(PC)의 논리연산으로 스위칭회로(75)의 정극성 스위칭부(75a)에 대하여 정극성 프리차지전압(Vpc_pos) 또는 차지철회전압(Vcs)의 선택적 출력을 지시하기 위한 정극성 제1 및 제2 선택신호를 발생하는 정극성 비교부(76a)와, 디지털 데이터의 최상위비트(MSB)와 프리차지제어신호(PC)의 논리연산으로 스위칭회로(75)의 부극성 스위칭부(75b)에 대하여 부극성 프리차지전압(Vpc_neg) 또는 차지철회전압(Vcs)의 선택적 출력을 지시하기 위한 부극성 제1 및 제2 선택신호를 발생하는 부극성 비교부(76b)를 구비한다.

정극성 비교부(76a)는 디지털 데이터의 최상위 비트(MSB)와 프리차지제어신호(PC)의 논리연산으로 스위칭회로(75)의 정극성 스위칭부(75a)에 대하여 정극성 프리차지전압(Vpc_pos) 출력을 지시하기 위한 정극성 제1 선택신호 및 차지철회전압(Vcs) 출력을 지시하기 위한 정극성 제2 선택신호를 발생한다. 다시 말해, 정극성 비교부(76a)는 프리차지제어신호(PC)의 논리값이 '1' 일 때 디지털 데이터의 최상위 비트(MSB)가 '1'이면 정극성 스위칭부(75a)에 대하여 스위칭회로(75)의 정극성 출력단(Pout)에 정극성 프리차지전압(Vpc_pos)이 출력되도록 하는 정극성 제1 선택신호를 발생하며, 프리차지제어신호(PC)의 논리값이 '1' 일 때 디지털 데이터의 최상위 비트(MSB)가 '0'이면, 정극성 스위칭부(75a)에 대하여 스위칭회로(75)의 정극성 출력단(Pout)에 차지철회전압(Vcs)이 출력되도록 하는 정극성 제2 선택신호를 발생한다. 이를 위하여, 정극성 비교부(76a)는 디지털 데이터의 최상위비트(MSB)와 프리차지제어신호(PC)의 반전논리곱으로 정극성 제1 선택신호를 발생하는 NAND 게이트(83a)와, 디지털 데이터의 최상위비트(MSB) 논리치를 반전시키는 인버터(85a)와, 이 인버터(85a)의 출력신호와 프리차지제어신호(PC)와의 논리곱으로 정극성 제2 선택신호를 발생하는 AND 게이트(84a)를 구비한다. 여기서, 디지털 데이터의 최상위 비트(MSB)가 '0'일 경우 정극성 데이터전압의 절대치가 정극성 프리차지전압(Vpc_pos)의 절대치 미만이며, 디지털 데이터의 최상위 비트(MSB)가 '1'일 경우 정극성 데이터전압의 절대치가 정극성 프리차지전압(Vpc_pos)의 절대치 이상을 의미한다는 것은 이미 설명한 바 있다.

한편, 정극성 비교부(76a)에서 정극성 데이터전압과 정극성 프리차지전압(Vpc_pos)의 비교를 위해 참조하는 디지털 데이터의 최상위 비트(MSB)가 추출되는 위치는 회로설계에 따른 신호지연 등을 고려하여 선택될 수 있다. 예를 들어, 디지털 데이터의 최상위 비트(MSB)는 제2 래치의 출력단에서 추출될 수 있으며, 제2 래치와 DAC(73) 사이에 전압스윙폭을 변환하기 위한 레벨쉬프터가 포함되는 경우 제2 래치의 출력단 또는 레벨쉬프터의 출력단에서 추출될 수 있다. 이는 아래의 부극성 비교부(76b)에서도 마찬가지이다.

부극성 비교부(76b)는 디지털 데이터의 최상위 비트(MSB)와 프리차지제어신호(PC)의 논리연산으로 스위칭회로(75)의 부극성 스위칭부(75b)에 대하여 부극성 프리차지전압(Vpc_neg) 출력을 지시하기 위한 부극성 제1 선택신호와, 차지철회전압(Vcs) 출력을 지시하기 위한 부극성 제2 선택신호를 발생한다. 다시 말해, 부극성 비교부(76b)는 프리차지제어신호(PC)의 논리값이 '1' 일 때 디지털 데이터의 최상위 비트(MSB)가 '1'이면 부극성 스위칭부(75b)에 대하여 스위칭회로(75)의 부극성 출력단(Nout)에 부극성 프리차지전압(Vpc_neg)이 출력되도록 하는 부극성 제1 선택신호를 발생하며, 프리차지제어신호(PC)의 논리값이 '1' 일 때 디지털 데이터의 최상위 비트(MSB)가 '0'이면, 부극성 스위칭부(75b)에 대하여 스위칭회로(75)의 부극성 출력단(Nout)에 차지철회전압(Vcs)이 출력되도록 하는 부극성 제2 선택신호를 발생한다. 이를 위하여 부극성 비교부(76b)는 래치(72)로부터의 디지털 비디오신호 최상위비트(MSB)와 프리차지제어신호(PC)의 논리곱으로 부극성 제1 선택신호를 발생하는 AND 게이트(83b)와, 디지털 데이터의 최상위비트(MSB) 논리치를 반전시키는 인버터(85b)와, 이 인버터(85b)의 출력신호와 프리차지제어신호(PC)와의 반전논리곱으로 부극성 제2 선택신호를 발생하는 NAND 게이트(84b)를 구비한다. 여기서, 디지털 데이터의 최상위 비트(MSB)가 '0'일 경우 부극성 데이터전압의 절대치가 부극성 프리차지전압(Vpc_neg)의 절대치 미만이며, 디지털 데이터의 최상위 비트(MSB)가 '1'일 경우 부극성 데이터전압의 절대치가 부극성 프리차지전압(Vpc_neg)의 절대치 이상을 의미한다는 것은 이미 설명한 바 있다.

한편, 상기 비교기(75) 및 스위칭회로(75)의 회로구성에서 '인버터 - PMOS 트랜지스터'의 조합은 'NMOS 트랜지스터'로 대체 가능하며, 'NMOS 트랜지스터'는 '인버터 - PMOS 트랜지스터'의 조합으로 대체 가능하다. 또한, 'NAND 게이트 - PMOS 트랜지스터'의 조합은 'AND 게이트 - NMOS 트랜지스터'의 조합으로 대체 가능하며, 'AND 게이트 - NMOS 트랜지스터'의 조합은 'NAND 게이트 - PMOS 트랜지스터'의 조합으로 대체 가능하다.

상술한 스위칭회로(75) 및 비교부(76)의 동작, 즉, 출력인에이블신호(OE), 차지웨어제어신호(CS), 프리차지제어신호(PC)의 발생 타이밍 및 논리값(0 또는 1)과 디지털 데이터의 최상위 비트(MSB)의 상태에 따른 스위칭소자들(SW1a 내지 SW4b)의 동작상태(ON 또는 OFF) 및 스위칭회로(75)의 정극성 및 부극성 출력단(Pout, Nout)의 출력을 도 10에 정리하여 나타내었다.

MUX(77)는 스위칭회로(75)의 정극성 출력단(Pout) 또는 부극성 출력단(Nout)의 출력을 극성제어신호(POL)에 따라 선택적으로 데이터라인(DL)에 공급한다.

발명의 효과

상술한 바와 같이 본 발명의 실시예에 따른 액정표시장치는 차지웨어전압으로 액정셀을 1차 프리차지시킨 후, 차지웨어전압보다 절대치가 높은 프리차지전압과 액정셀에 공급될 데이터전압을 비교하여 데이터전압의 절대치가 프리차지전압의 절대치보다 높은 경우 프리차지전압으로 액정셀을 2차 프리차지시키고, 데이터전압의 절대치가 프리차지전압의 절대치보다 낮은 경우 차지웨어전압으로 액정셀을 2차 프리차지시킴으로써 액정셀이 데이터전압보다 높은(낮은) 전압으로 프리차지되는 것을 방지하여, 즉 액정셀이 데이터전압 이상으로 오버차지되는 것을 방지하여 데이터 집적회로의 발열 온도를 낮추고 소비전력을 줄일 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

도면의 간단한 설명

도 1은 액정표시장치를 개략적으로 나타내는 블록도.

도 2는 도 1에 도시된 데이터 구동부를 상세히 나타내는 블록도.

도 3은 출력버퍼 내의 내부저항과 그 내부저항을 통해 흐르는 전류를 나타내는 회로도.

도 4는 외부 프리차지 전압으로 데이터라인을 프리차지하는 프리차지방식의 일예를 보여 주는 파형도.

도 5는 차지웨어 전압으로 데이터라인을 프리차지하는 차지웨어방식의 일예를 보여 주는 파형도.

도 6은 본 발명의 실시예에 따른 액정표시장치를 나타내는 도면.

도 7은 도 6에 도시된 데이터 IC의 일부를 상세히 나타내는 도면.

도 8 및 도 9는 도 6 및 도 7에 도시된 제어신호들과 데이터 IC의 출력파형을 나타내는 도면.

도 10은 도 7은 도 6에 도시된 데이터 IC 동작을 나타내는 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

1, 61 : 데이터 구동부 2, 62 : 게이트 구동부

3, 63 : 액정표시패널 4 : 타이밍 컨트롤러

21, 22, 71 : 레지스터 23, 24, 62 : 래치

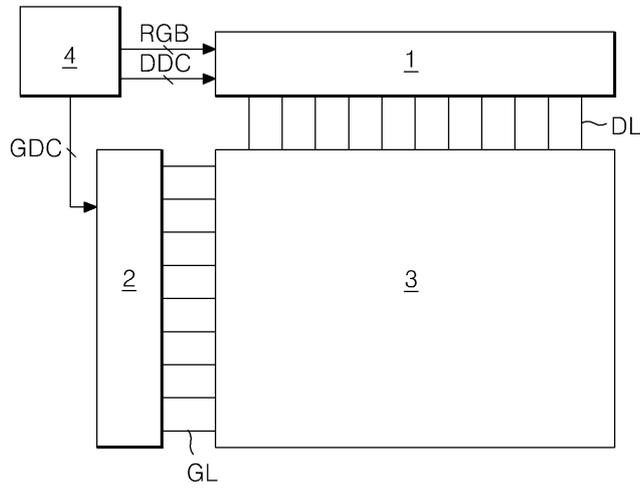
25, 73 : 디지털/아날로그 변환기 26a, 74 : 출력버퍼

27 : 감마전압 공급부 75 : 스위칭회로

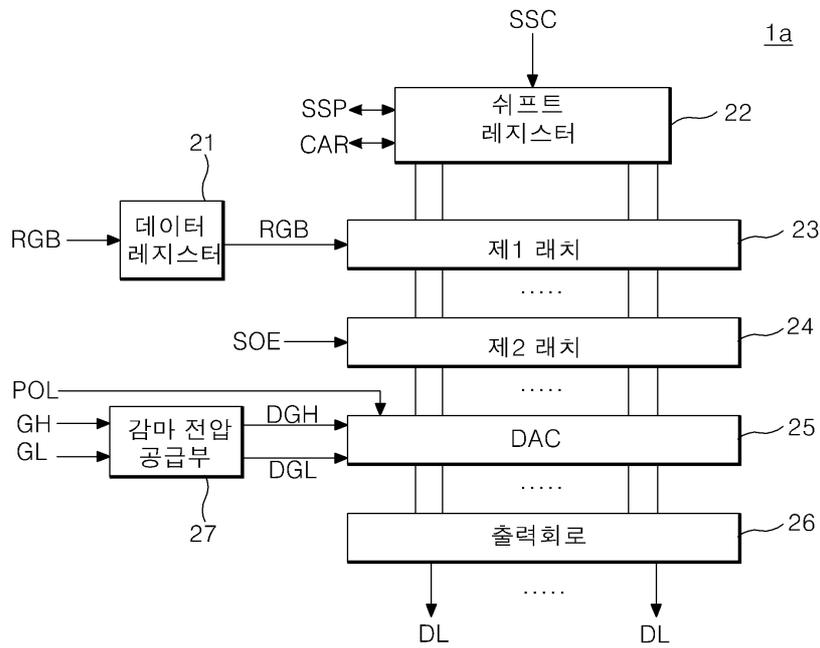
76 : 비교부 77 : 멀티플렉서

도면

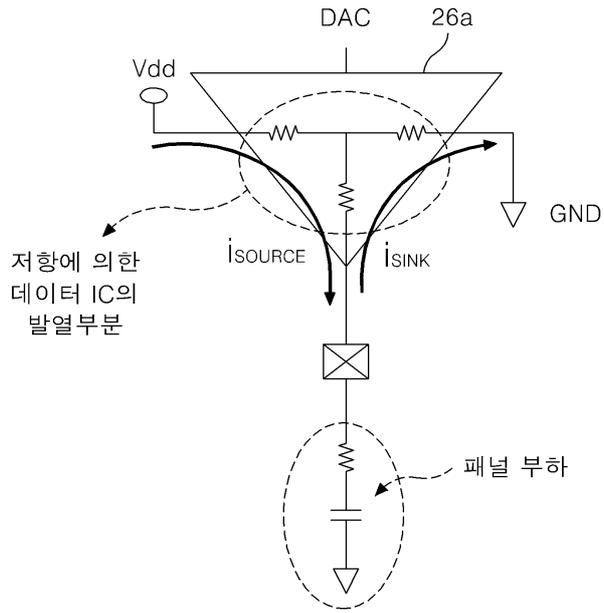
도면1



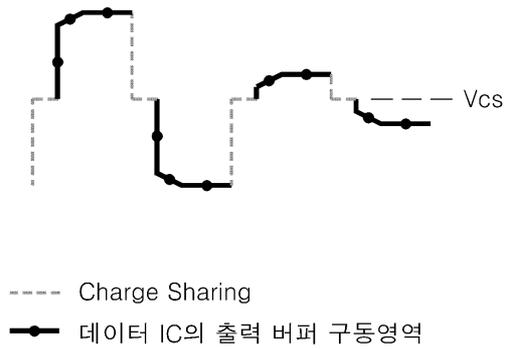
도면2



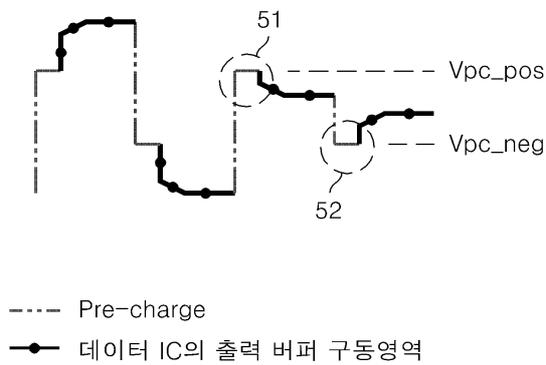
도면3



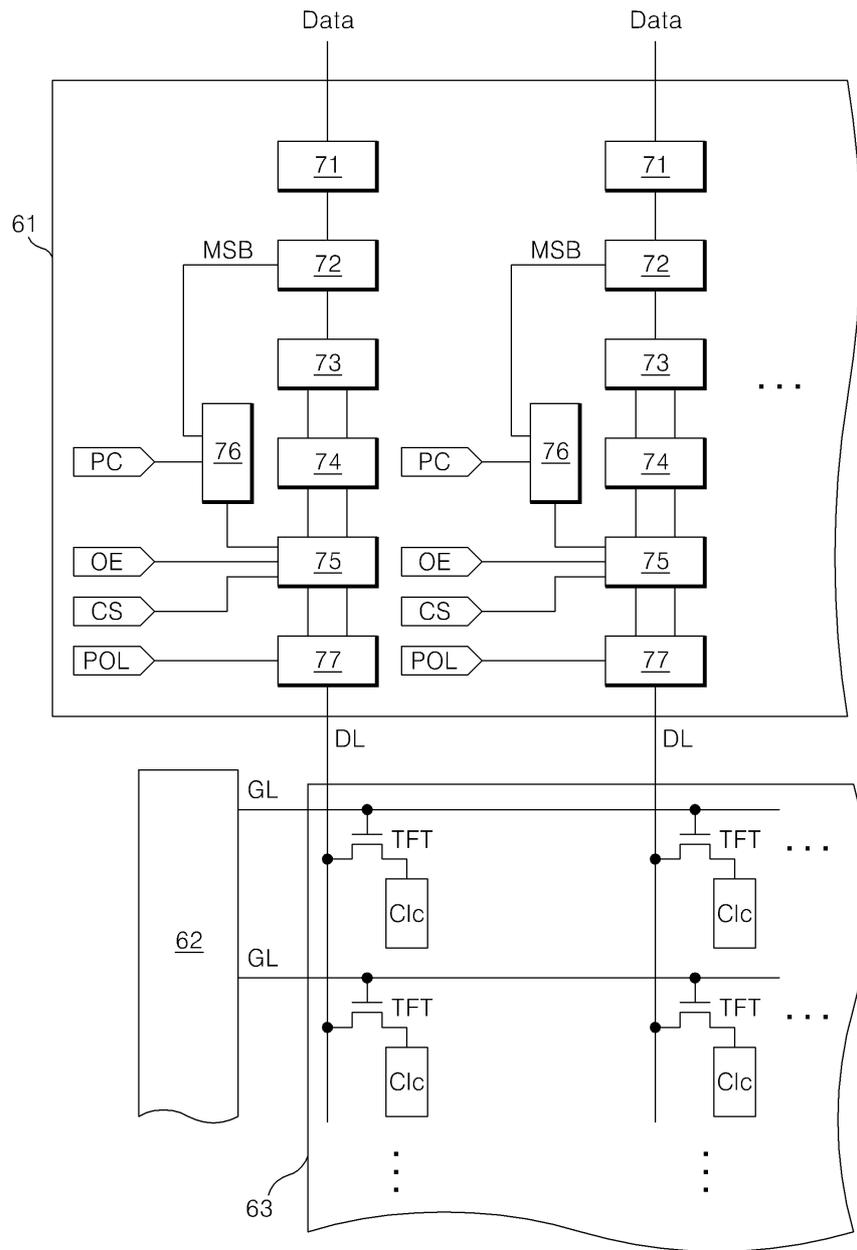
도면4



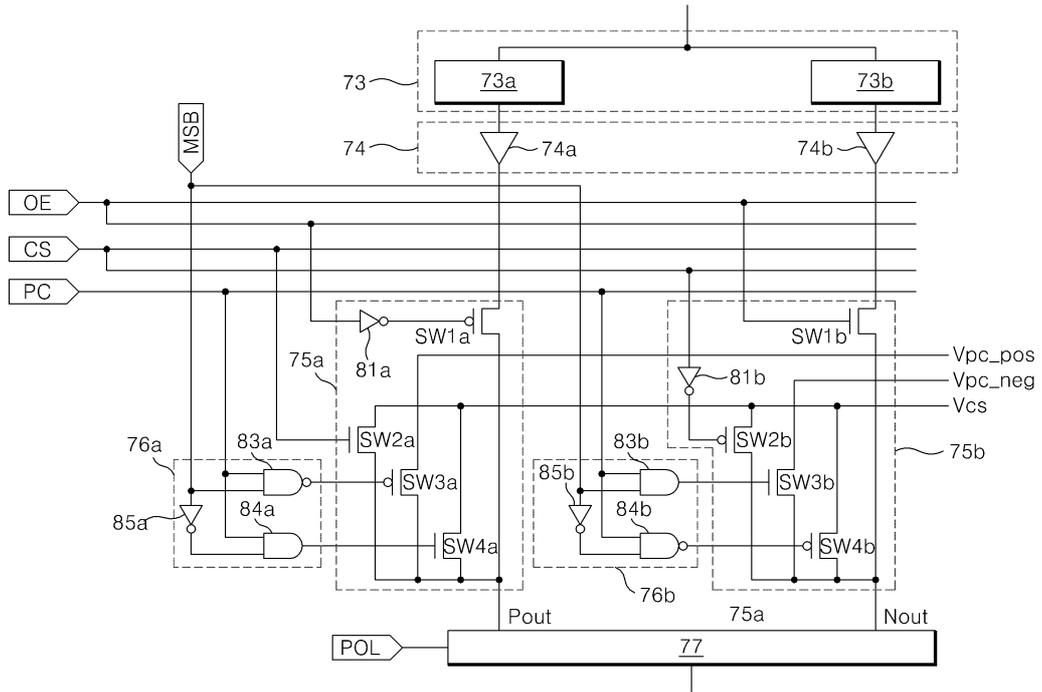
도면5



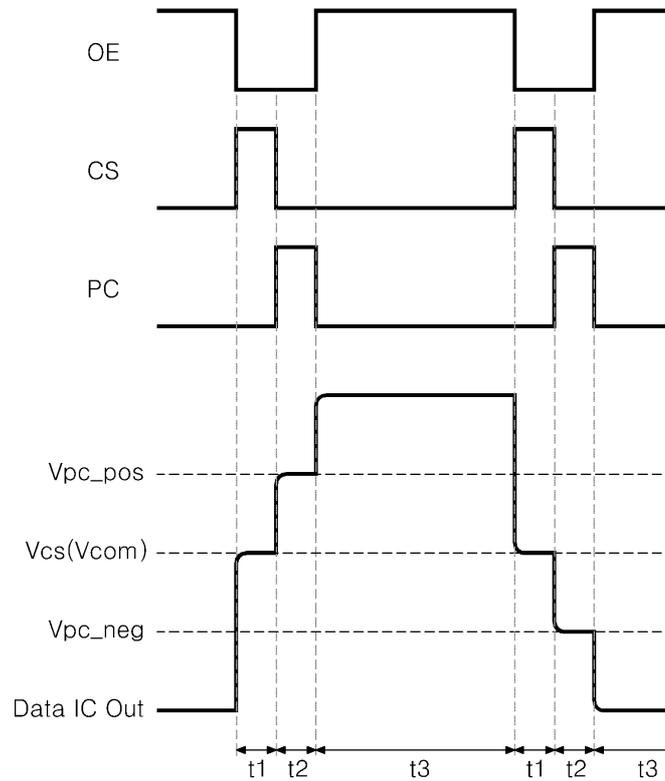
도면6



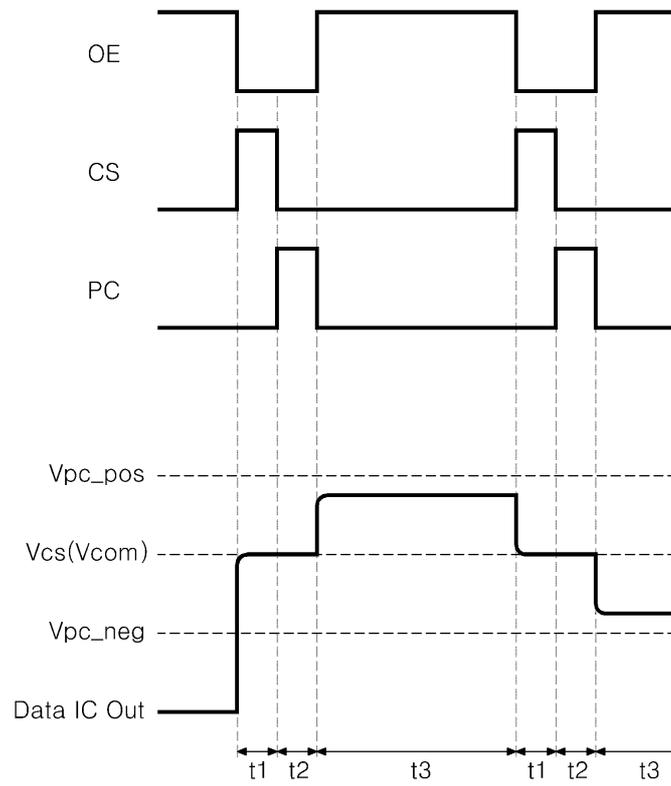
도면7



도면8



도면9



도면10

Time	PC	CS	MSB	OE	SW1a	SW2a	SW3a	SW4a	Pout	SW1b	SW2b	SW3b	SW4b	Nout
t1	0	1	0	0	ON	OFF	OFF	OFF	Vcs	ON	OFF	OFF	OFF	Vcs
	0	1	1	0	ON	OFF	OFF	OFF	Vcs	ON	OFF	OFF	OFF	Vcs
t2	1	0	0	0	OFF	OFF	ON	OFF	Vcs	OFF	OFF	ON	OFF	Vcs
	1	0	1	0	OFF	ON	OFF	OFF	Vpc_pos	OFF	ON	OFF	OFF	Vpc_neg
t3	0	0	0	1	OFF	OFF	OFF	ON	Buffer Output	OFF	OFF	OFF	ON	Buffer Output
	0	0	1	1	OFF	OFF	OFF	ON	Buffer Output	OFF	OFF	OFF	ON	Buffer Output

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020070076022A	公开(公告)日	2007-07-24
申请号	KR1020060004923	申请日	2006-01-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI JIN CHUL		
发明人	CHOI, JIN CHUL		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	E02B5/08 E02B13/00 E03F3/046		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器及其驱动方法，用于降低数据集成电路的发热温度，降低功耗。根据本发明的液晶显示器包括响应于第一代理程序的电荷共享电压：响应于第一输出控制信号将电荷共享电压输出到LCD面板的数据线和第二输出控制信号，其中相位比第一输出控制信号晚，第二代理Fisher输出它选择的数据线到第二代理渔夫：绝对值高于电荷共享电压的预充电电压和输出数据线的第三控制单元第三个控制单元。

