



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1345 (2006.01)

(11) 공개번호 10-2007-0037010
(43) 공개일자 2007년04월04일

(21) 출원번호 10-2005-0092190
(22) 출원일자 2005년09월30일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 김민정
부산 동래구 칠산동 286
(74) 대리인 허용록

전체 청구항 수 : 총 13 항

(54) 액정 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 액정 표시 장치에 관한 것으로, 보다 상세하게는 액정 표시 장치(liquid crystal display : LCD)의 구동회로부의 불량을 리페어(repair)할 수 있는 액정 표시 장치 및 그 제조 방법에 관한 것이다.

본 발명에 따르면 화면을 표시하는 액정 패널과, 상기 액정 패널을 구동하기 위한 회로가 형성된 구동부를 포함하는 액정 패널의 구동부에서, 상기 소스 라인 또는 드레인 라인에서 분기된 복수의 리페어 전극과, 상기 보호막 상에 상기 리페어 전극과 소정 중첩된 리페어 라인을 형성한다.

따라서, 본 발명은 액정 표시 장치의 구동부에서 박막 트랜지스터에서 이물등에 의해 발생될 수 있는 불량을 리페어 라인을 이용하여 레이저 웰딩 등의 방법으로 손쉽게 리페어할 수 있다.

또한, 본 발명은 액정 표시 장치의 구동부에 발생된 불량으로 인해 재작업(rework)을 할 필요가 없어 제조 수율이 증가되고 제조 비용도 절감된다.

대표도

도 3

특허청구의 범위

청구항 1.

화면을 표시하는 액정 패널과, 상기 액정 패널을 구동하기 위한 회로가 형성된 구동부를 포함하는 액정표시장치에서,

상기 구동부는, 기관 상에 형성된 게이트 라인과;

상기 게이트 라인 상부에 형성된 반도체층과;

상기 게이트 라인을 사이에 두고 대향한 소스 라인 및 드레인 라인과;

상기 소스 라인 및 드레인 라인으로부터 분기된 소스 전극 및 드레인 전극과;

상기 소스 라인 또는 드레인 라인에서 분기된 복수의 리페어 전극과;

상기 소스 라인 및 드레인 라인 상에 형성된 보호막과;

상기 보호막 상에 상기 리페어 전극과 소정 중첩된 리페어 라인을 포함하여 이루어지는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제 1항에 있어서,

상기 리페어 전극과 상기 리페어 라인의 중첩 영역은 레이저 웰딩 콘택부로 정의되는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제 1항에 있어서,

상기 리페어 라인은 투명한 도전성 전극 물질로 이루어진 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제 1항에 있어서,

상기 소스 전극과 드레인 전극은 서로 엇갈려 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제 1항에 있어서,

상기 리페어 라인은 상기 소스 라인, 드레인 라인과 평행하게 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제 1항에 있어서,

상기 게이트 라인 상에 형성된 게이트 절연막을 더 포함한 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제 1항에 있어서,

상기 리페어 전극은 상기 소스 라인 또는 데이터 라인에서 상기 소스 전극 또는 드레인 전극과 다른 측에서 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 8.

화면을 표시하는 액정 패널과, 상기 액정 패널을 구동하기 위한 회로가 형성된 구동부를 포함하는 액정표시장치의 제조 방법에서,

상기 구동부의 기판 상에 게이트 라인을 형성하는 단계와;

상기 게이트 라인 상부에 반도체층을 형성하는 단계와;

상기 게이트 라인을 사이에 두고 대향한 소스 라인 및 드레인 라인과, 상기 소스 라인 및 드레인 라인으로부터 분기된 소스 전극 및 드레인 전극과, 상기 소스 라인 또는 드레인 라인에서 분기된 복수의 리페어 전극을 형성하는 단계와;

상기 소스 라인 및 드레인 라인 상에 보호막을 형성하는 단계와;

상기 보호막 상에 상기 리페어 전극과 소정 중첩되는 리페어 라인을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 9.

제 8항에 있어서,

상기 리페어 라인은 투명한 도전성 전극 물질로 이루어지는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 10.

제 8항에 있어서,

상기 리페어 라인은 상기 소스 라인, 드레인 라인과 평행하게 형성되는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 11.

제 8항에 있어서,

상기 리페어 전극과 상기 리페어 라인은 레이저 웰딩에 의해 접합되는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 12.

제 8항에 있어서,

상기 게이트 라인을 형성하는 단계 이후에,

상기 게이트 라인 상에 게이트 절연막을 형성하는 단계를 더 포함한 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 13.

제 8항에 있어서,

상기 리페어 전극은 상기 소스 라인 또는 데이터 라인에서 상기 소스 전극 또는 드레인 전극과 다른 측에서 형성되는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 보다 상세하게는 액정표시장치(liquid crystal display : LCD)의 구동회로부의 불량률 리페어(repair)할 수 있는 액정 표시 장치 및 그 제조 방법에 관한 것이다.

일반적으로, 화상 정보를 화면에 나타내는 화면 표시 장치들 중에서, 박막형 평판 표시 장치가 가볍고, 어느 장소에든지 쉽게 사용할 수 있다는 장점 때문에 근래에 집중적인 개발의 대상이 되고 있다. 특히, 액정표시장치는 해상도가 높고, 동화상을 실현하기에 충분할 만큼 반응 속도가 빠르기 때문에, 가장 활발한 연구가 이루어지고 있는 제품이다.

상기 액정표시장치는 방향성을 갖고 있는 액정 분자의 배향 방향을 분극성을 이용하여 인위적으로 조절함으로써, 액정의 배향 방향에 따른 광학적 이방성에 의해 빛을 투과 및 차단시킬 수 있게 되며, 이를 응용하여 평판 표시장치로 사용한다.

최근에는 복수의 화소들을 매트릭스 형태로 배열하고, 각각의 화소에 구비된 박막트랜지스터(thin film transistor : TFT)와 같은 스위칭 소자를 통해 화상정보를 각각의 화소에 선택적으로 공급하는 액티브 매트릭스 형태(active matrix type)가 뛰어난 화질을 제공하기 때문에 많이 사용되고 있다.

상기 액정표시장치에 사용되는 기관은 빛을 투과시키는 투명한 재질로 예를 들어, 저비용 및 가공성에 장점을 갖는 유리 재질이 적용된다.

상기 트랜지스터의 채널로는 고속동작이 가능한 결정질 실리콘을 사용하게 되는데, 채널을 전자 이동도가 높은 다결정 실리콘 재질로 제작될 경우에 스위칭 속도가 빠르고, 사이즈를 작게 설계할 수 있으나, 다결정 실리콘은 고온 공정에 의해 형성되기 때문에 액정표시장치의 유리 기관 상에 형성할 수 없게 된다.

따라서, 액정표시장치의 유리 기관 상에 적용되는 박막트랜지스터는 저온 공정에 의해 형성할 수 있는 비정질 실리콘 재질로 제작된다.

한편, 상기 액정표시장치의 구동부는 디지털 신호를 처리하기 위하여 매우 많은 갯수의 스위칭소자들이 요구되기 때문에 스위칭 속도가 빠르고, 사이즈가 작은 트랜지스터들이 높은 밀도로 집적화된 복수의 집적회로(integrated circuit : IC)들로 구성된다.

따라서, 상기 액정표시장치의 구동부에 적용되는 트랜지스터들은 고온 공정에 의해 형성되는 다결정 실리콘 재질로 제작되어야 한다.

상기한 바와 같이 액정표시장치의 기관에 적용되는 박막트랜지스터는 저온 공정에 의해 비정질 실리콘 재질로 제작되고, 상기 액정표시장치의 구동부에 적용되는 트랜지스터는 고온 공정에 의해 형성되는 다결정 실리콘 재질로 제작된다.

따라서, 액정표시장치의 구동부는 별도의 단결정 실리콘 기관 상에 복수의 집적회로들이 개별적으로 제작되고, 그 집적 회로들이 테이프 캐리어 패키지(tape carrier package : TCP) 상에 실장되어 탭(tape automated bonding : TAB) 방식으

로 액정표시장치의 기판과 접속되거나 또는 칩-온-글래스(chip-on-glass : COG) 방식으로 액정표시장치의 기판 상에 실장되어 기판과 결합된다.

그러나, 상기한 바와 같이 액정표시장치의 구동부가 탭 방식이나 칩-온-글래스 방식으로 기판과 결합될 경우에는 액정표시장치의 구동부가 차지하는 공간이 요구되어 액정표시장치의 소형화 및 간소화에 제약을 받게 되고, 구동신호들을 전송하는 배선들의 갯수 및 길이가 증가함에 따른 각종 노이즈나 전자기적 간섭(electromagnetic interference : EMI) 등이 발생하여 제품의 신뢰성이 저하되며, 액정표시장치의 제조단가를 상승시키는 문제점이 있었다.

그런데, 최근 들어 상기 다결정 실리콘을 저온 공정으로 형성할 수 있는 연구개발이 진전됨에 따라 액정표시장치의 기판 상에 제작되는 박막트랜지스터를 다결정 실리콘 재질로 제작할 수 있게 되었고, 이를 통해 액정표시장치의 기판 상에 구동부를 내장시킬 수 있는 구동회로 일체형 액정표시장치가 제안되었다.

도 1은 상기 구동회로 일체형 액정표시장치의 개략적인 구성을 보여주는 평면도이다.

도 1을 참조하면, 액정표시장치는 일정하게 이격되어 횡으로 배열되는 게이트 라인(20)들과 일정하게 이격되어 종으로 배열되는 데이터 라인(30)들이 서로 교차하고, 그 게이트 라인(20)들과 데이터 라인(30)들이 교차하여 구획되는 사각형 영역에 화소(40)들이 형성된 액정 표시패널(10)과; 상기 액정 표시패널(10)에 실장되어 게이트 라인(20)들에 주사신호를 인가하는 게이트 구동부(50)와; 상기 액정 표시패널(10)에 실장되어 데이터 라인(30)들에 데이터신호를 인가하는 데이터 구동부(60)로 구성된다.

상기 각각의 화소(40)에는 화소전극과 박막트랜지스터가 구비되며, 그 박막트랜지스터는 상기 게이트 라인(20)에 접속되는 게이트 전극과, 상기 데이터 라인(30)에 접속되는 소스 전극과; 상기 화소전극에 접속되는 드레인 전극을 구비한다.

그리고, 상기 게이트 라인(20)들과 데이터 라인(30)들의 일측 끝단에는 게이트 패드부와 데이터 패드부가 형성된다.

한편, 상기 게이트 구동부(50)는 상기 게이트 패드부를 통해 게이트 라인(20)들에 순차적으로 주사신호를 인가하고, 상기 데이터 구동부(60)는 상기 데이터 패드부를 통해 데이터 라인(30)들에 데이터신호를 인가하여 액정 표시패널(10)의 화소(40)들을 개별적으로 구동시킴으로써, 액정 표시패널(10)에서 원하는 화상이 표시된다.

상기 액정 표시패널(10)에 실장되는 게이트 구동부(50)와 데이터 구동부(60)는 액정 표시패널(10)의 박막트랜지스터 어레이 기판을 제작하는 과정에서 동시에 형성된다.

한편, 상기 액정표시장치의 고해상도 및 대면적화가 진행될수록 액정표시장치를 구동하기 위해 처리되는 데이터신호의 양이 대폭 증가하게 되므로, 액정표시장치의 구동부는 더욱 빠른 속도로 구동되어야 하지만, 상술한 바와 같이 데이터 라인들 및 게이트 라인들의 부하가 증가하여 원하는 신호를 빠른 시간 안에 인가할 수 없게 된다.

따라서, 고해상도 및 대면적의 액정표시장치는 데이터 라인들 및 게이트 라인들의 부하에 대응하여 원하는 신호를 빠른 시간 안에 인가할 수 있도록 출력버퍼에 채널 폭이 큰 트랜지스터가 요구된다.

이하, 도 2는 종래 구동부의 박막 트랜지스터를 보여주는 도면이다.

도 2를 참조하면, 구동부(100)에는 기판 상에 다수의 박막 트랜지스터가 형성되는데, 두 개의 대형 채널폭을 가지는 제 1, 2 박막 트랜지스터(TFT1, TFT2)로서 설명한다.

여기서, 상기 제 1 박막 트랜지스터(TFT1)는 양측 가장자리에 제 1 드레인 라인(103a)과 제 1 소스 라인(105a)이 형성되어 있고, 상기 제 2 박막 트랜지스터(TFT2)는 상기 제 2 소스 라인(105b)과 제 2 드레인 라인(103b)이 형성되어 있다.

그리고 상기 제 1 드레인 라인(103a)과 제 1 소스 라인(105a) 사이에는 제 1 게이트 라인(101a)이 상기 제 1 드레인 라인(103a)과 제 1 소스 라인(105a)에 평행하게 형성되어 있고, 상기 제 2 소스 라인(105b)과 제 2 드레인 라인(103b) 사이에는 제 2 게이트 라인(101b)이 형성되어 있다.

상기 제 1 드레인 라인(103a)에서는 다수개의 제 1 드레인 전극(104a)이 형성되어 있고, 이에 대응하도록 마주하는 상기 제 1 소스 라인(105a)에서도 다수개의 제 1 소스 전극(106a)이 형성되어 있다.

이와 대응되도록 상기 제 2 드레인 라인(103b)에서는 다수 개의 제 2 드레인 전극(104b)이 형성되어 있고, 이에 마주하는 상기 제 2 소스 라인(105b)에서도 다수 개의 제 2 소스 전극(106b)이 형성되어 있다.

그리고, 상기 박막 트랜지스터에는 채널부에 반도체층(107)을 공통으로 형성하고 있다.

상기 제 1, 2 게이트 라인(101a, 101b)을 공통 게이트 전극으로 하면서 소스/드레인전극(106a/104a, 106b/104b)이 교대로 배치되어 서로 병렬로 연결됨으로써 대형 채널 폭의 박막 트랜지스터를 형성할 수 있다.

그리고, 상기 박막 트랜지스터들은 서로 분리시키기 위하여 보호막(120)과 게이트 절연막(도시되지 않음)이 적층되어 형성된 절연 영역을 사이에 두고 서로 병렬로 연결된 구조를 하고 있다.

그런데, 이와 같은 구동부의 대형 채널 폭 박막 트랜지스터들은 미세한 패턴으로 서로 긴밀한 연결구조를 가지는데, 이러한 구조에서는 공정 중에 환경성 이물 또는 마스크 패턴의 틀어짐 등과 같은 여러가지 요인들로 인하여 소스 라인, 드레인 라인 등의 패턴의 유실(A)이 발생되거나, 소스 라인, 드레인 라인 등에서 단락 등의 불량 발생될 수 있다.

이와 같이 라인 등의 일부 유실(A)에 의해 발생된 불량은 대형 폭의 거대한 박막 트랜지스터 전체가 구동되지 않도록 하는 문제를 일으켜 구동부 오작동을 일으키는 원인이 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 액정 표시 장치의 구동부에서 박막 트랜지스터 사이에 소스 및 드레인 라인과 평행한 리페어 라인을 형성하여 박막 트랜지스터 불량 발생시 용이하게 리페어할 수 있는 액정 표시 장치 및 그 제조방법을 제공하는 데 목적이 있다.

발명의 구성

상기한 목적을 달성하기 위하여 본 발명에 따른 액정 표시 장치는, 화면을 표시하는 액정 패널과, 상기 액정 패널을 구동하기 위한 회로가 형성된 구동부를 포함하는 액정표시장치에서, 상기 구동부에는, 기판 상에 형성된 게이트 라인과; 상기 게이트 라인 상에 형성된 반도체층과; 상기 게이트 라인을 사이에 두고 대향한 소스 라인 및 드레인 라인과; 상기 소스 라인 및 드레인 라인으로부터 분기된 소스 전극 및 드레인 전극과; 상기 소스 라인 또는 드레인 라인에서 분기된 복수의 리페어 전극과; 상기 소스 라인 및 드레인 라인 상에 형성된 보호막과; 상기 보호막 상에 상기 리페어 전극과 소정 중첩된 리페어 라인을 포함하여 이루어지는 것을 특징으로 한다.

상기 리페어 전극과 상기 리페어 라인의 중첩 영역은 레이저 웰딩 콘택부로 정의되는 것을 특징으로 한다.

상기 리페어 라인은 투명한 도전성 전극 물질로 이루어진 것을 특징으로 한다.

또한, 상기한 목적을 달성하기 위하여 본 발명에 따른 액정 표시 장치의 제조 방법은, 화면을 표시하는 액정 패널과, 상기 액정 패널을 구동하기 위한 회로가 형성된 구동부를 포함하는 액정표시장치의 제조 방법에서, 상기 구동부의 기판 상에 게이트 라인을 형성하는 단계와; 상기 게이트 라인 상부에 반도체층을 형성하는 단계와; 상기 게이트 라인을 사이에 두고 대향한 소스 라인 및 드레인 라인과, 상기 소스 라인 및 드레인 라인으로부터 분기된 소스 전극 및 드레인 전극과, 상기 소스 라인 또는 드레인 라인에서 분기된 복수의 리페어 전극을 형성하는 단계와; 상기 소스 라인 및 드레인 라인 상에 보호막을 형성하는 단계와; 상기 보호막 상에 상기 리페어 전극과 소정 중첩되는 리페어 라인을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

상기 게이트 라인을 형성하는 단계 이후에, 상기 게이트 라인 상에 게이트 절연막을 형성하는 단계를 더 포함한 것을 특징으로 한다.

상기 리페어 전극은 상기 소스 라인 또는 데이터 라인에서 상기 소스 전극 또는 드레인 전극과 다른 측에서 형성되는 것을 특징으로 한다.

상기 리페어 전극과 상기 리페어 라인은 레이저 웰딩에 의해 접합되는 것을 특징으로 한다.

이하, 첨부한 도면을 참조로 하여 본 발명에 따른 액정 표시 장치의 구동부에 대해서 구체적으로 설명한다.

도 3은 본 발명에 따른 액정표시장치의 구동부의 일부를 나타낸 평면도이고, 도 4는 도 3에서 I-I'로 절단하여 보여주는 단면도이다.

도 3에 도시된 바와 같이, 본 발명에 따른 액정표시장치의 구동부(200)는 다수 개의 박막 트랜지스터가 서로 연결 구조를 가지고 형성되어 있으며, 박막 트랜지스터 사이에는 리페어 영역이 형성되어 있다. 여기서는 제 1, 2 박막 트랜지스터(TFT1, TFT2) 구조와 그 사이에 형성된 리페어 영역으로 설명한다.

상기 액정 표시 장치의 구동부(200)에 형성되는 상기 제 1, 2 박막 트랜지스터(TFT1, TFT2)는 액정표시장치를 구동하기 위해 처리되는 데이터 신호의 양이 대폭 증가하게 되므로, 원하는 신호를 빠른 시간 안에 인가할 수 있도록 채널 폭이 큰 구조의 트랜지스터 구조가 제안된다. 본 발명에서의 박막 트랜지스터의 구조는 소스 라인(205a, 205b)을 중심으로 좌우측이 대칭되어 대형 채널폭의 박막 트랜지스터를 형성하고 있다.

그리고, 상기 제 1 박막 트랜지스터(TFT1)와 제 2 박막 트랜지스터(TFT2)의 사이에는 리페어 영역(repair area)이 형성되어 있어 상기 제 1 박막 트랜지스터(TFT1) 또는 제 2 박막 트랜지스터(TFT2) 단락시에 상기 리페어 영역을 통해 리페어할 수 있다.

여기서, 구동회로가 형성될 영역의 제 1 박막 트랜지스터(TFT1) 양측 가장자리에 제 1 드레인 라인(203a)과 제 2 드레인 라인(203b)이 형성되어 있고, 상기 제 1 드레인 라인(203a)과 제 2 드레인 라인(203b) 사이의 중심 영역에는 하나의 소스 라인(105a)이 형성되어 있다.

상기 제 1, 2 드레인 라인(203a, 203b)에는 리페어 영역으로 돌출되어 형성된 복수개의 제 1 리페어 전극(223a)이 형성되어 있다.

그리고 상기 제 1 드레인 라인(203a)과 소스 라인(205) 사이에는 제 1 게이트 라인(201a)이 상기 제 1 드레인 라인(203a)과 소스 라인(205a)에 사이에 평행하게 형성되어 있고, 상기 소스 라인(205a)과 제 2 드레인 라인(203b) 사이에는 제 2 게이트 라인(201b)이 형성되어 있다.

상기 제 1 드레인 라인(203a)에서는 다수개의 제 1 드레인 전극(204a)이 형성되어 있고, 이에 대응하도록 마주하는 상기 소스 라인(205a)에서도 다수개의 소스 전극(206a)이 형성되어 있다.

상기 제 1 드레인 라인(203a)과 연결된 다수개의 제 1 드레인 전극들(204a)은 상기 소스 라인(205a)과 연결된 다수개의 소스 전극(206a)과 상기 제 1 게이트 라인(201a)에 수직으로 오버랩되면서 소정의 간격을 두고 배치되어 있다.

이와 대응되도록 상기 제 2 드레인 라인(203b)과 소스 라인(205a) 사이에도 제 2 게이트 라인(201b)을 공통 게이트 전극으로 사용한다.

상기 제 1 드레인 라인(203a)과 연결된 다수개의 제 1 드레인 전극(204a)과 소스 라인(205a)과 연결된 다수개의 제 1 소스 전극(206a)은 상기 제 1 게이트 라인(201a)과 수직으로 교차배열 되면서, 상기 제 1 드레인 전극들(204a)과 소스 전극들(206a)은 소정의 간격을 두고 배열되어 있어 채널 폭을 극대화시킨다.

마찬가지 구조로서, 상기 제 2 드레인 라인(203b)과 연결된 다수 개의 제 2 드레인 전극(204b), 소스 라인(205a)과 연결된 다수 개의 소스 전극(206a)은 상기 제 2 게이트 라인(201b)과 수직으로 교차 배열 되면서, 상기 제 1 드레인 전극들(204b)과 소스 전극(206a)들은 소정의 간격을 두고 배열되어 있어 채널 폭을 극대화시킬 수 있다.

도면에서 도시하였지만, 설명하지 않은 도면부호 207은 박막 트랜지스터의 채널층과 오믹접촉층으로 구성된 반도체층을 나타낸다.

본 발명에서는 하나의 소스 라인(205a)이 상하측에 배치된 드레인 라인(203a, 203b)들과 박막 트랜지스터를 형성하는 구조를 하고 있으나, 반대로 하나의 드레인 라인이 상하측에 배치된 두 개의 소스 라인들과 함께 박막 트랜지스터를 형성할 수도 있고, 하나의 소스 라인과 하나의 드레인 라인으로 박막 트랜지스터를 형성할 수도 있다.

한편, 제 2 박막 트랜지스터에 형성된 구조는 상기 제 1 박막 트랜지스터에 형성된 구조와 동일하며 서로 대칭된 구조를 가지므로 구체적인 설명은 생략하고 도면 부호는 간략히 설명한다.

상기 제 2 박막 트랜지스터 양측 가장자리에 제 3 드레인 라인(203c)과 제 4 드레인 라인(203d)이 형성되어 있고, 상기 제 3 드레인 라인(203c)과 제 4 드레인 라인(203d) 사이의 중심 영역에는 하나의 소스 라인(205b)이 형성되어 있다.

상기 제 3, 4 드레인 라인(203c, 203d)에는 리페어 영역으로 돌출되어 형성된 복수개의 제 2 리페어 전극(223b)이 형성되어 있다.

그리고 상기 제 3 드레인 라인(203c)과 소스 라인(205b) 사이에는 제 3 게이트 라인(201c)이 형성되어 있고, 상기 소스 라인(205b)과 제 4 드레인 라인(203d) 사이에는 제 4 게이트 라인(201d)이 형성되어 있다.

상기 제 3, 4 드레인 라인(203c, 203d)에서는 다수개의 제 3, 4 드레인 전극(204c, 204d)이 형성되어 있고, 이에 대응하도록 마주하는 상기 소스 라인(205b)에서도 다수개의 소스 전극(206b)이 양측으로 형성되어 있다.

상기와 같이 형성된 제 1 박막 트랜지스터(TFT1)와 제 2 박막 트랜지스터(TFT2)의 사이에는 리페어 영역이 형성되어 있으며, 상기 제 1 박막 트랜지스터(TFT1) 또는 제 2 박막 트랜지스터(TFT2) 단락시에 상기 리페어 영역을 통해 리페어할 수 있다.

본 발명은 액정 표시 장치의 구동부(200)에서 박막 트랜지스터에서 이물등에 의해 발생될 수 있는 불량을 리페어 라인을 이용하여 레이저 웰딩(laser welding) 등의 방법으로 손쉽게 리페어할 수 있다.

또한, 본 발명은 액정 표시 장치의 구동부(200)에 발생된 불량으로 인해 재작업(rework)을 할 필요가 없어 제조 수율이 증가되고 제조 비용도 절감된다.

도 3 및 도 4를 참조하면, 상기 리페어 영역에는 상기 소스 라인(205a, 205b), 드레인 라인(203a, 203b, 203c, 203d)들과 동일한 방향으로 리페어 라인(221)이 평행하게 형성되어 있다.

상기 리페어 라인(221) 하부에는 상기 제 1 박막 트랜지스터(TFT1)의 제 2 드레인 라인(203b)으로부터 돌출된 복수 개의 제 1 리페어 전극(223a)과 상기 제 2 박막 트랜지스터(TFT2)의 제 3 드레인 라인(203c)으로부터 돌출된 복수 개의 제 2 리페어 전극(223b)이 소정 중첩되어 형성되어 있다.

상기 리페어 라인(221)은 기판(230) 상의 게이트 절연막(213), 보호막(220) 상에 형성되며, 상기 제 1 리페어 전극(223a)과 제 2 리페어 전극(223b)은 상기 게이트 절연막(213)과 보호막(220) 사이에 형성된다.

이때, 상기 리페어 라인(221)과 상기 제 1 리페어 전극(223a) 및 제 2 리페어 전극(223b)과는 상기 보호막(220)에 의해 서로 전기적으로 절연되어 있다.

그리고, 상기 제 1 리페어 전극(223a), 제 2 리페어 전극(223b)과 상기 리페어 라인(221)이 중첩되는 소정 영역에는 레이저 웰딩(laser welding) 콘택부(225)가 정의되어 있다.

예를 들어, 상기 제 1 박막 트랜지스터(TFT1)의 제 2 드레인 라인(203b)에 단락(B)과 같은 불량이 발생하게 되면 상기 단락이 발생된 지점(B)과 양단으로 인접한 제 1 리페어 전극(223a)에 레이저 웰딩을 실시한다. 그러면 상기 레이저 웰딩 콘택부(225)에서 상기 제 1 리페어 전극(223a)과 상기 리페어 라인(221)이 전기적으로 접촉하게 되고, 상기 제 2 드레인 라인(203b)의 단락은 상기 리페어 라인(221)에 의해 리페어될 수 있다.

따라서, 상기 제 1 리페어 전극(223a)과 제 2 리페어 전극(223b)은 상기 제 2, 3 드레인 라인(203b, 203c)들과 전기적으로 연결되어 있으므로, 상기 제 2, 3 드레인 라인(203b, 203c)들로부터 인가되는 데이터 신호는 상기 제 1 리페어 전극(223a) 또는 제 2 리페어 전극(223b)들을 통해서 상기 리페어 라인(221)을 통과하여 전달될 수 있다.

그러므로, 본 발명은 액정 표시 장치의 구동부에서 박막 트랜지스터 사이에 소스 및 드레인 라인과 평행하게 리페어 라인(221)을 형성하여 레이저 웰딩 등의 방법으로 전기적으로 도통시킴으로써 박막 트랜지스터에서 이물등에 의해 발생될 수 있는 불량을 손쉽게 리페어할 수 있다.

이상 기술한 바와 같이, 본 발명에 따른 액정 표시 장치 및 그 제조 방법은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

발명의 효과

본 발명은 액정 표시 장치의 구동부에서 박막 트랜지스터에서 이물등에 의해 발생될 수 있는 불량을 리페어 라인을 이용하여 레이저 웰딩 등의 방법으로 손쉽게 리페어할 수 있어 공정이 간단한 제 1의 효과가 있다.

또한, 본 발명은 액정 표시 장치의 구동부에 발생된 불량으로 인해 재작업(rework)을 할 필요가 없어 제조 수율이 증가되고 제조 비용도 절감되는 제 2의 효과도 있다.

도면의 간단한 설명

도 1은 상기 구동회로 일체형 액정표시장치의 개략적인 구성을 보여주는 평면도.

도 2는 종래 구동부의 박막 트랜지스터를 보여주는 도면.

도 3은 본 발명에 따른 액정표시장치의 구동부의 일부를 나타낸 평면도.

도 4는 도 3에서 I - I'로 절단하여 보여주는 단면도.

<도면의 주요부분에 대한 부호 설명>

201a: 제 1 게이트 라인 201b: 제 2 게이트 라인

201c : 제 3 게이트 라인 201d : 제 4 게이트 라인

203a: 제 1 드레인 라인 203b: 제 2 드레인 라인

203c : 제 3 드레인 라인 203d : 제 4 드레인 라인

204a, 204b: 제 1, 2 드레인 전극 204c, 204d: 제 2 드레인 전극

205a, 205b: 소스 라인 206a : 제 1 소스 전극

206b : 제 2 소스 전극 213: 게이트 절연막

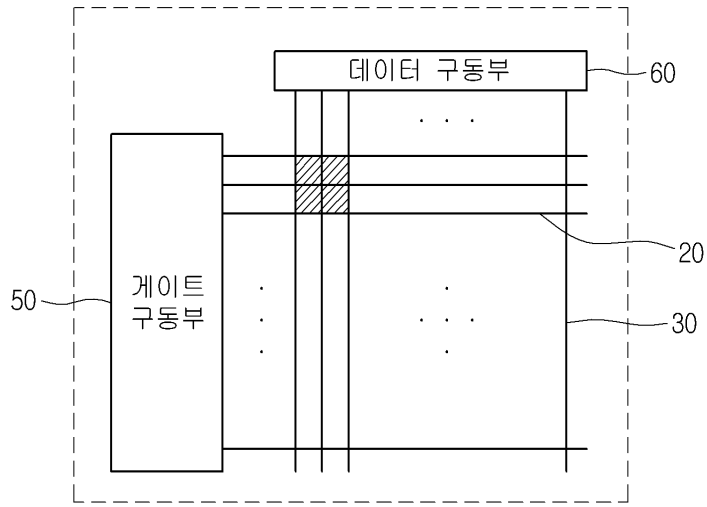
220: 보호막 221 : 리페어 라인

223a, 223b : 제 1, 2 리페어 패턴 225 : 레이저 웰딩 콘택부

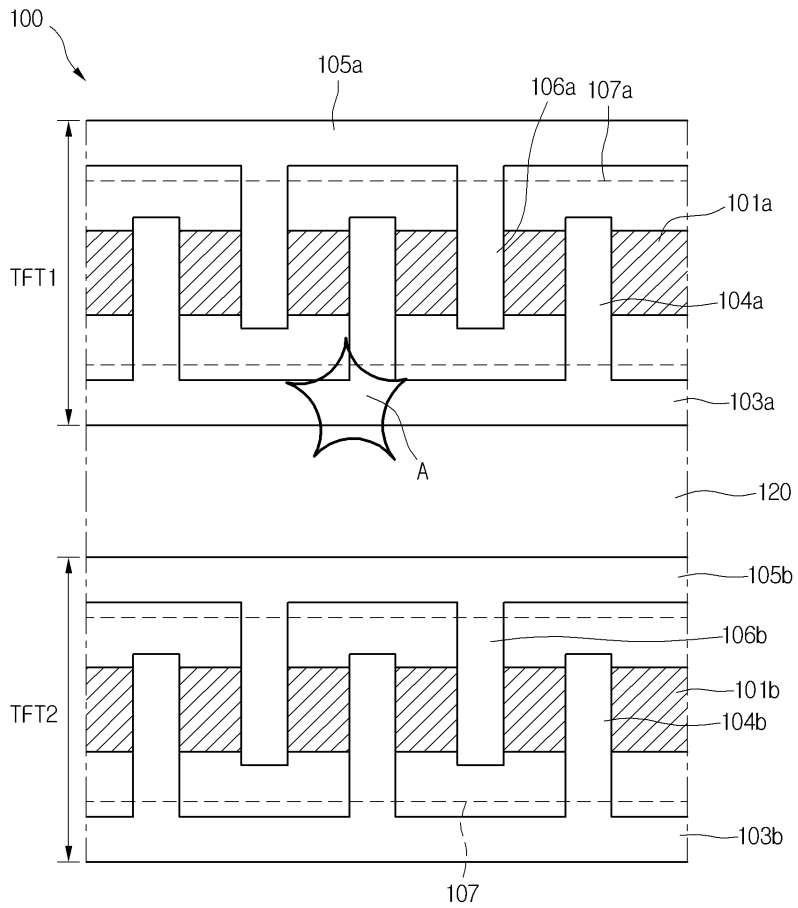
230 : 기관

도면

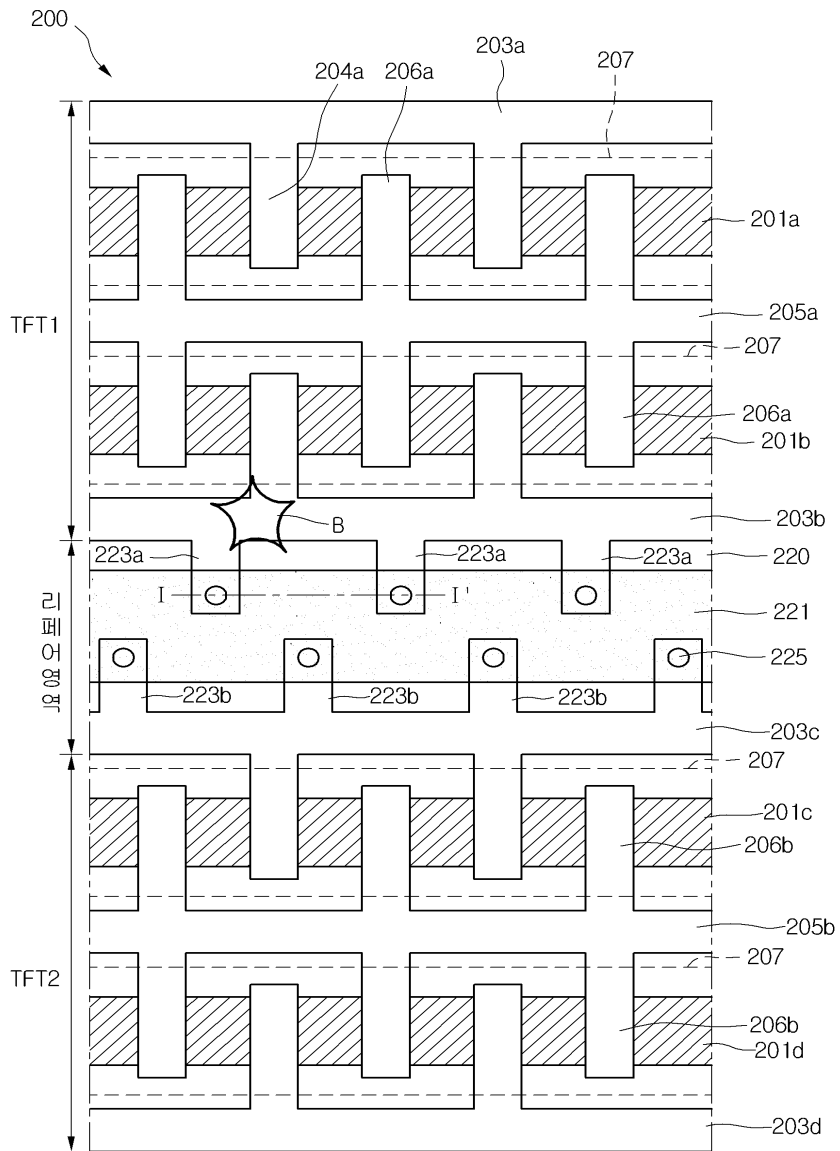
도면1



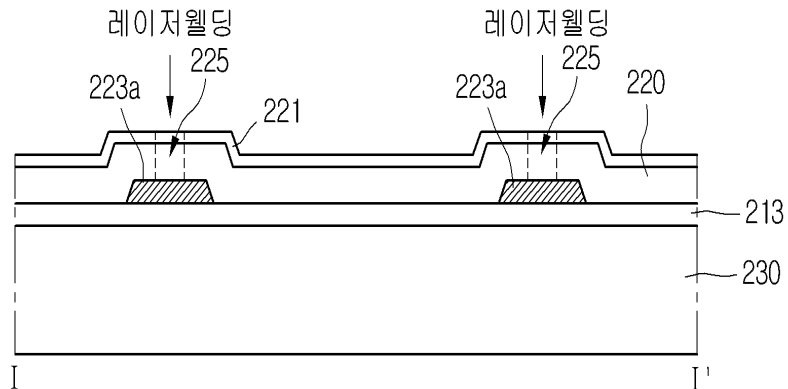
도면2



도면3



도면4



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020070037010A	公开(公告)日	2007-04-04
申请号	KR1020050092190	申请日	2005-09-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM MIN JUNG		
发明人	KIM, MIN JUNG		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/1345 G02F1/1309 G02F1/136259 G02F1/136286 G02F1/1368 G02F2201/506		
外部链接	Espacenet		

摘要(译)

液晶显示器及其制造方法本发明涉及液晶显示器，更具体地说，涉及用于修复（修复）液晶显示器（液晶显示器：LCD）的驱动电路部分的故障的液晶显示器及其制造方法。根据本发明，在修复电极上形成一个在另一个上具有一定高度的修复线，在包括指示屏幕的液晶面板的液晶面板的驱动器中从源极线或漏极线分开的多个修复线，以及驱动程序和保护膜。关于驱动器，形成用于驱动液晶面板的电路。因此，本发明涉及一种方法，包括使用薄膜晶体管中的液晶显示器的驱动器中的修复线进行激光焊接，由异物等产生的故障等，并且可以容易地进行修复。而且，返工不一定是由于在液晶显示器的驱动器中产生本发明的故障，并且提高了制造产量并节省了制造成本。司机和修理线。

