(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
*G02F 1/136* (2006.01)

(11) 공개번호 10-2006-0115780
(43) 공개일자 2006년11월10일

(21) 출원번호 10-2005-0038060
(22) 출원일자 2005년05월06일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 박경민
경기 성남시 분당구 정자동 한솔마을주공6단지아파트 607-1004
유춘기
경기 화성시 태안읍 병점리 구봉마을 우남퍼스트빌아파트105-1205
윤현식
서울 관악구 신림2동 103-250
김성호
경기 용인시 기흥읍 상갈리 금화마을주공아파트 509동 901호
박경순
경기 용인시 기흥읍 농서리 7-1 남자기숙사 월계수동 334호

(74) 대리인 정상빈
김동진

심사청구 : 없음

# (54) 액정표시장치 및 그 제조방법

요약

마스크 공정수의 감소를 통해 제조 비용 및 공정 시간을 줄일 수 있는 액정표시장치 및 그 제조방법이 제공된다. 본 발명의 액정표시장치 및 그 제조방법은, 액티브/화소전극 마스크 공정, 게이트 마스크 공정, 비아홀/엠보싱/콘택홀 마스크 공정, 소오스 및 드레인 전극/반사 전극 마스크 공정 즉, 4회의 마스크 공정을 진행함으로써 마스크 공정수의 감소를 통해 제조 비용 및 공정 시간을 줄일 수 있다.

대표도

도 2a

색인어

반사, 투과, 반투과, 4 마스크, 액정표시장치

명세서

도면의 간단한 설명

도 1은 전형적인 액정표시장치의 개략 구성도이다.

도 2a는 본 발명의 일 실시예에 따른 액정표시장치의 평면도이다.

도 2b는 도 2a의 I-I 선을 따라 자른 단면도이다.

도 3은 본 발명의 다른 실시예에 따른 액정표시장치의 단면도이다.

도 4a 내지 도 7는 본 발명의 일 실시예에 따른 액정표시장치의 제조 공정 단계별 각각의 단면도들이다.

도 8는 도 3b의 제 1 마스크의 평면도이다.

<도면의 주요부분에 대한 부호의 설명>

400 : 투명 절연 기판 410 : 투명도전층

420 : 버퍼층 430a : 반도체층

431 : 채널층 432, 433 : 저농도 도핑 영역

434 : 소오스 영역 435 : 드레인 영역

440 : 게이트 절연막 450 : 게이트 전극

460 : 층간절연막 470 : 유기막

481 : 소오스 전극 482 : 드레인 전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 더욱 상세하게는, 마스크 공정수의 감소를 통해 제조 비용 및 공정 시간을 줄일 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

액정표시장치는 경박단소하고 저전압구동 및 저전력소모라는 장점을 바탕으로 CRT(Cathode Ray Tube)를 대신하여 개발되어져 왔다. 특히, 박막트랜지스터 액정표시장치(이하, TFT-LCD)는 CRT에 필적할만한 고화질화, 대형화 및 컬러화 등을 실현하였기 때문에 최근에는 노트북 PC 및 모니터 시장은 물론 여러 분야에서 다양하게 사용되고 있다. 이러한 TFT-LCD는 개략적으로 TFT 및 화소전극이 구비된 어레이 기판과 컬러필터 및 상대전극이 구비된 컬러필터 기판이 액정층의 개재하에 합착되어진 구조를 갖는다.

이러한 액정표시장치는 액티브 마스크 공정, 게이트 마스크 공정, 콘택홀 마스크 공정, 소오스 및 드레인 마스크 공정, 비아홀 마스크 공정, 화소전극 마스크 공정을 진행해야 하므로, 대략 6회의 마스크 공정이 수행되고 있다.

한편, 폴리실리콘을 채널 영역으로 사용하는 반사-투과형 액정표시장치는 액티브 마스크 공정, 게이트 마스크 공정, 콘택홀 마스크 공정, 소오스 및 드레인 마스크 공정, 비아홀 마스크 공정, 엠보싱 마스크 공정, 화소전극 마스크 공정 및 반사전극 마스크 공정을 진행해야 하므로, 대략 8회의 마스크 공정이 수행된다.

여기에서, 마스크 공정은 감광막 도포, 노광 및 현상 공정과 식각 공정을 포함하므로, 전체 공정이 매우 복잡할 뿐만 아니라, 폴리실리콘을 채널 영역으로 사용하는 반사-투과형 액정표시장치는 종래 액정표시장치와 비교해서 2회의 마스크 공정이 더 수행되는 것으로 인해 제조 비용 및 공정 시간이 많이 소요된다.

## 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 마스크 공정수의 감소를 통해 제조 비용 및 공정 시간을 줄일 수 있는 액정표시장치를 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 상기한 바와 같은 액정표시장치의 제조방법을 제공하는데 있다.

본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

## 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정표시장치는 절연 기판, 상기 절연 기판 상에 형성된 차단층 및 화소전극, 상기 차단층 상에 형성되며, 소오스 영역, 드레인 영역 및 채널 영역을 포함하는 반도체층, 상기 반도체층 상에 절연되어 형성된 게이트 전극을 구비하는 게이트 배선, 상기 기판 결과물 상에 형성되며, 상기 소오스 영역을 노출시키는 제 1 콘택홀과 상기 드레인 영역을 노출시키는 제 2 콘택홀 및 상기 화소전극의 일부분을 노출시키는 개구를 구비한 유기막, 상기 유기막 상에 형성되며, 상기 제 1 콘택홀을 통해 상기 소오스 영역과 연결되어 있는 소오스 전극을 구비한 데이터 배선과 상기 제 2 콘택홀과 개구를 통해 화소전극과 드레인 영역이 연결되어 있는 드레인 전극을 포함한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 액정표시장치의 제조방법은 절연 기판 상에 투명도전층과 폴리실리콘층을 차례로 형성하는 단계, 상기 폴리실리콘층 상에 반도체층 영역을 정의하는 제1두께를 갖는 포토레지스트 패턴과, 화소전극 영역을 정의하는 상기 제1두께보다 낮은 제2두께를 갖는 포토레지스트 패턴을 각각 식각 마스크로 사용하여 상기 반도체층과 상기 화소전극을 형성하는 단계, 상기 반도체층 상에 절연되어 형성된 게이트 전극을 구비하는 게이트 배선을 형성하는 단계, 상기 게이트 전극을 이온주입 마스크로 하여 상기 반도체층에 도전 불순물을 도핑하여 소오스 및 드레인 영역을 형성하는 단계, 상기 기판 결과물 상에 유기막을 도포하고, 상기 소오스 영역을 노출시키는 제 1 콘택홀과 상기 드레인 영역을 노출시키는 제 2 콘택홀 및 상기 화소전극의 일부분을 노출시키는 개구를 구비한 유기막을 형성하는 단계, 상기 유기막 상에 형성되며, 상기 제 1 콘택홀을 통해 상기 소오스 영역과 연결되어 있는 소오스 전극을 구비한 데이터 배선과 상기 제 2 콘택홀과 개구를 통해 화소전극과 드레인 영역이 연결되어 있는 드레인 전극을 형성하는 단계를 포함한다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있을 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것으로, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

도 1을 참조하여, 전형적인 액정표시장치에 대해서 설명한다. 도 1은 전형적인 액정표시장치의 개략 구성도이다. 전형적인 액정표시장치는 도 1에 도시된 것처럼, 액정 패널(100), 게이트 구동부(200) 및 데이터 구동부(300)를 포함한다.

액정 패널(100)은 다수의 게이트 라인(G1 내지 Gn)과 다수의 데이터 라인(D1 내지 Dm)에 연결되어 있는 다수의 화소들을 포함하며, 각 화소는 다수의 게이트 라인(G1 내지 Gn)과 다수의 데이터 라인(D1 내지 Dm)에 연결된 스위칭 소자(M)와 이에 연결된 액정 커패시터(Clc) 및 스토리지 커패시터(Cst)를 포함한다.

행 방향으로 형성되어 있는 다수의 게이트 라인(G1 내지 Gn)은 스위칭 소자(M)에 게이트 신호를 전달하며, 열 방향으로 형성되어 있는 다수의 데이터 라인(D1 내지 Dm)은 스위칭 소자(M)에 데이터 신호에 해당되는 계조 전압을 전달한다. 그리고 스위칭 소자(M)는 삼단자 소자로서, 제어 단자는 게이트 라인(G1 내지 Gn)에 연결되어 있고, 입력 단자는 데이터 라인(D1 내지 Dm)에 연결되어 있으며, 출력 단자는 액정 커패시터(Clc) 및 스토리지 커패시터(Cst)의 한 단자에 연결되어 있다. 액정 커패시터(Clc)는 스위칭 소자(M)의 출력 단자와 공통 전극(도시하지 않음) 사이에 연결되고, 스토리지 커패시터(Cst)는 스위칭 소자(M)의 출력 단자와 공통 전극 사이에 연결(독립 배선 방식)되거나 스위칭 소자(M)의 출력 단자와 바로 위의 게이트 라인(G1 내지 Gn) 사이에 연결(전단 게이트 방식)될 수 있다.

게이트 구동부(200)는 다수의 게이트 라인(G1 내지 Gn)에 연결되어 있고, 스위칭 소자(M)를 활성화시키는 게이트 신호를 다수의 게이트 라인(G1 내지 Gn)으로 제공하며, 데이터 구동부(300)는 다수의 데이터 라인(D1 내지 Dm)에 연결되어 있다.

여기에서 스위칭 소자(M)는 모스 트랜지스터가 이용되며, 이러한 모스 트랜지스터는 폴리실리콘을 채널 영역으로 하는 박막 트랜지스터로 구현될 수 있다. 그리고 게이트 구동부(200)나 데이터 구동부(300)도 모스 트랜지스터로 구성되며, 이러한 모스 트랜지스터는 폴리실리콘을 채널 영역으로 하는 박막 트랜지스터로 구현될 수 있다.

도 2a는 본 발명의 일 실시예에 따른 액정표시장치의 평면도이고, 도 2b는 도 2a의 I-I' 선을 따라 자른 단면도이다.

도 2a 내지 도 2b에 도시된 바와 같이, 폴리실리콘을 채널 영역(431)으로 사용하는 액정표시장치는 투명 절연 기판(400)의 상부에는 동일 평면 상에 차단층(410a)과 화소전극(410b)이 형성되어 있고, 차단층(410a)과 화소전극(410b)의 상부에는 버퍼층(420)이 형성되어 있다. 상기 버퍼층(420)의 상부에는 반도체층(430a)이 형성되어 있고, 상기 반도체층(430a) 상부에는 게이트 절연막(440)이 형성되어 있다. 상기 게이트 절연막(440)의 상부에는 게이트 전극을 구비하는 게이트 배선(450)과 스토리지 전극(550)이 각각 형성되어 있다. 이때, 스토리지 전극(550)은 게이트 배선(450)과 동일층 상에 형성되고, 상기 게이트 배선(450)과 이격 배치되며, 화소전극(410b)의 일부분과 중첩되도록 형성되어 있다. 이때, 스토리지 전극(550)은 상기 화소전극(410b)과의 사이에 상기 게이트 절연막(440)을 개재하여 형성되어 있다.

또한, 상기 게이트 배선(450) 상부에는 제 1 및 제 2 콘택홀(471, 472)들을 포함하는 유기막(470)이 형성되어 있고, 상기 제 1 및 제 2 콘택홀(471, 472)을 통해서 소오스 및 드레인 영역(434, 435)과 각각 연결되며, 게이트 배선(450)과 소정의 간격으로 각각 이격되는 소오스 전극 및 드레인 전극(481, 482)이 형성되어 있다. 이때, 드레인 전극(482)은 사진틀 형상을 가지며, 반도체층(430a)의 드레인 영역과 연결되도록 소정 방향으로 연장되어 있다. 또한, 소오스 전극 및 드레인 전극(481, 482)은 반사전극의 역할을 한다.

여기에서, 반도체층(430a)은 게이트 배선(450)과 대향하는 채널 영역(431), 저농도 도핑 영역(432, 433), 소오스 전극(481)과 연결되는 소오스 영역(434) 및 드레인 전극(482)과 연결되는 드레인 영역(435)을 포함한다. 이때, 소오스 및 드레인 영역(434, 435)은 P형 또는 N형 불순물이 도핑되어 있으며, 저농도 도핑 영역(432, 433)은 소오스 및 드레인 영역(434, 435)에 도핑된 불순물의 도핑 농도보다 낮은 농도의 P형 또는 N형 불순물로 도핑되어 있다.

도 3은 본 발명의 다른 실시예에 따른 액정표시장치의 단면도이다.

도 3에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 액정표시장치는 상기 게이트 절연막(440) 상에 층간절연막(460)과 유기막(470)이 차례로 형성되어 있고, 상기 제 1 및 제 2 콘택홀(471, 472)을 통해서 소오스 및 드레인 영역(434, 435)과 각각 연결되며, 게이트 배선(450)과 소정의 간격으로 각각 이격되는 소오스 전극및 드레인 전극(481, 482)이 형성되어 있다.

상기 액정표시장치에 대한 설명은 본 발명의 일실시예에 설명되어 있으므로, 여기에서는 생략하기로 한다.

도 4a 내지 도 8를 참조하여, 본 발명의 일 실시예에 따른 액정표시장치의 제조 방법에 대해서 설명한다. 도 4a 내지 도 7는 본 발명의 일 실시예에 따른 액정표시장치의 제조 공정 단계별 각각의 단면도들이다. 도 8은 도 4b의 제 1 마스크의 평면도이다. 여기에서, 설명상의 편의를 위하여 도 2를 참조하여 액정표시장치의 제조 방법에 대해서 설명하기로 한다.

도 4a에 도시된 바와 같이, 투명 절연 기판(400) 상에 투명하면서 도전성을 갖는 물질 예를 들면, ITO 또는 IZO로 이루어지는 투명도전층(410)을 형성한 다음, 상기 투명도전층(410) 상에 버퍼층(420)을 형성한다. 이러한 버퍼층(420)은 질화실리콘이나 산화 실리콘 등을 이용하여 2000탓 두께로 형성한다. 상기 버퍼층(420)이 형성된 투명 절연 기판(400) 상에 비정질 실리콘을 증착하고, 탈수소화 과정을 수행한 후, 레이저 결정화 단계를 거쳐 폴리실리콘(430)을 형성한다.

도 4b에 도시된 바와 같이, 상기 폴리실리콘(430) 상에 반도체층 영역과 화소전극 영역을 한정하는 포토레지스트를 도포하고 제 1 마스크 공정을 수행한다. 여기에서, 제 1 마스크(610)는 도 8에 도시된 바와 같이, 일측에는 상기 반도체층을 형성하기 위한 반도체층 형성 패턴(611)이 형성되어 있고, 타측에는 화소전극을 형성하기 위한 다수의 슬릿 패턴(612)이 형성되어 있다. 이때, 화소전극을 형성하기 위한 슬릿 패턴(612)의 두께는 반도체층을 형성하기 위한 반도체층 형성 패턴(611)의 두께보다 더 작게 형성될 수 있다.

도 4c에 도시된 바와 같이, 상기 반도체층 형성 패턴(611)과 다수의 슬릿 패턴(612)을 마스크로 하여 폴리실리콘(430)과 버퍼층(420) 및 투명도전층(410)을 차례로 식각하여 각각 반도체층(430a)과 화소전극(410b)을 형성한다. 그 다음, 상기 포토레지스트의 화소전극 영역과 대향하는 부분의 슬릿 패턴(612)을 에싱(Ashing) 공정을 통해 제거한다.

도 4d에 도시된 바와 같이, 상기 잔류된 반도체층 형성 패턴(611)을 스트립 공정을 통해 제거한다. 이때, 상기 포토레지스트의 반도체층 영역과 대향하는 반도체층 형성 패턴(611)을 제거함과 동시에 화소전극 영역과 대향하는 부분에 형성된 폴리실리콘층(430b)이 제거된다.

도 5에 도시된 바와 같이, 상기 반도체층(430a)을 포함한 기판 전면 상에 질화 실리콘이나 산화 실리콘 등의 게이트 절연막(440)을 형성하고, 상기 게이트 절연막(440) 상에 몰리브덴(Mo), 텅스텐(W), 알루미늄(Al) 등의 게이트 배선용 도전막을 형성한다. 이어서, 상기 게이트 배선용 도전막 상에 포토레지스트를 도포하고, 제 2 마스크 공정을 수행하여 게이트 배선(450)을 형성한다. 여기에서, 상기 게이트 배선(450)을 형성함과 동시에 게이트 배선(450)과 이격 배치되는 스토리지 전극(550)을 형성한다. 그 다음, 상기 게이트 배선(450)을 마스크로 하여 반도체층(430a)에 P형 불순물을 도핑하여 소오스 및 드레인 영역(434, 435)을 형성한다. 이때, 상기 게이트 배선(450) 아래의 불순물이 도핑되지 않은 부분은 채널 영역(431)이 된다. 이어서, 상기 소오스 및 드레인 영역(434, 435)에 도핑된 불순물의 도핑 농도보다 낮은 농도의 P형 또는 N형 불순물로 도핑하여 저농도 도핑 영역(432, 433)을 형성한다.

도 6에 도시된 바와 같이, 상기 게이트 배선(450) 및 스토리지 전극(550)을 포함한 기판 전면 상에 층간절연막(460) 및 유기막(470)을 차례로 형성한다. 이때, 상기 층간절연막(460)은 산화 실리콘이나 질화 실리콘 등의 무기막으로 형성할 수 있다. 그 다음, 상기 유기막(470) 상에 포토레지스트를 도포하고 제 3 마스크 공정을 수행하여 제 1 및 제 2 콘택홀(471, 472)과 화소전극(410b)의 일부분을 노출시키는 개구(473)를 형성한다. 이때, 유기막(470) 표면에 엠보싱도 함께 형성한다. 여기에서, 엠보싱은 슬릿이나 반투과막을 이용하여 형성할 수 있다.

도 7에 도시된 바와 같이, 상기 유기막(470) 상에 몰리브덴(Mo) 또는 알루미늄 네오디뮴(AlNd) 등의 소오스 및 드레인 전극용 도전막을 형성한다. 이어서, 상기 소오스 및 드레인 전극용 도전막 상에 포토레지스트를 도포하고 제 4 마스크 공정을 수행하여 제 1 및 제 2 콘택홀(471, 472)을 통해 소오스 영역(434)과 연결되어 있는 소오스 전극(481)을 구비한 데이터 배선(미도시)과 일부분이 노출된 화소전극(410b)과 연결되고, 드레인 영역(435)과 연결되는 드레인 전극(482)을 형성한다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해되어야만 한다.

## 발명의 효과

상기한 바와 같은 본 발명의 액정표시장치 및 그 제조방법에 따르면, 액정표시장치 제조시 액티브/화소전극 마스크 공정, 게이트 마스크 공정, 비아홀/엠보싱/콘택홀 마스크 공정, 소오스 및 드레인 전극/반사 전극 마스크 공정 즉, 4회의 마스크 공정을 진행함으로써 마스크 공정수의 감소를 통해 제조 비용 및 공정 시간을 줄일 수 있다.

## (57) 청구의 범위

### 청구항 1.

절연 기판;

상기 절연 기판 상에 형성된 차단층 및 화소전극;

상기 차단층 상에 형성되며, 소오스 영역, 드레인 영역 및 채널 영역을 포함하는 반도체층;

상기 반도체층 상에 절연되어 형성된 게이트 전극을 구비하는 게이트 배선;

상기 기판 결과물 상에 형성되며, 상기 소오스 영역을 노출시키는 제 1 콘택홀과 상기 드레인 영역을 노출시키는 제 2 콘택홀 및 상기 화소전극의 일부분을 노출시키는 개구를 구비한 유기막;

상기 유기막 상에 형성되며, 상기 제 1 콘택홀을 통해 상기 소오스 영역과 연결되어 있는 소오스 전극을 구비한 데이터 배선과 상기 제 2 콘택홀과 개구를 통해 화소전극과 드레인 영역이 연결되어 있는 드레인 전극을 포함하는 액정표시장치.

## 청구항 2.

제 1 항에 있어서,

상기 게이트 배선과 상기 유기막 사이에 상기 유기막 패턴과 실질적으로 동일한 위치에 상기 제 1 및 제 2 콘택홀과 상기 개구를 구비한 층간절연막을 더 포함하는 액정표시장치.

## 청구항 3.

제 1 항에 있어서,

상기 드레인 전극은 사진틀 형상을 가지며, 상기 반도체층의 상기 드레인 영역과 연결되도록 소정 방향으로 연장되어 형성된 액정표시장치.

## 청구항 4.

제 1 항에 있어서,

상기 게이트 배선과 동일 평면 상에 형성되고, 상기 게이트 배선과 이격 배치되며, 상기 화소전극의 일부분과 중첩되도록 형성된 스토리지 전극을 더 포함하는 액정표시장치.

## 청구항 5.

제 2 항 또는 제 4 항에 있어서,

상기 스토리지 전극은 상기 화소전극과의 사이에 상기 게이트 절연막을 개재하여 캐패시터를 형성하는 액정표시장치.

## 청구항 6.

절연 기판 상에 투명도전층과 폴리실리콘층을 차례로 형성하는 단계;

상기 폴리실리콘층 상에 반도체층 영역을 정의하는 제1두께를 갖는 포토레지스트 패턴과, 화소전극 영역을 정의하는 상기 제1두께보다 낮은 제2두께를 갖는 포토레지스트 패턴을 각각 식각 마스크로 사용하여 상기 반도체층과 상기 화소전극을 형성하는 단계;

상기 반도체층 상에 절연되어 형성된 게이트 전극을 구비하는 게이트 배선을 형성하는 단계;

상기 게이트 전극을 이온주입 마스크로 하여 상기 반도체층에 도전 불순물을 도핑하여 소오스 및 드레인 영역을 형성하는 단계;

상기 기판 결과물 상에 유기막을 도포하고, 상기 소오스 영역을 노출시키는 제 1 콘택홀과 상기 드레인 영역을 노출시키는 제 2 콘택홀 및 상기 화소전극의 일부분을 노출시키는 개구를 구비한 유기막을 형성하는 단계;

상기 유기막 상에 형성되며, 상기 제 1 콘택홀을 통해 상기 소오스 영역과 연결되어 있는 소오스 전극을 구비한 데이터 배선과 상기 제 2 콘택홀과 개구를 통해 화소전극과 드레인 영역이 연결되어 있는 드레인 전극을 형성하는 단계를 포함하는 액정표시장치의 제조방법.

## 청구항 7.

제 5 항에 있어서,

상기 게이트 배선을 형성함과 동시에 게이트 배선과 이격 배치되는 스토리지 전극을 형성하는 액정표시장치의 제조방법.

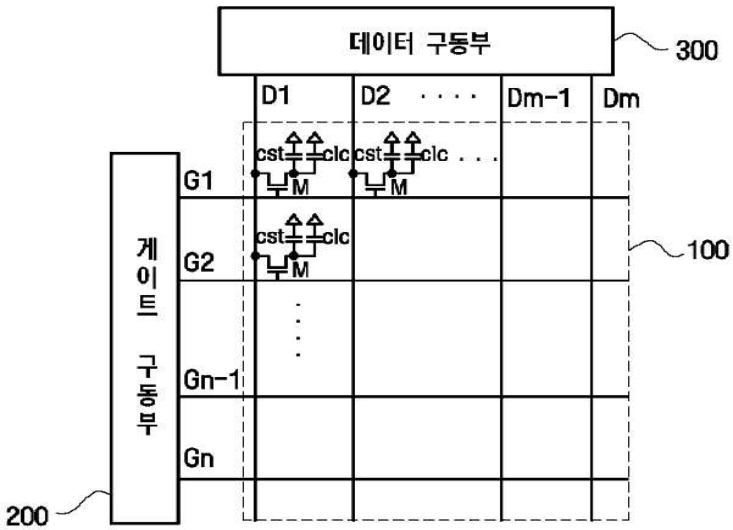
## 청구항 8.

제 5 항에 있어서,

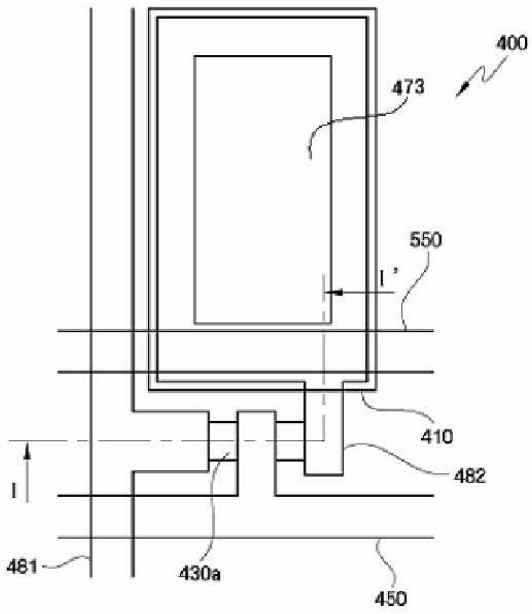
상기 유기막 형성 전에 층간절연막을 형성하여 상기 유기막과 상기 층간절연막에 상기 제 1 및 제 2 콘택홀과 상기 개구를 형성하는 액정표시장치의 제조방법.

도면

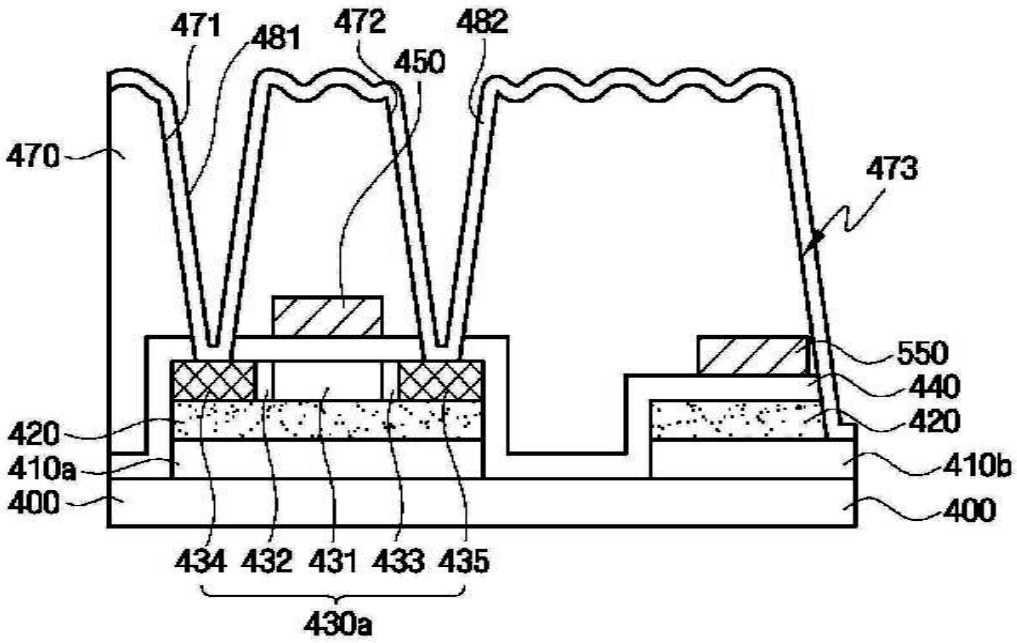
도면1



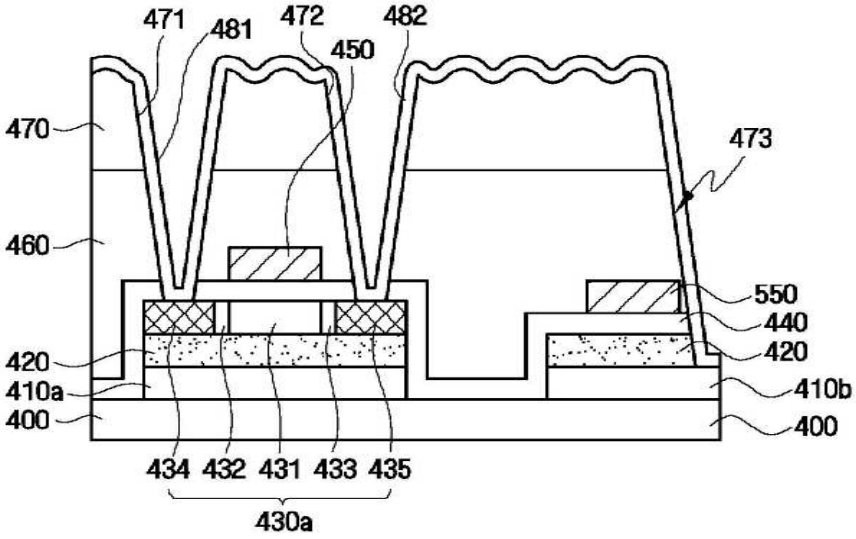
도면2a


400
473
550
I'
410
482
I
481
430a
450

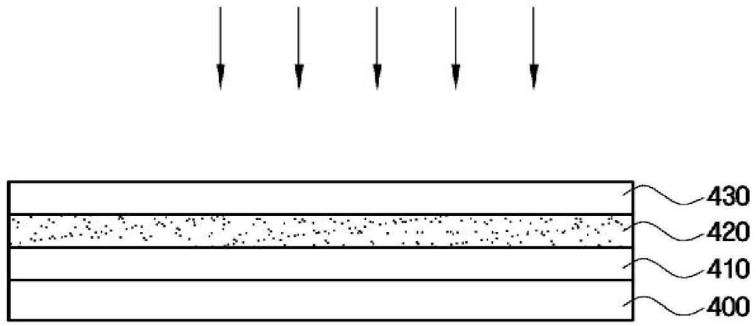
도면2b


471
481
472
482
450
470
473
550
440
420
420
410a
410b
400
400
434
432
431
433
435
430a

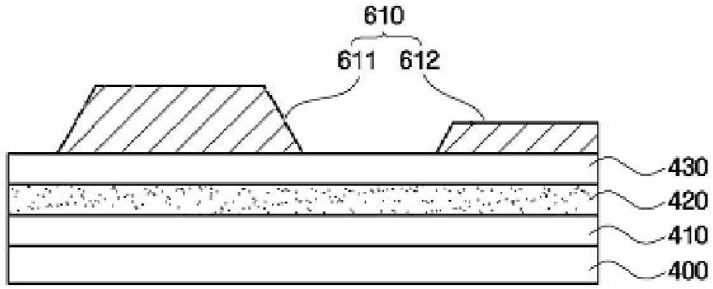
도면3



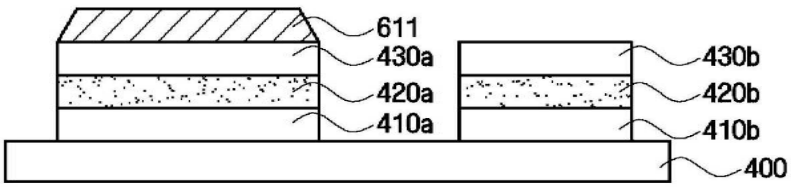

도면4a



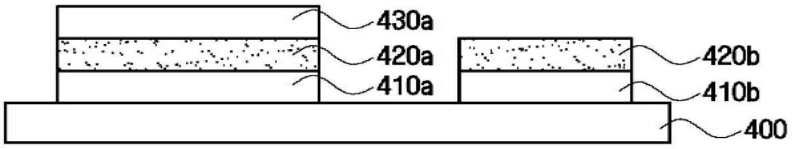

도면4b



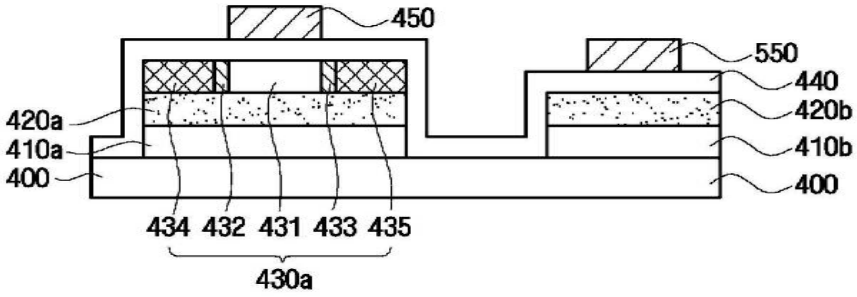

도면4c



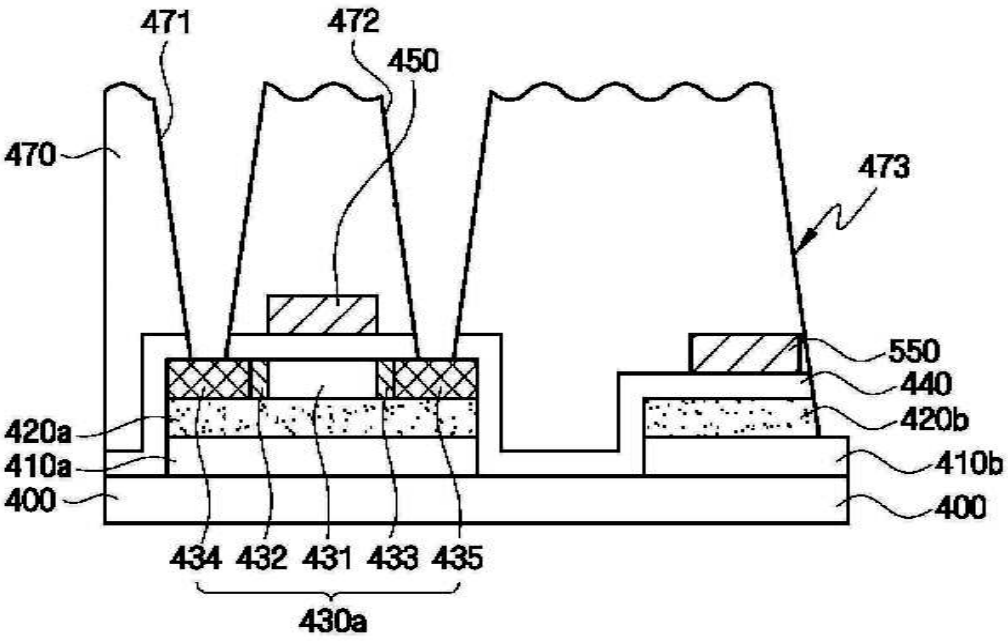
도면4d


430a
420a
410a
420b
410b
400

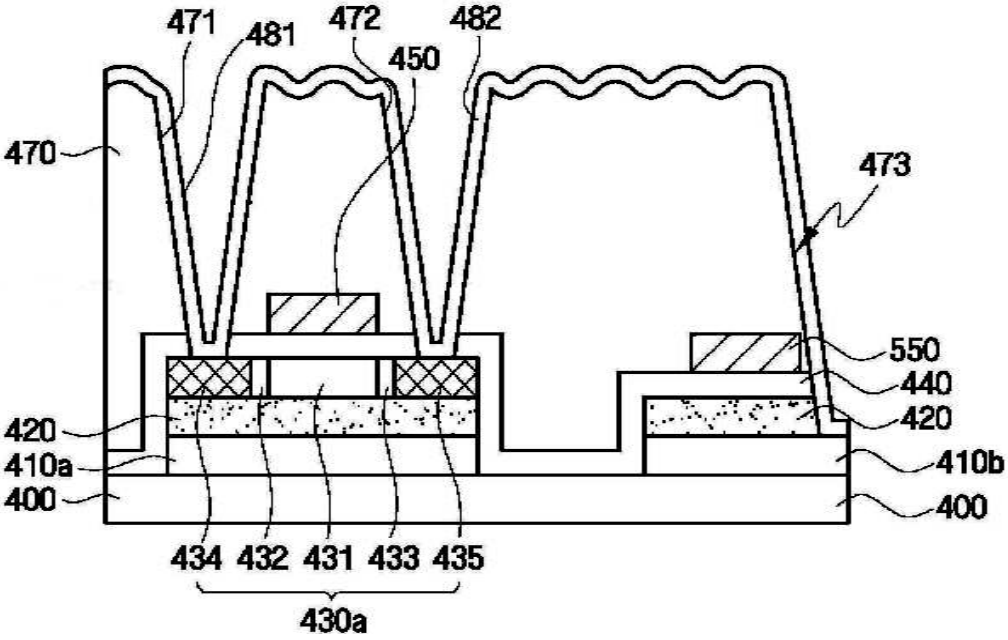
도면5


450
550
440
420b
410b
400
420a
410a
400
434 432 431 433 435
430a

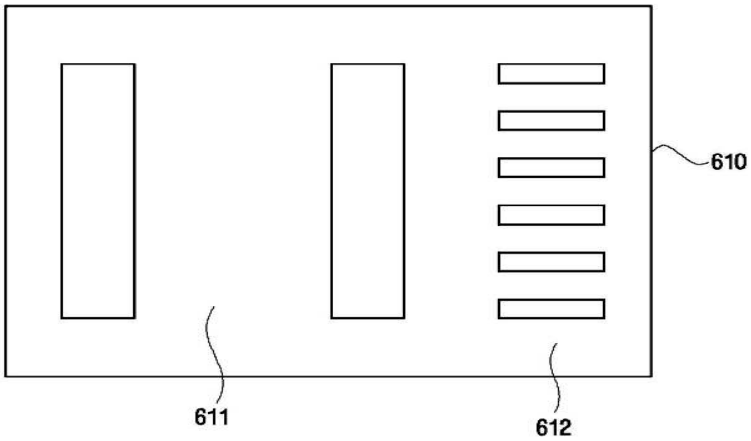
도면6


471
472
450
470
473
550
440
420b
410b
400
420a
410a
400
434 432 431 433 435
430a

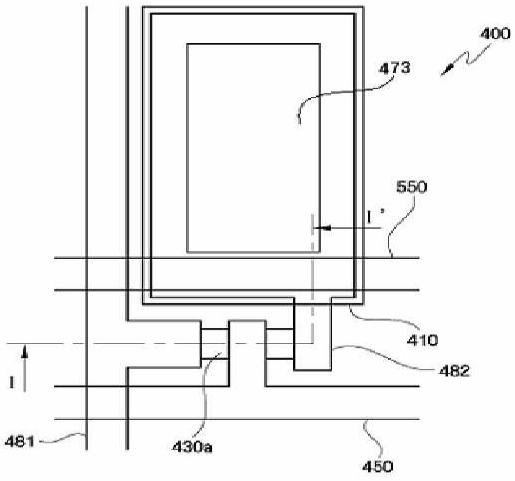
도면7


471
481
472
482
450
470
473
550
440
420
420
410a
410b
400
400
434
432
431
433
435
430a

도면8


610
611
612

| | | | |
|---|---|---|---|
| 专利名称(译) | 液晶显示装置及其制造方法 | | |
| 公开(公告)号 | KR1020060115780A | 公开(公告)日 | 2006-11-10 |
| 申请号 | KR1020050038060 | 申请日 | 2005-05-06 |
| [标]申请(专利权)人(译) | 三星电子株式会社 | | |
| 申请(专利权)人(译) | 三星电子有限公司 | | |
| 当前申请(专利权)人(译) | 三星电子有限公司 | | |
| [标]发明人 | PARK KYUNG MIN<br>박경민<br>YOU CHUN GI<br>유춘기<br>YOON HYUN SIK<br>윤현식<br>KIM SEONG HO<br>김성호<br>PARK GYUNG SOON<br>박경순 | | |
| 发明人 | 박경민<br>유춘기<br>윤현식<br>김성호<br>박경순 | | |
| IPC分类号 | G02F1/136 | | |
| CPC分类号 | G02F1/1362 G02F2001/136231 G02F2001/13625 H01L27/1288 | | |
| 代理人(译) | JEONG，SANG BIN | | |
| 外部链接 | Espacenet | | |


摘要(译)

本发明提供一种液晶显示装置及其制造方法，通过减少掩模工序数来降低制造成本和处理时间。通过进行有源/像素电极掩模工艺，栅极掩模工艺，通孔/压印/，通过减少掩模工艺数量，液晶显示器件和制造本发明的方法可以降低制造成本和工艺时间接触孔掩模工艺，源极和漏极/反射电极掩模工艺，换句话说，掩模工艺4次。反射，穿透，半透射，4掩模，液晶显示。