

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶
G02F 1/133

(11) 공개번호 특2001-0021016
(43) 공개일자 2001년03월 15일

(21) 출원번호	10-2000-0034428
(22) 출원일자	2000년06월 22일
(30) 우선권주장	99-181949 1999년06월 28일 일본(JP)
(71) 출원인	알프스 덴키 가부시기가이샤 가타오카 마사타카
(72) 발명자	일본국 도쿄도 오타구 유키가야 오츠카쵸 1반 7고 가와하따겐
(74) 대리인	일본미야기켄센다이시이즈미구데라오까2-3-2 특허법인코리아나 박해선, 특허법인코리아나 조영원

심사청구 : 있음

(54) 액티브 매트릭스형 액정표시장치

요약

(과제) 축적용량부(Cs)의 면적을 화소 전극의 면적에 대하여 상대적으로 감소시키고, 종래보다도 개구율이 큰 액정표시장치를 제공한다.

(해결수단) 액정층(3)을 협지(挾持)하는 한쌍의 투명 기판(1, 2)중 한 쪽의 투명 기판상(1)에 복수의 게이트 라인(7, 7')과 복수의 소스 라인(13)을 교차시켜 매트릭스상으로 배열 설치하고, 이들 각 교점에 TFT(11)가 설치되어 있다. TFT(11)에는 화소 전극(19)이 접속되어 있고, 화소 전극(19)마다 설치된 축적용량부(Cs)는 절연막(10)을 사이에 두고 화소 전극(19)에 접속된 상부 전극(15)과 하부 전극이 대치하여 구성되어 있다. 절연막(10)은 TFT(11)의 게이트 절연막(8)과는 별개로 형성되고, 절연막(10)의 막두께를 작게하거나 또는 막 재료의 비유전율을 올려 단위 면적당 용량을 늘림으로써 축적용량부(Cs)의 면적을 상대적으로 감소시킨다.

대표도

도 1

색인어

액티브 매트릭스형 액정표시장치

명세서

도면의 간단한 설명

- 도 1은 본 발명 제 1 실시형태의 액티브 매트릭스형 액정 표시장치의 단면도.
- 도 2는 액티브 매트릭스형 액정 표시장치의 어레이기판 요부 평면도.
- 도 3은 본 발명의 제 2 실시형태의 액티브 매트릭스형 액정 표시장치의 단면도.
- 도 4는 도 3의 액티브 매트릭스형 액정 표시장치의 어레이기판의 요부 평면도.
- 도 5는 본 발명의 제 3 실시형태의 액티브 매트릭스형 액정 표시장치의 단면도.
- 도 6은 도 5의 액티브 매트릭스형 액정 표시장치의 어레이기판의 요부 평면도.
- 도 7은 종래의 액티브 매트릭스형 액정 표시장치의 단면도.
- 도 8은 도 7의 액티브 매트릭스형 액정 표시장치의 어레이기판 요부 평면도.

※ 도면의 주요부분에 대한 부호의 설명

- 1, 2 : 투명 기판
- 3 : 액정층
- 7, 7' : 게이트 라인
- 8 : 게이트 절연막
- 10 : 축적용량부(Cs)의 용량을 구성하는 절연막

11 : 박막 트랜지스터

13 : 소스 라인

19 : 화소 전극

Cs : 축적용량부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시화면을 구성하는 복수의 화소 전극마다 스위칭 소자인 박막 트랜지스터 (이하, TFT 라 칭한다.)와 축적용량부가 설치된 액티브 매트릭스형 액정 표시장치의 구조에 관한 것이다.

종래의 액티브 매트릭스형 액정 표시장치의 구조를 도 7, 도 8 을 이용하여 설명한다.

도 8 은 액정층 하부의 어레이기판이라 칭하는 부분의 요부 평면도이고, 도 7 은 도 8 의 7-7 선에 따른 어레이기판 단면에 액정층으로부터 상부를 부가한 전체의 단면도로 되어 있다. 도 7 에서, 액정층 (31) 이 투명 기판 (32) 과 대향하는 투명 기판 (33) 사이로 주입, 봉지되고, 또한 편광판 (34), 편광판 (35) 이 투명 기판 (32, 33) 의 외측에 적층되어 있으며, 투명 기판 (32) 에 설치된 화소 전극 (36) 과 투명 기판 (33) 에 형성된 공통 전극 (37) 이 대향하고 있다.

또한, 도 8 에 도시된 바와 같이, 투명 기판 (32) 상에 주사선으로서 기능하는 서로 평행인 복수의 게이트 라인 (42) 과 이들 게이트 라인 (42) 에 직교하는 방향으로 신호선으로서 기능하는 복수의 소스 라인 (40) 이 배선되어 있다.

게이트 라인 (42) 과 소스 라인 (40) 에 둘러 싸인 직사각형의 영역에는 투명한 화소 전극 (36) 이 배열 설치되어 있고, 양 라인의 교차부 근방에는 화소 전극 (36) 으로의 데이터 신호 전압을 온, 오프하는 스위칭 소자로서의 TFT (38) 가 형성되어 있다. 또, 게이트 라인 (42) 상에는 화소 전극 (36) 의 전하를 유지하는 축적용량부 (Cs)로서의 박막 콘덴서가 형성되어 있다.

TFT (38) 는 반도체층 (39), 소스 라인 (40) 에서 연장한 소스전극 (40a), 드레인 전극 (41), 게이트 라인 (42) 에서 연장한 게이트 전극 (42a) 및 게이트 절연막 (43) 으로 구성되어 있다. 드레인 전극 (41) 은 층간 절연막 (44) 에 설치된 콘택트 홀 (45) 에서 화소 전극 (36) 과 접속되고, 화소 전극 (36) 은 콘택트 홀 (46) 에서 축적용량부 (Cs) 의 상부 전극 (47) 과 접속되어 있다. 축적용량부 (Cs) 는 투명 기판 (32) 상의 게이트 라인 (42) 을 하부 전극으로 하고, 게이트 절연막 (43) 을 사이에 두고 상부 전극 (47) 이 대향한 구성으로 되어 있다.

종래 예의 액티브 매트릭스형 액정 표시장치에서는 복수의 소스 라인 (40) 의 어느 라인에 데이터 신호 전압을 인가하고, 또한 복수 게이트 라인 (42) 의 어느 라인에 제어 신호를 인가하면, 양 라인에 접속된 TFT (38) 가 작동하고 드레인 전극 (41) 으로부터 화소 전극 (36) 으로 데이터 신호 전압이 인가된다. 이렇게 하여, 매트릭스상으로 배열된 화소 전극 (36) 에 접속된 TFT (38) 를 구동함으로써, 화면상에 원하는 표시 패턴이 형성된다.

도 7 에 나타난 바와 같이, TFT (38) 의 게이트 절연막 (43) 은 축적용량부 (Cs) 의 용량을 구성하는 절연막으로도 되어 있다. 양 막이 단일 공정으로 형성되기 때문에, 제조 프로세스의 간략화 시점에서는 바람직한 방법이고, 그 막두께는 보다 높은 전압을 소요하는 TFT (38) 의 게이트 절연막 (43) 에 대한 절연 내압을 만족하도록 정해지고 있다.

그러나, 축적용량부 (Cs) 에 요하는 전압은 축적용량부 (Cs) 의 구성방법에 따르기도 하지만, TFT (38) 에 요하는 전압의 1/2 내지 1/4 이고, 절연 내압에서 요구되는 막두께는 TFT (38) 의 게이트 절연막 (43) 보다도 작아도 된다. 즉, 종래 예의 축적용량부 (Cs) 의 게이트 절연막 (43) 막두께는 절연 내압의 측면에서는 과도한 막두께로 되어 있다.

축적용량부 (Cs) 의 면적은, 화소 전극 (36) 의 구동에 필요한 소정의 전하 축적용량을, 축적용량부 (Cs) 를 구성하는 박막 콘덴서의 단위 면적당 축적용량에서 제하고 구한다. 이 단위 면적당 축적용량은 게이트 절연막 (43) 의 비유전율과 막두께에서 일의적으로 정해지기 때문에, 이를 기초로 하여 축적용량부 (Cs) 의 면적이 정해진다.

발명이 이루고자하는 기술적 과제

액티브 매트릭스형 액정표시장치에서는 그 표시 품질을 향상시키기 위해서는 광투과율 즉 개구율을 크게 할 필요가 있다. 고정세화가 되어 화소 사이즈가 작게 되면 축적용량부 (Cs) 가 차지하는 면적이 상대적으로 크지게 되며, 그 결과 개구율이 저하하게 된다. 이를 백라이트의 밝기로 보충하고자 하면, 소비전력이 증가하게 된다.

개구율을 높이기 위해서는, 축적용량부 (Cs) 의 면적을 감소시켜야만 하지만, 종래 구조에서, 축적용량부 (Cs) 의 절연막은 TFT (38) 게이트 절연막 (43) 과 동일하고, 그 막두께가 주로 TFT (38) 의 내압으로 정해지기 때문에, 축적용량부 (Cs) 에서 독자적으로 단위 면적당 용량을 늘리수 없었다. 따라서, 축적용량부 (Cs) 의 소정 용량을 확보하면서 그 면적을 감소시킬 수 없게 되며, 고정세화에 의하여 개구율이 저하하는 문제점이 있었다.

본 발명의 목적은, 상기 과제를 해결하고 축적용량부의 면적을 화소 전극의 면적에 대하여 상대적으로 감소시키고, 보다 큰 개구율을 가진, 액티브 매트릭스형 액정표시장치를 제공하는데 있다.

발명의 구성 및 작용

본 발명의 액티브 매트릭스형 액정표시장치는, 액정층을 협지하는 한쌍의 투명 기관중의 한 쪽의 투명 기관상에 복수 게이트 라인과 복수 소스 라인을 교차시켜 매트릭스상으로 배열 설치하고, 이들 각 교점에 박막 트랜지스터를 배열 설치하고, 이들 박막 트랜지스터에 접속되어 이루어진 화소 전극마다 축적용량부가 설치되고, 이 축적용량부의 용량을 구성하는 절연막이 상기 박막 트랜지스터를 형성하는 게이트 절연막과는 다른 막으로 형성되고, 상기 축적용량부가 상기 화소 전극에 접속된 상부 전극과 상기 절연막을 사이에 두고 대치하는 하부 전극으로 구성된 것을 특징으로 하고 있다. 이로 인하여, 축적용량부의 단위 면적당 용량을 TFT의 게이트 절연막과는 독립하여 설정하는 것이 가능하며, 그 용량을 늘림으로써 축적용량부의 면적을 상대적으로 감소시킬 수 있다.

또한, 본 발명의 액티브 매트릭스형 액정표시장치는, 하부 전극상의 절연막의 평탄한 영역에만 상부 전극이 형성되어 있다. 이로 인하여, 하부 전극의 주변부에 생기는 절연막 단차부에서 절연 파괴가 일어나기 어려워지므로, 축적용량부에 요하는 절연 내압에 따라 절연막의 막두께를 보다 얇게 설정할 수 있게 되고, 축적용량부의 단위 면적당 용량을 한층 증가시킬 수 있다.

또한, 본 발명의 액티브 매트릭스형 액정표시장치는, 축적용량부의 용량을 구성하는 절연막과 게이트 절연막이 동일 재료로 이루어지고, 축적용량부의 막두께가 게이트 절연막의 막두께보다도 작다. 이로 인하여, 게이트 절연막의 성막 공정을 절연막의 막제조에 이용할 수 있으며, 제조 프로세스를 복잡하지 않고, 축적용량부의 단위면적당 용량을 늘리고 그 면적을 상대적으로 감소시킬 수 있다.

또한, 본 발명의 액티브 매트릭스형 액정표시장치는, 축적용량부의 용량을 구성하는 절연막이 게이트 절연막보다도 비유전율이 큰 재료로 이루어져 있다. 이로 인하여, 축적용량부의 단위면적당 용량을 늘리고 그 면적을 상대적으로 감소시키는 효과를 갖는 것이다.

(발명의 실시형태)

이하, 본 발명의 액티브 매트릭스형 액정표시장치의 실시형태를, 도면에 의하여 설명한다.

도 1, 2는 본 발명의 제 1 실시형태를 나타낸 것이다. 도 2가 어레이 기관부분의 요부 평면도이고, 도 1은 도 2의 1-1 단면에 액정층에서 상부를 부가한 전체 단면도이다.

도 1, 2에서 유리로 이루어진 투명한 기관 1과 2의 사이에 액정층 (3)이 협지되어 있다. 투명 기관 (1) 상에는 게이트 라인 (7, 7') 및 게이트 전극 (7a)이 형성되고, 이를 덮도록 막두께 3000 ~ 5000 Å의 게이트 절연막 (8)이 형성되어 있다.

게이트 절연막은 질화규소 (SiNx) 등으로 이루어지며, 게이트 라인 (7')의 상부에서는 Cs 용 개구부 (9)가 설치되어 있다. 게이트 절연막 상에는, 축적용량부 (Cs)의 용량을 형성하기 위한 절연막 (10)이 형성되어 있다. 또한, 이하 설명에서는 축적용량부 (Cs)의 절연막을 간단하게 절연막이라고 칭하고, 그외의 절연막은 그 기능을 부가하여 게이트 절연막, 층간 절연막 등으로 칭한다. 절연막 (10)은 유전율이 높은 재료, 예를 들면 SiNx, 산화 탄탈 (Ta₂O₅) 등과 같은 탄탈산화물 (TaOx)로 구성되며, 게이트 절연막 (8)보다도 얇은 막두께로 형성된다. 이 실시형태에서는, 게이트 절연막 (8)과 같은 SiNx를 채용하며, 막두께는 축적용량부 (Cs)의 절연 내압을 확보하기에 충분한 500 ~ 1500 Å의 범위가 적당하다.

TFT (11)은 게이트 전극 (7a)의 상방에서 절연막 (10)상에 설치되어 있고, 아몰퍼스 실리콘 (α-Si) 등으로 이루어진 반도체층 (12)의 채널 형성 영역의 양측에 소스 라인 (13)으로 부터 연장하는 소스전극 (13a)과 드레인 전극 (14)이 적층되어 형성되어 있다. 이 경우, 본래의 게이트 절연막 (8)에 절연막 (10)을 겹친 2개의 층은 TFT (11)전체의 게이트 절연막으로서 기능한다. 축적용량부 (Cs)는 하부 전극으로서의 게이트 라인 (7')과 상부 전극 (15)이 절연막 (10)을 사이에 두고 대치하여 구성되어 있으며, 상부 전극 (15)은 절연막 (10)의 평탄한 영역에만 형성되어 있다. 이로 인하여, 절연막 (10)의 단차부에서 절연파괴가 일어나기 어렵게 되어 막두께를 얇게 할 수 있으며, 이에 대응하여 축적용량부 (Cs)의 단위 면적당 용량이 증가한다.

이들 소스 라인 (13), 소스 전극 (13a), 드레인 전극 (14) 및 상부 전극 (15)은 크롬 (Cr), 몰리브덴 (Mo), 알루미늄 (Al) 등과 같은 금속으로 이루어진 막두께 1000 ~ 3000 Å의 동일한 막으로 형성할 수 있다. 제 1 실시형태에서는, 축적용량부 (Cs)의 하부 전극으로서 게이트 라인 (7')을 사용하였지만, 게이트 라인 (7')과는 별도로 전용배선을 설치하여 하부 전극으로 하여도 된다.

층간 절연막 (16)은 감광성 폴리이미드 등의 고분자 재료로 이루어진 막두께 1 ~ 3 μm의 막으로 이루어지며, TFT (11), 상부 전극 (15) 및 절연막 (10)을 덮어 씌워 형성되어 있고, 드레인 전극 (14)과 상부 전극 (15)의 각각에 이르는 콘택트 홀 (17, 18)이 형성되어 있다. 또한, 층간 절연막 (16)상에는, 인듐규소산화물 (ITO) 등으로 이루어지며 막두께가 500 ~ 1500 Å인 화소 전극 (19)이 콘택트 홀 (17, 18)를 사이에 두고, 드레인 전극 (14), 상부 전극 (15)에 각각 접속되도록 형성되어 있다. 또한, 투명 기관 (2)에는 투명 기관 (1)과 대향하는 면에 ITO 등으로 이루어진 공통전극 (4)이 형성되어 있으며, 투명 기관 (1, 2)의 외면 각각에 편광판 (5), 편광판 (6)이 설치되어 있다.

도 2에 나타낸 바와 같이, TFT (11)은 매트릭스상에 배치된 복수의 소스 라인 (13)과 게이트 라인 (7, 7')의 교차부 근방에 형성되어 있다. 또, 축적용량부 (Cs)는 화소 전극 (19)에 접속된 상부 전극 (15)과 다른 화소 전극 TFT (도시 생략)에 접속된 게이트 라인 (7')이 절연막 (10)을 사이에 두고 겹쳐져서 형성되어 있다. 여기서, 게이트 라인 (7')은 축적용량부 (Cs)의 하부 전극에 대응

한다.

이러한 축적용량부 (Cs) 를 갖춘 투명 기관 (1) 은 다음과 같이 형성한다.

먼저, 투명 기관 (1) 상에 복수의 게이트 라인 (7, 7') 과 그곳에서 부터 연장하여 TFT (11) 의 게이트 전극 (7a) 이 되는 금속막을 Cr, Mo, Al 등과 같은 재료를 이용하여 성막하고, 에칭에 의하여 패터닝한다. 그 후, TFT (11) 의 게이트 절연막 (8) 을 성막하고, 축적용량부 (Cs) 가 되는 게이트 라인 (7') 위 부분을 에칭에 의하여 제거하여, Cs 용 개구부 (9) 를 형성한다. 게이트 절연막 (8) 을 SiNx 로 하는 경우는 일반적으로 CVD 에 의한 성막법을 이용한다.

다음, 축적용량부 (Cs) 의 용량을 구성하는 절연막 (10) (이 실시형태에서는 TFT (11) 에서 게이트 절연막 (8) 에 적층되고, 게이트를 구성하는 막의 1 부가 되기도 한다.) 을 전면에서 동시에 성막한다. 그 후, TFT (11) 의 채널부가 되는 반도체층 (12) 을 형성한다. 그 후, 소스 라인 (13) 과 거기로부터 연장하는 소스전극 (13a), 드레인 전극 (14), 축적용량부 (Cs) 의 상부 전극 (15) 을 형성하는 금속막을 스퍼터법에 의하여 성막한 후, 패터닝하여 TFT (11) 및 축적용량부 (Cs) 를 형성한다. 또한, 상부 전극 (15) 은 하부 전극으로서의 게이트 라인 (7') 상에 있는 절연막 (10) 의 평탄한 영역에만 형성한다.

그 후, 감광성 유기재료의 스핀 코트에 의하여 층간 절연막 (16) 을 형성하고, 콘택트 홀 (17, 18) 의 부분을 포토리소그라피 방법으로 제거한 후, 화소 전극 (19) 가 되는 투명 도전막을 스퍼터법에 의하여 성막하고, 이어 에칭에 의하여 패터닝하여 화소 전극 (19) 을 형성한다. 화소 전극 (19) 은 콘택트 홀 (17) 의 드레인 전극 (14) 과 콘택트 홀 (18) 의 축적용량부 (Cs) 의 상부 전극 (15) 과 접속한다.

이렇게 하여, 제조된 투명 기관 (1) 과 이에 대향하는 공통 전극 (4) 이 형성된 투명 기관 (2) 을 서로 붙이고, 양측의 공극부(空隙部)에 액정을 주입, 봉합한 후, 양측에 편광판 (5, 6) 을 적층하여, 본 발명의 제 1 실시형태의 액티브 매트릭스형 액정표시장치를 완성한다.

제 1 실시형태에서는 축적용량부 (Cs) 의 절연막 (10) 을 종래에의 1/3 정도 이하로 얇게 할 수 있고, 이에 대응하여 단위 면적당 용량이 증가한다. 그 결과, 축적용량부 (Cs) 의 면적이 화소전극 (19) 의 면적에 비해 상대적으로 감소하고, 종래에서는 약 40% 가 한계라고 하던 개구율을 55% 로 향상시킬 수 있었다.

도 3 및 4 는 본 발명의 액티브 매트릭스형 액정표시장치의 제 2 실시형태를 나타낸 것이다. 도 4 는 어레이 기관 부분의 요부 평면도이고, 도 3 은 도 4 의 3-3 단면에서 액정층에 상부를 부가한 단면도이다. 이 실시형태에서는, TFT (11) 의 게이트 절연막 (8) 의 성막과, 이 막의 게이트 라인 (7') 의 상부를 에칭 제거하기까지는 제 1 의 실시형태의 경우와 동일하다. 다음, TFT (11) 의 반도체층 (12) 을 형성하고, 그 후 소스 라인 (13) 과 그로부터 연장하는 소스 전극 (13a), 드레인 전극 (14), 축적용량부 (Cs) 의 하부 전극의 일부를 이루는 보조 전극 (20) 으로 이루어지는 금속막을 성막하고, 게이트 라인 (7') 상의 제 1 절연막 (8) 을 에칭 제거한 Cs 용 개구부 (9) 로부터 노출된 게이트 라인 (7') 에 적층하고, 이 게이트 라인 (7') 과 함께 축적용량부 (Cs) 의 하부 전극을 구성한다.

이어, 축적용량부 (Cs) 의 용량을 구성하는 절연막 (10) 을 TFT (11) 를 포함하는 전역에 걸쳐 성막하고, 드레인 전극 (14) 에 대한 콘택트 홀 (21) 의 영역만 에칭한다. 또한, 제 1 실시형태와 동일한 방법으로 층간 절연막 (16) 을 적층하고, 드레인 전극 (14) 에 대한 콘택트 홀 (17) 및 축적용량부 (Cs) 로 이루어지는 영역, 즉 보조전극 (20) 의 위에 있는 절연막 (10) 의 평탄한 영역을 포토리소그라피 방법으로 제거한다. 또한, 이 공정은 절연막 (10) 을 형성한 후 바로 층간 절연막 (16) 을 적층하고, 층간 절연막 (16) 의 콘택트 홀 (17), 그 후 절연막 (10) 의 콘택트 홀 (21) 의 영역을 순차적으로 에칭해도 된다.

이 실시형태에서는, 축적용량부 (Cs) 의 상부 전극 (15) 을 화소 전극 (19) 과 같은 투명도전막만으로 형성한다. 따라서, 축적용량부 (Cs) 의 전역에 걸쳐서 화소 전극 (19) 이 형성됨과 동시에, 절연막 (10) 상의 평탄한 영역에 상부 전극 (15) 이 형성되도록 층간 절연막 (16) 을 제거해야만 한다. 그 후, 투명도전막을 성막하고, 화소 전극 (19), 축적용량부 (Cs) 의 상부 전극 (15) 을 패터닝하여 동시에 완성한다.

이 실시형태에서의 효과는 기본적으로 제 1 실시형태 경우와 동일하지만, 축적용량부 (Cs) 의 절연막 (10) 이 TFT (11) 의 작용에 영향을 미치는 게이트 절연막을 구성하는 막으로는 사용되고 있지 않는 것이 제 1 실시형태와의 다르다. 이와 같은 구조에 의해, TFT (11) 의 성능에는 전혀 영향을 주지 않고 축적용량부의 절연막 (10) 을 선정할 수 있다. 예를 들면, 단위 면적당의 용량을 늘리기 위하여 SiNx 보다도 비유전율이 높은 TaOx 등의 재료를 채용하는 것이 비교적 용이하다. 또한, 부차적인 효과로서, 게이트 라인 (7, 7') 의 상당 부분에 보조 전극 (20) 이 적층되어 두꺼운 두께가 되기 때문에, 게이트 라인 (7, 7') 전체의 배선 저항이 감소한다는 효과도 기대할 수 있다.

제 2 실시형태에서도, 축적용량부 (Cs) 의 절연막 (10) 으로서 게이트 절연막 (8) 에 이용한 SiNx 를 그대로 사용하는 것은 아무런 문제가 없으며, 그 경우 바람직한 막두께는 제 1 실시형태의 경우와 동일하다. 다른 막에 대해서도, 특별히 기술하지는 않지만 제 1 실시형태의 막 재료와 막두께가 제 2 실시형태에서도 우수한 결과를 나타낼 것으로 기대할 수 있다.

도 5, 6 은 본 발명의 액티브 매트릭스형 액정표시장치의 제 3 실시형태를 나타낸 것이다. 도 6 은 어레이 기관 부분의 요부 평면도, 도 5 는 도 6 중 5-5 단면에 액정층에서 상부를 부가한 단면도이다.

이 실시형태에서도, 제 2 실시형태의 개념에 따라서, 축적용량부 (Cs) 의 절연막 (10) 은 TFT (11) 의 게이트 절연막을 구성하는 막으로서의 사용하지 않는다. 반도체층 (12) 의 형성까지는 제 2 실시형태와 동일한 프로세스로 제작한다.

다음, 축적용량부 (Cs) 의 용량을 구성하는 절연막 (10) 을 전면에서 막형성하고, 반도체층 (12) 상부의

소스전극 (13a), 드레인 전극 (14) 의 각각에 전기적으로 접속되는 영역과 채널부로 이루어지는 영역을 에칭에 의하여 제거하여 콘택트 홀 (22) 을 형성한다. 그 후, 소스 라인 (13) 과 그로부터 연장하는 소스전극 (13 a), 드레인 전극 (14), 축적용량부 (Cs) 의 상부 전극 (15) 으로 이루어지는 금속막을 전면에서 성막하고 에칭에 의하여 패터닝한다. 또한, 상부 전극 (15) 은 하부전극으로서의 게이트 라인 (7') 위에 있는 절연막 (10) 의 평탄한 영역에만 형성한다. 이 후의 층간 절연막 (16) 의 성막, 포트리소스그라피의 공정 및 투명 도전막의 성막, 패터닝에 의한 화소 전극 (19) 의 형성은 제 1 실시형태의 경우와 동일하다.

이 실시형태에서는, 제 2 실시형태와 동일하게 축적용량부 (Cs) 의 절연막 (10) 선정의 자유도가 증가함과 동시에, TFT (11) 의 소스전극 (13a) 및 드레인 전극 (14) 과 게이트 전극 (7a) 간의 막두께가 절연막 (10) 의 막두께만큼 크게되기 때문에 절연 내압성이 향상하는 효과도 있다. 상기 제 2, 제 3 실시형태에서도 개구율을 제 1 실시형태의 경우와 거의 같게 55% 정도까지 향상시킬 수 있다.

발명의 효과

본 발명은 축적용량부 (Cs) 가 화소 전극과 접속된 상부 전극, 절연막, 및 이 절연막을 사이에 두고 배치하는 하부전극으로 구성되며, 상기 절연막은 TFT 의 게이트 절연막과는 다른 막으로 형성한다. 따라서, 게이트 절연막과는 독립하여 축적용량부 (Cs) 의 용량을 구성하는 절연막의 막두께를 작게 하거나, 또는 막 재료의 비유전율을 올리는 수단을 취할 수 있고, 단위면적당의 축적용량을 늘리는 것이 가능하게 된다. 그 결과, 소정의 전하용량을 유지하기 위한 축적용량부 (Cs) 의 면적을 화소 전극에 대하여 상대적으로 감소시킬 수 있게 되며, 고정세의 액정표시장치에서도 보다 큰 개구율을 실현할 수 있다.

(57) 청구의 범위

청구항 1

액정층을 협지하는 한쌍의 투명 기판중의 일측의 투명 기판상에 복수의 게이트 라인과 복수의 소스 라인 (13) 을 교차시켜 매트릭스상으로 배열 설치하고, 이들 각 교점에 박막 트랜지스터를 배열 설치하고, 이들 박막 트랜지스터에 접속되어 이루어진 화소 전극마다 축적용량부를 설치하되,

이 축적용량부의 용량을 구성하는 절연막을 상기 박막 트랜지스터를 형성하는 게이트 절연막과는 다른 막으로 형성하고,

상기 축적용량부는 상기 화소 전극에 접속된 상부 전극과 상기 절연막을 사이에 두고 배치하는 하부 전극을 구비하는 것을 특징으로 하는 액티브 매트릭스형 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 하부 전극상의 절연막의 평탄한 영역에만 상기 상부 전극이 형성되어 이루어진 것을 특징으로 하는 액티브 매트릭스형 액정 표시장치.

청구항 3

제 1 항에 있어서,

상기 절연막은 상기 절연막과 동일 재료로 이루어지고,

상기 절연막의 막두께를 상기 게이트 절연막의 막두께보다도 작게 한 것을 특징으로 하는 액티브 매트릭스형 액정 표시장치.

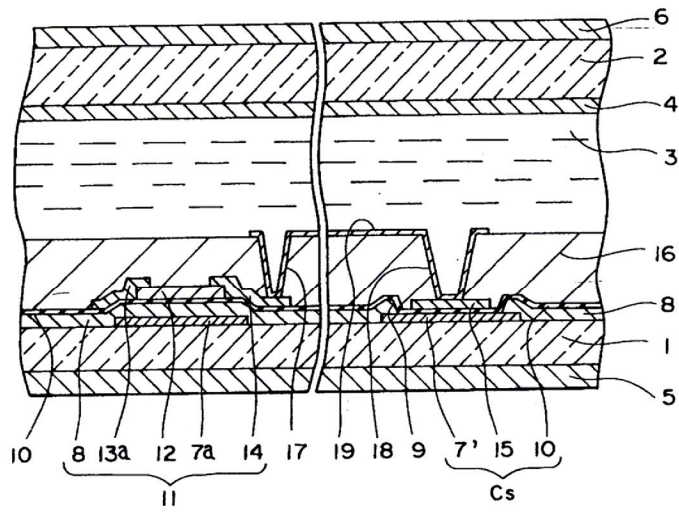
청구항 4

제 1 항에 있어서,

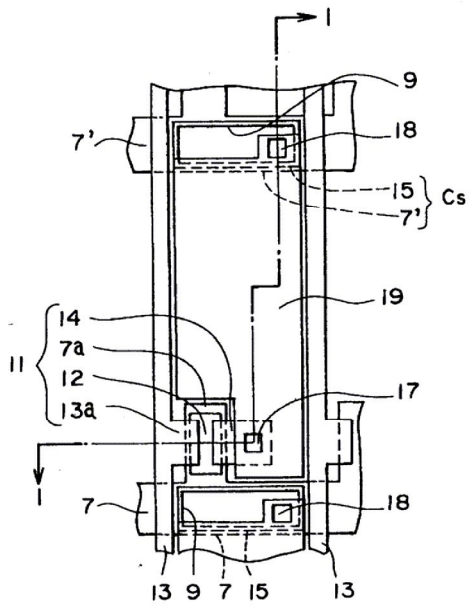
상기 절연막은 상기 게이트 절연막보다도 비유전율이 큰 재료로 이루어진 액티브 매트릭스형 액정 표시장치.

도면

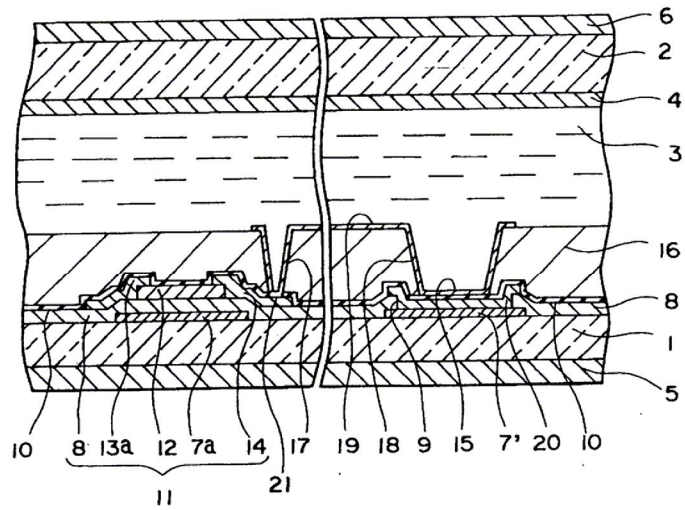
도면1



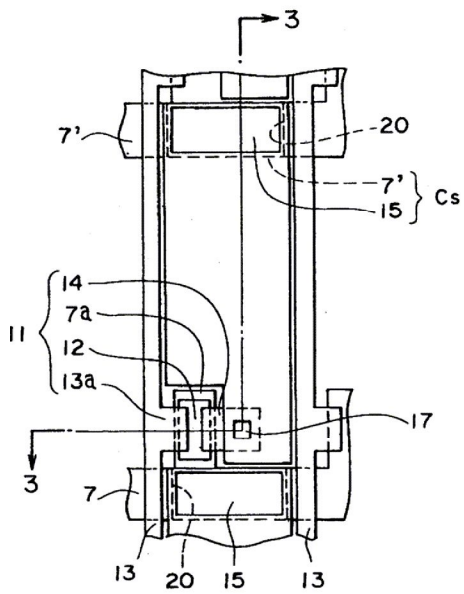
도면2



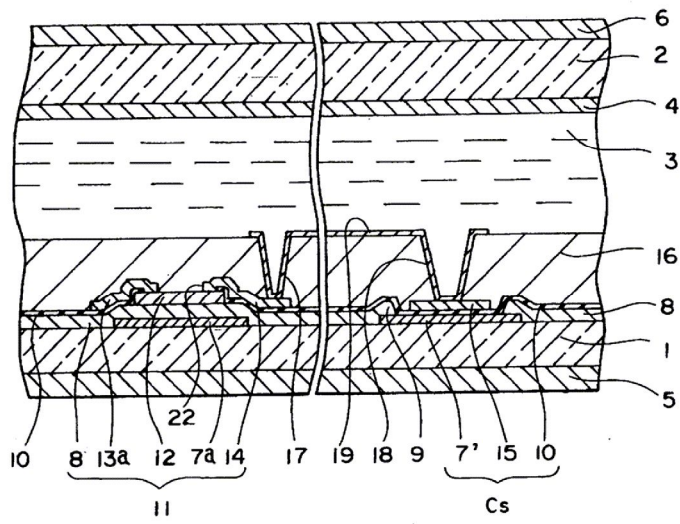
도면3



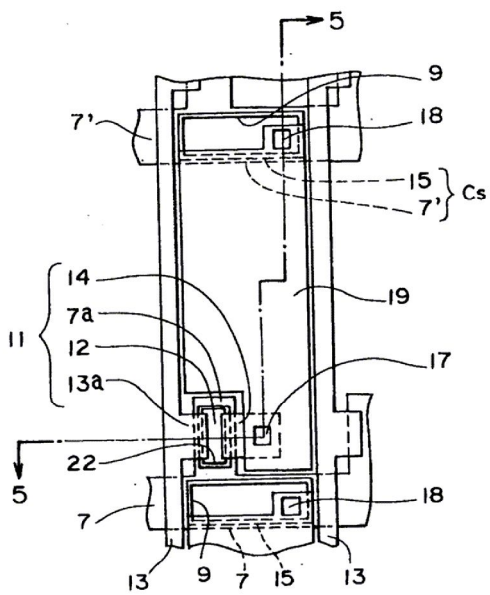
도면4



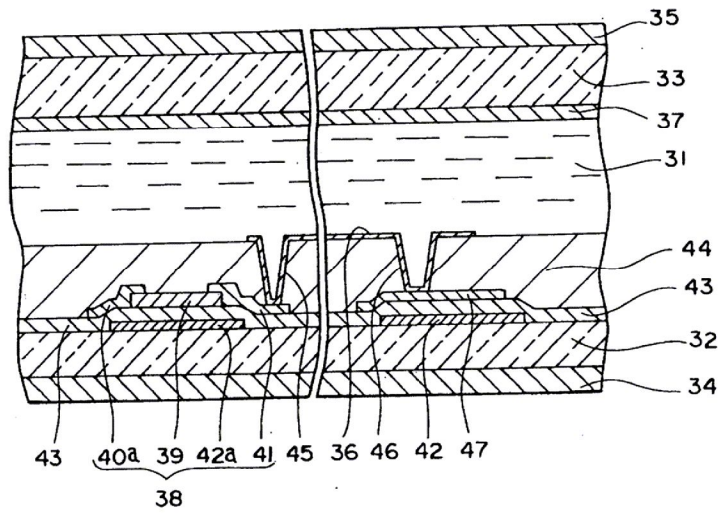
도면5



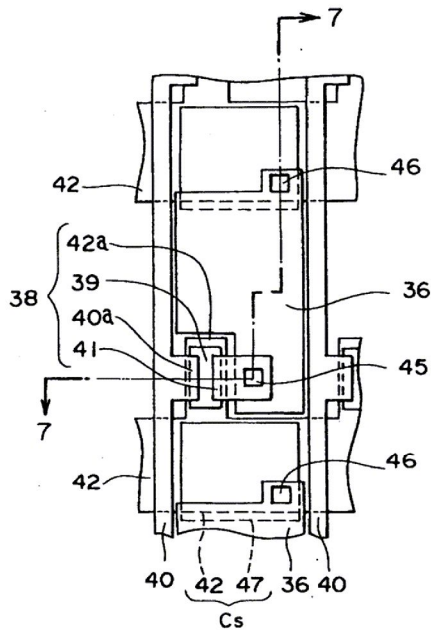
도면6



도면7



도면8



专利名称(译)	有源矩阵型液晶显示器		
公开(公告)号	KR1020010021016A	公开(公告)日	2001-03-15
申请号	KR1020000034428	申请日	2000-06-22
[标]申请(专利权)人(译)	阿尔卑斯电气株式会社		
申请(专利权)人(译)	阿尔卑斯电气有限公司		
当前申请(专利权)人(译)	阿尔卑斯电气有限公司		
[标]发明人	KAWAHATA KEN 가와하따겐		
发明人	가와하따겐		
IPC分类号	G02F1/13 G02F1/1368 G09F G09F9/30 G02F1/1362 H01L21/336 G02F H01L29/786 H01L G02F1/133 G02F1/136		
CPC分类号	H01L27/13 G02F1/136213 G02F1/136227 H01L27/12 H01L27/1255		
代理人(译)	韩国专利公司 CHO , YOUNG WON		
优先权	1999181949 1999-06-28 JP		
其他公开文献	KR100376338B1		
外部链接	Espacenet		

摘要(译)

目的：通过相对于像素电极的面积相对减小存储电容部分的面积来增加开口率。构成：多个栅极线7、7'和多个源极线13排列成矩阵，相互交叉在一对透明基板1、2中的一个透明基板1中，一对透明基板1、2之间夹有液晶层3和薄膜晶体管（TFT）11设置在每个交叉点上。像素电极19连接至TFT11。布置在每个像素电极19上的存储电容部分Cs由经由绝缘层10和下侧电极与像素电极19连接的上侧电极15构成。彼此相对放置。绝缘层10与TFT 11的栅极绝缘层8分开形成。通过减小绝缘层10的层厚度和/或通过提高绝缘层10的相对介电常数，可以相对减小存储电容部分Cs的面积。该层材料可增加单位面积的电容。

