



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0011085
 (43) 공개일자 2008년01월31일

(51) Int. Cl.
G02F 1/1343 (2006.01) **G02F 1/1345** (2006.01)
G02F 1/133 (2006.01)
 (21) 출원번호 10-2007-0075037
 (22) 출원일자 2007년07월26일
 심사청구일자 2007년07월26일
 (30) 우선권주장
 JP-P-2006-00204624 2006년07월27일 일본(JP)

(71) 출원인
엡슨 이미징 디바이스 가부시키키가이샤
 일본국 나가노켄 아즈미노시 도요시나 다자와 6925
 (72) 발명자
오노기 도모히데
 일본 나가노켄 아즈미노시 도요시나 다자와 6925
세가와 야스오
 일본 나가노켄 아즈미노시 도요시나 다자와 6925
엡슨 이미징디바이스 가부시키키가이샤 내
 (74) 대리인
양영준, 이중희

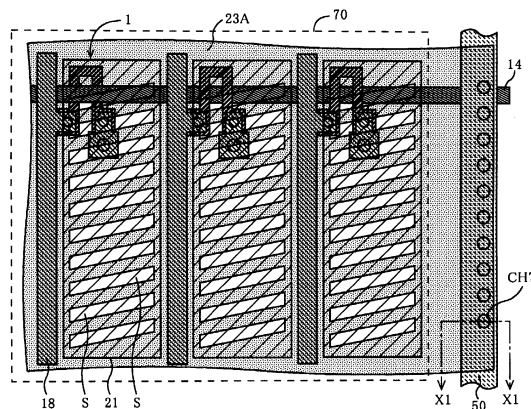
전체 청구항 수 : 총 10 항

(54) 액정 표시 장치

(57) 요약

공통 전극으로의 공통 전위의 공급을 충분히 확보함과 함께, 화소의 개구율을 향상하여 밝은 표시를 얻을 수 있는 FFS 방식의 액정 표시 장치를 제공한다. 화소 전극(21)은 제1층 투명 전극으로 형성되고, 절연막(22)을 사이에 두고 그 상층에, 제2층 투명 전극으로 이루어지는 공통 전극(23A)이 형성된다. 그리고, 상층의 공통 전극(23A)에 복수의 슬릿 S가 형성된다. 공통 전극(23A)은 표시 영역(70)의 모든 화소에 걸쳐져 있다. 공통 전극(23A)의 단부는, 표시 영역(70)의 바깥에 배치되고, 공통 전위 Vcom을 공급하는 외주 공통 전위 라인(50)에 접속되어 있다. 종래예와 같은 공통 전극 보조 라인(15), 패드 전극(19)은 설치되어 있지 않다.

대표도 - 도1



특허청구의 범위

청구항 1

기관과,

상기 기관 상의 표시 영역에 배치된 복수의 화소와,

상기 표시 영역의 외주에 배치되고, 공통 전위가 공급된 외주 공통 전위 라인을 구비하고,

각 화소는, 화소 전극과, 그 화소 전극 상에 절연막을 개재하여 배치되고, 복수의 슬릿을 갖고, 복수의 화소에 걸쳐서 배치된 공통 전극을 구비하고,

상기 공통 전극의 단부가 상기 외주 공통 전위 라인에 접속된 것을 특징으로 하는 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 외주 공통 전위 라인은 상기 슬릿의 길이 방향과 외주변이 이루는 각의 협각이 큰 쪽의 외주변에 배치되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 3

제1항에 있어서,

상기 외주 공통 전위 라인은 표시 영역을 둘러싸고 있고, 상기 표시 영역과 상기 외주 공통 전위 라인 사이의 스페이스에, 상기 화소에 표시 신호를 공급하는 표시 신호 라인의 제어 회로, 또는 상기 화소에 게이트 신호를 공급하는 게이트 라인의 제어 회로를 배치한 것을 특징으로 하는 액정 표시 장치.

청구항 4

제1항에 있어서,

상기 외주 공통 전위 라인은 상기 화소에 표시 신호를 공급하는 표시 신호 라인과 동일한 층에 있는 것을 특징으로 하는 액정 표시 장치.

청구항 5

제1항에 있어서,

상기 화소 전극에 화소 선택용의 박막 트랜지스터가 접속되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 6

기관과,

상기 기관 상의 표시 영역에 배치된 복수의 화소와,

상기 표시 영역의 외주에 배치되고, 공통 전위가 공급된 외주 공통 전위 라인을 구비하고,

각 화소는, 복수의 화소에 걸쳐 배치된 공통 전극과, 그 공통 전극 상에 절연막을 개재하여 배치되며, 복수의 슬릿을 갖는 화소 전극을 구비하고,

상기 공통 전극의 단부가 상기 외주 공통 전위 라인에 접속된 것을 특징으로 하는 액정 표시 장치.

청구항 7

제6항에 있어서,

상기 외주 공통 전위 라인은 상기 슬릿의 길이 방향과 외주변이 이루는 각의 협각이 큰 쪽의 외주변에 배치되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 8

제6항에 있어서,

상기 외주 공통 전위 라인은 표시 영역을 둘러싸고 있고, 상기 표시 영역과 상기 외주 공통 전위 라인 사이의 스페이스에, 상기 화소에 표시 신호를 공급하는 표시 신호 라인의 제어 회로, 또는 상기 화소에 게이트 신호를 공급하는 게이트 라인의 제어 회로를 배치한 것을 특징으로 하는 액정 표시 장치.

청구항 9

제6항에 있어서,

상기 외주 공통 전위 라인은 상기 화소에 표시 신호를 공급하는 표시 신호 라인과 동일한 층에 있는 것을 특징으로 하는 액정 표시 장치.

청구항 10

제6항에 있어서,

상기 화소 전극에 화소 선택용의 박막 트랜지스터가 접속되어 있는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은, 액정 표시 장치에 관한 것으로, 특히, 화소 전극과 공통 전극의 사이에 발생하는 가로 방향 전계에 의해 액정 분자의 배향 방향이 제어되는 액정 표시 장치에 관한 것이다.

배경 기술

- <2> 액정 표시 장치의 광시야각화를 도모하는 수단 중의 하나로서, 동일 기판 상의 전극 사이에 가로 방향의 전계를 발생시키고, 이 전계에 의해 액정 분자를 기판에 평행한 면 내에서 회전시킴으로써 광 스위칭 기능을 갖게 하는 방식이 개발되어 있다. 이 기술의 예로서는, 인플레인 스위칭(In-plane Switching, 이 후, 「IPS」라고 약칭함) 방식이나, IPS 방식을 개량한 프린지 필드 스위칭(Fringe Field Switching, 이후, 「FFS」라고 약칭함) 방식이 알려져 있다.
- <3> FFS 방식의 액정 표시 장치의 제조 공정에 대하여 도면을 참조하여 설명한다. 도 18 내지 도 20은, FFS 방식의 액정 표시 장치의 1 화소의 제조 공정을 도시하는 도면으로, 각 도면의 (a)는 표시 영역의 일부의 평면도이고, (b)는 (a)의 A-A선을 따라 취한 단면도이다. 실제의 액정 표시 장치의 표시 영역에서는, 다수의 화소가 매트릭스로 배치되어 있지만, 이들의 도면에서는 3화소만을 나타내고 있다.
- <4> 도 18에 도시한 바와 같이, 글래스 기판 등으로 이루어지는 TFT 기판(10) 상에, 실리콘 산화막(SiO₂막) 혹은 실리콘 질화막(SiN_x막)으로 이루어지는 버퍼층(11), 아몰퍼스 실리콘층이 CVD에 의해 연속 성막된다. 이 아몰퍼스 실리콘층은 엑시머 레이저 어닐링에 의해 결정화되어 폴리실리콘층으로 된다. 이 폴리실리콘층이 U자 형상으로 패터닝되어 박막 트랜지스터(1)(이하, TFT(1)라고 함)의 능동층(12)이 형성된다.
- <5> 그 후, 능동층(12)을 덮어 게이트 절연막(13)이 성막된다. 능동층(12)과 중첩한 게이트 절연막(13) 상에는 크롬, 몰리브덴 등으로 이루어지는 게이트 라인(14)이 형성된다. 게이트 라인(14)은 능동층(12)과 2개소에서 교차하고, 행방향으로 연장되어 있다. 게이트 라인(14)에는 TFT(1)의 온 오프를 제어하는 게이트 신호가 인가된다. 한편, 게이트 라인(14)과 평행하게, 게이트 라인(14)과 동일 재료로 이루어지고 공통 전위 Vcom을 공급하기 위한 공통 전극 보조 라인(15)이 형성된다.
- <6> 다음으로, TFT(1) 및 공통 전극 보조 라인(15)을 덮는 층간 절연막(16)이 형성된다. 그리고, 층간 절연막(16)에 능동층(12)의 소스 영역(12s), 드레인 영역(12d)을 각각 노출하는 콘택트 홀 CH1, CH2가 형성된다. 또한, 층간 절연막(16)에는 공통 전극 보조 라인(15)을 노출하는 콘택트 홀 CH3이 형성된다.
- <7> 그리고, 콘택트 홀 CH1을 통하여 소스 영역(12s)과 접속된 소스 전극(17), 콘택트 홀 CH2를 통하여 드레인 영역(12d)과 접속된 표시 신호 라인(18)이 형성되고, 콘택트 홀 CH3을 통하여 공통 전극 보조 라인(15)과 접속된 패드 전극(19)이 형성되어 있다. 소스 전극(17), 표시 신호 라인(18), 패드 전극(19)은, 알루미늄 혹은 알루미늄

합금을 포함하는 금속 등으로 이루어진다. 다음으로, 전체면에 평탄화막(20)이 형성된다. 평탄화막(20)에는, 소스 전극(17), 패드 전극(19)을 각각 노출하는 컨택트 홀 CH4, CH5가 형성된다.

- <8> 그리고, 도 19에 도시한 바와 같이, 컨택트 홀 CH4를 통하여 소스 전극(17)에 접속되고, 평탄화막(20) 상에 연장되는 화소 전극(21)이 형성된다. 화소 전극(21)은, ITO 등의 제1층 투명 전극으로 이루어지고, 표시 신호 라인(18)으로부터의 표시 신호 Vsig가 TFT(1)를 통하여 인가된다.
- <9> 그 후, 도 20에 도시한 바와 같이, 화소 전극(21)을 덮는 절연막(22)이 형성된다. 또한, 절연막(22)을 에칭하여 패드 전극(19)을 노출하는 컨택트 홀 CH6이 형성된다. 그리고, 화소 전극(21) 상에 절연막(22)을 개재하여, 복수의 슬릿 S를 갖는 공통 전극(23)이 형성된다. 공통 전극(23)은, ITO 등의 제2층 투명 전극으로 이루어지고, 컨택트 홀 CH6을 통하여 패드 전극(19)과 접속된다.
- <10> 또한, TFT 기판(10)과 대향하여, 글래스 기판 등으로 이루어지는 대향 기판(30)이 배치되어 있다. 대향 기판(30)에는, 편광판(31)이 접촉된다. 또한, TFT 기판(10)의 이면에도 편광판(32)이 접촉된다. 편광판(31, 32)은, 각 편광판의 편광축이 서로 직교하는 관계를 갖고 배치되어 있다. 그리고, TFT 기판(10)과 대향 기판(30) 사이에는, 액정(40)이 봉입된다.
- <11> 상기 액정 표시 장치에서는, 화소 전극(21)에 표시 전압이 인가되지 않은 상태(무전압 상태)에서는, 액정(40)의 액정 분자의 장축의 평균적인 배향 방향(이 후, 간단히 「배향 방향」이라고 약칭함)이 편광판(32)의 편광축과 평행한 기울기로 된다. 이 때, 액정(40)을 투과하는 직선 편광은, 그 편광축이 편광판(31)의 편광축과 직교하기 때문에, 편광판(31)으로부터 출사되지 않는다. 즉 표시 상태는 흑표시로 된다.
- <12> 한편, 화소 전극(21)에 표시 전압이 인가되면, 화소 전극(21)으로부터 슬릿 S를 통하여 공통 전극(23)을 향하는 가로 방향 전계가 발생한다. 이 전계는 평면적으로 보면, 슬릿 S의 길이 방향에 수직인 전계로서, 액정 분자의 배향 방향은 그 전계의 전기력선을 따르도록 하여 회전한다. 이 때, 액정(40)에 입사한 직선 편광은 복굴절에 의해 타원 편광으로 되지만, 편광판(31)을 투과하는 직선 편광 성분을 갖게 되고, 이 경우의 표시 상태는 백표시로 된다. 또한, FFS 방식의 액정 표시 장치에 대해서는 특허 문헌1, 2에 기재되어 있다.
- <13> [특허 문헌1] 일본 특개 2001-183685호 공보
- <14> [특허 문헌2] 일본 특개 2002-296611호 공보

발명의 내용

해결 하고자하는 과제

- <15> 일반적으로, 전기 저항의 영향에 의해 공통 전극(23)으로의 공통 전위 Vcom의 공급이 불충분하면 액정(40)에 인가되는 전압이 감소하여 콘트라스트의 저하 등의 표시 품질의 열화가 발생한다. 공통 전극(23)은 ITO 등의 투명 전극으로 형성되어, 통상의 금속보다 시트 저항이 높기 때문에, 표시 불량이 발생하기 쉽고, 특히 액정 패널의 사이즈가 커지면 이 문제는 현저해진다. 따라서, 종래의 액정 표시 장치에서는, 공통 전극(23)으로의 공통 전위 Vcom의 공급을 충분히 행하기 위해서, 표시 영역 내에 공통 전위 Vcom을 공급하는 공통 전극 보조 라인(15)을 배설하고, 화소마다 공통 전극(23)과 공통 전극 보조 라인(15)을 접속하였다.
- <16> 그러나, 표시 영역 내에 공통 전극 보조 라인(15)을 설치하면, 그 배선 부분이 차광 영역으로 되어 화소의 개구율이 저하한다고 하는 문제가 있었다. 따라서, 본 발명은, 공통 전극에의 공통 전위의 공급을 충분히 확보함과 함께, 화소의 개구율을 향상하여 밝은 표시를 얻을 수 있는 액정 표시 장치를 제공하는 것을 목적으로 한다.

과제 해결수단

- <17> 본 발명의 액정 표시 장치는, 기판과, 상기 기판 상의 표시 영역에 배치된 복수의 화소와, 상기 표시 영역의 외주에 배치되고, 공통 전위가 공급된 외주 공통 전위 라인을 구비하고, 각 화소는, 화소 전극과, 그 화소 전극 상에 절연막을 개재하여 배치되고, 복수의 슬릿을 갖고, 복수의 화소에 걸쳐서 배치된 공통 전극을 구비하고, 상기 공통 전극의 단부가 상기 외주 공통 전위 라인에 접속된 것을 특징으로 한다.

효과

- <18> 본 발명의 액정 표시 장치에 따르면, 표시 영역의 외주에 배치된 외주 공통 전위 라인으로부터 공통 전극에 공통 전위가 공급되므로, 표시 영역 내의 공통 전극 보조 라인을 삭제하여 화소의 개구율을 향상시킬 수 있다.

또한, 공통 전극을 복수의 화소에 걸쳐서 배치하고 외주 공통 전위 라인과 접속했으므로, 공통 전극에의 공통 전위의 공급을 저저항으로 충분히 행할 수 있다.

발명의 실시를 위한 구체적인 내용

- <19> 제1 실시예
- <20> 본 발명의 제1 실시예에 따른 액정 표시 장치에 대하여 도면을 참조하면서 설명한다. 도 1은 액정 표시 장치의 표시 영역의 일부의 평면도이며, 도 2는 도 1의 X1-X1선을 따라 취한 단면도이다. 실제의 액정 표시 장치의 표시 영역(70)에서는, 다수의 화소가 매트릭스로 배치되어 있지만, 이들의 도면에서는 3화소만을 나타내고 있다.
- <21> 화소 전극(21)은 제1층 투명 전극으로 형성되고, 절연막(22)을 사이에 두고 그 상층에, 제2층 투명 전극으로 이루어지는 공통 전극(23A)이 형성된다. 그리고, 상층의 공통 전극(23A)에 복수의 슬릿 S가 형성된다. 이상의 점은 종래예(도 20을 참조)와 동일하지만, 본 실시예에서는, 공통 전극(23A)은 표시 영역(70)의 모든 화소에 걸쳐져 있다. 공통 전극(23A)의 단부는, 표시 영역(70)의 외주에 배치되고, 공통 전위 Vcom을 공급하는 외주 공통 전위 라인(50)에 접속되어 있다.
- <22> 그 접속 단면 구조는, 도 2에 도시한 바와 같이, 외주 공통 전위 라인(50)이 표시 신호 라인(18) 등과 동일한 층에 형성되어 있고, 알루미늄 혹은 알루미늄 합금을 포함하는 금속 등으로 이루어진다. 외주 공통 전위 라인(50)은 층간 절연막(16) 상에 형성되고, 그 상층의 평탄화막(20) 및 절연막(22)에 형성된 콘택트 홀 CH7을 통하여, 상층의 공통 전극(23A)이 외주 공통 전위 라인(50)에 접속되어 있다. 외주 공통 전위 라인(50)은, TFT 기관(10) 상의 도시하지 않은 단자에 접속되어, 그 단자를 통하여, TFT 기관(10)의 외부의 IC 등으로부터 공통 전위 Vcom이 공급된다.
- <23> 또한, 본 실시예의 액정 표시 장치에 따르면, 종래예와 같은 공통 전극 보조 라인(15), 패드 전극(19)은 설치되지 않는다. 그 때문에, 화소의 개구율이 향상된다. 또한, 공통 전극(23A)은 표시 영역(70)의 모든 화소에 걸쳐도록 일체화되어 있고, 그 단부를 외주 공통 전위 라인(50)에 접속했으므로, 공통 전극(23A)에 공통 전위 Vcom을 저저항으로 충분히 공급할 수 있다.
- <24> 외주 공통 전위 라인(50)은, 도 3의 레이아웃예에서는 사각형의 표시 영역(70)의 1변을 따라, 표시 영역(70)의 외주에 배치되어 있다. 공통 전극(23A)에 저저항으로 공통 전위 Vcom을 더 공급하기 위해서는, 도 4의 레이아웃 예와 같이, 외주 공통 전위 라인(50)을 대향하는 2변을 따라 배치하고, 각각의 변의 외주 공통 전위 라인(50)과 공통 전극(23A)의 단부를 접속하는 것이 바람직하다. 이 경우, 도 5의 레이아웃예와 같이, 외주 공통 전위 라인(50)을 인접하는 2변을 따라 배치 하여도 된다.
- <25> 공통 전극(23A)에 저저항으로 공통 전위 Vcom을 더 공급하기 위해서는, 도 6의 레이아웃예와 같이, 3변을 따라 배치하거나, 혹은, 도 7과 같이 4변을 따라 배치하고, 각각의 변의 외주 공통 전위 라인(50)과 공통 전극(23A)의 단부를 접속하는 것이 바람직하다.
- <26> 그러나, 도 7과 같이 표시 영역(70)을 외주 공통 전위 라인(50)에 의해 둘러싸는 레이아웃에서는, 게이트 라인(14)과 표시 신호 라인(18)을 외주 공통 전위 라인(50)의 바깥으로 취출할 필요가 있다. 이것은, 게이트 라인(14)과 표시 신호 라인(18)을 각각 신호원에 접속하기 위해서이다.
- <27> 그렇게 하면, 외주 공통 전위 라인(50)과 표시 신호 라인(18)이 동일한 층에 있는 경우에는, 도면 중의 과선에 의해 둘러싼 부분과 같이, 외주 공통 전위 라인(50)과 표시 신호 라인(18)의 교차부에서 단락을 방지하기 위해, 어느 한쪽의 라인의 층을 부분적으로 변경하여 브릿지를 형성할 필요가 있다. 예를 들면, 교차부에서는 표시 신호 라인(18)을 게이트 라인(14)과 동일한 층으로 변경하게 된다. 게이트 라인(14)에 대해서는, 외주 공통 전위 라인(50)과 상이한 층이기 때문에, 외주 공통 전위 라인(50)과 교차시키고 있다.
- <28> 그러한 브릿지나 교차를 피하기 위해서는, 도 8과 같이, 신호원으로 되는 회로를 외주 공통 전위 라인(50)에 의해 둘러싸여진 스페이스에 배치하면 된다. 즉, 표시 신호 라인(18)에 표시 신호를 공급하는 표시 신호 라인 제어 회로(61), 게이트 라인(14)에 게이트 신호를 공급하는 게이트 라인 제어 회로(62)를 표시 영역(70)과 외주 공통 전위 라인(50) 사이의 스페이스에 배치한다.
- <29> 제2 실시예
- <30> 본 발명의 제2 실시예에 따른 액정 표시 장치에 대하여 도면을 참조하면서 설명한다. 도 9는 액정 표시 장치의 표시 영역의 일부의 평면도이며, 도 10은 도 9의 X2-X2선을 따라 취한 단면도이다. 또한, 도 11은 도 9의 Y1-

Y1선을 따라 취한 단면도이다. 실제의 액정 표시 장치의 표시 영역에서는, 다수의 화소가 매트릭스로 배치되어 있지만, 이들 도면에서는 3화소만을 나타내고 있다.

- <31> 본 실시예는, 제1 실시예의 화소 전극(21)과 공통 전극(23A)의 상하의 배치 관계를 역전시킨 것으로, 공통 전극(23B)이 제1층 투명 전극으로 형성되고, 절연막(22)을 사이에 두고 그 상층에, 화소 전극(21B)이 제2층 투명 전극으로 형성된다. 그리고, 상층의 화소 전극(21B)에 복수의 슬릿 S가 형성된다.
- <32> 이와 같은 화소의 구성에서도, 화소 전극(21B)과 공통 전극(23B) 사이에 가로 방향 전계를 발생시켜서 액정 분자의 배향 방향을 제어함으로써 광 시야각의 액정 표시를 얻을 수 있다.
- <33> 화소 전극(21B)은 화소마다 분단되고, 각 화소의 TFT(1)의 소스 전극(17)에 접속되어 있다. 공통 전극(23B)은 제1 실시예와 마찬가지로, 표시 영역(70)의 모든 화소에 걸쳐져 있다. 공통 전극(23B)의 단부는, 표시 영역(70)의 외주에 배치되고, 공통 전위 Vcom을 공급하는 외주 공통 전위 라인(50)에 접속되어 있다.
- <34> 그 접속 단면 구조는, 도 10에 도시한 바와 같이, 외주 공통 전위 라인(50)은 표시 신호 라인(18) 등과 동일한 층에 형성되고 있고, 알루미늄 혹은 알루미늄 합금을 포함하는 금속 등으로 이루어진다. 외주 공통 전위 라인(50)은 층간 절연막(16) 상에 형성되고, 그 상층의 평탄화막(20)에 형성된 콘택트 홀 CH8을 통하여, 공통 전극(23B)이 외주 공통 전위 라인(50)에 접속되어 있다. 외주 공통 전위 라인(50)은, TFT 기판(10) 상의 도시하지 않은 단자에 접속되고, 그 단자를 통하여, TFT 기판(10)의 외부의 IC 등으로부터 공통 전위 Vcom이 공급된다.
- <35> 그 밖의 구성에 대해서는, 제1 실시예와 완전히 동일하다. 즉, 외주 공통 전위 라인(50), 공통 전극(23B)의 레이아웃은 도 3~도 8의 레이아웃을 적용할 수 있어, 마찬가지로의 효과를 얻을 수 있다.
- <36> 제3 실시예
- <37> 본 발명의 제3 실시예에 따른 액정 표시 장치에 대하여 도면을 참조하면서 설명한다. 제1, 제2 실시예에서는, 화소 내의 TFT(1)가 능동층이 폴리실리콘으로 형성된 폴리실리콘 TFT이지만, 본 실시예에서는, 그 대신에, 능동층이 아몰퍼스 실리콘으로 형성된 아몰퍼스 실리콘 TFT(1a)(이하, aSi-TFT(1a)라고 함)가 이용되고 있다.
- <38> 도 12는 이 액정 표시 장치의 표시 영역의 일부의 평면도이며, 도 13은 도 12의 X3-X3선을 따라 취한 단면도이다. 또한, 도 14는 도 12의 Y2-Y2선을 따라 취한 단면도이다. 실제의 액정 표시 장치의 표시 영역에서는, 다수의 화소가 매트릭스로 배치되어 있지만, 이들의 도면에서는 3화소만을 나타내고 있다.
- <39> TFT 기판(100) 상에 aSi-TFT(1a)의 게이트 라인(114)이 형성된다. 게이트 라인(114)은 크롬, 몰리브덴 등으로 형성된다. 게이트 라인(114)을 제외하는 영역에 스트라이프 형상으로 복수의 화소에 걸쳐서 연장된 공통 전극(123B)이 형성된다. 공통 전극(123B)은 ITO 등의 제1층 투명 전극으로 형성된다. 그리고, 게이트 라인(114), 공통 전극(123B)을 덮어, 게이트 절연막(101)이 형성된다. 게이트 절연막(101) 상에, 게이트 라인(114)을 덮어 아몰퍼스 실리콘층(102)이 형성된다. 그리고, 아몰퍼스 실리콘층(102)에 접촉하여 표시 신호 라인(118)(드레인 전극)과 소스 전극(103)이 형성된다.
- <40> 전체면에 층간 절연막(104)이 형성되고, 소스 전극(103) 상의 층간 절연막(104)이 부분적으로 에칭되어, 콘택트 홀 CH12가 형성된다. 이 콘택트 홀 CH12를 통하여 소스 전극(103)에 접속된 화소 전극(121B)이 형성된다. 화소 전극(121B)은, ITO 등의 제2층 투명 전극으로 이루어지고, 복수의 슬릿 S를 갖고 있다. 그리고, 화소 전극(121B)은 게이트 절연막(101) 및 층간 절연막(104)을 사이에 두고 공통 전극(123B) 상에 형성된다.
- <41> 이러한 aSi-TFT(1a)를 이용한 화소의 구성에서도, 화소 전극(121B)과 공통 전극(123B) 사이에 가로 방향 전계를 발생시켜 액정 분자의 배향 방향을 제어함으로써 광 시야각의 액정 표시를 얻을 수 있다.
- <42> 또한, 공통 전극(123B)의 단부는 표시 영역(70)의 외주에 배치되고, 공통 전위 Vcom을 공급하는 외주 공통 전위 라인(150)에 접속되어 있다. 그 접속 단면 구조는, 도 13에 도시한 바와 같이, 외주 공통 전위 라인(150)은 표시 신호 라인(118) 등과 동일한 층에 형성되고 있고, 알루미늄 혹은 알루미늄 합금을 포함하는 금속 등으로 이루어진다. 외주 공통 전위 라인(150)은 게이트 절연막(101) 상에 형성되고 있다. 그리고, 공통 전극(123B) 상의 게이트 절연막(101) 및 층간 절연막(104)에 형성된 콘택트 홀 CH13, 외주 공통 전위 라인(150) 상의 층간 절연막(104)에 형성된 콘택트 홀 CH14를 통하여, 제2층 투명 전극으로 이루어지는 접속용 배선(119)에 의해, 공통 전극(123B)과 외주 공통 전위 라인(150)이 접속되어 있다.
- <43> 외주 공통 전위 라인(150)은, TFT 기판(100) 상의 도시하지 않은 단자에 접속되고, 그 단자를 통하여, TFT 기판(100)의 외부의 IC 등으로부터 공통 전위 Vcom이 공급된다.

- <44> 또한, TFT 기판(100)과 대향하여 대향 기판이 설치되고, TFT 기판(100)과 대향 기판 사이에 액정이 봉입되는 등의 점에 대해서는, 제1, 제2 실시예와 마찬가지로 상세한 설명은 생략한다.
- <45> 본 실시예의 액정 표시 장치에 따르면, 제1, 제2 실시예와 마찬가지로, 공통 전극 보조 라인(15), 패드 전극(19)은 설치되어 있지 않다. 그 때문에, 화소의 개구율이 향상한다. 또한, 공통 전극(123B)은 표시 영역(70)의 모든 화소에 걸쳐도록 일체화되어 있고, 그 단부를 외주 공통 전위 라인(150)에 접속하였으므로, 공통 전극(123B)에 공통 전위 Vcom을 저저항으로 충분히 공급할 수 있다. 또한, 외주 공통 전위 라인(150), 공통 전극(123B)의 레이아웃에 대해서도 마찬가지로 도 3~도 8의 레이아웃을 적용할 수 있어, 마찬가지로의 효과를 얻을 수 있다.
- <46> 제4 실시예
- <47> 본 발명의 제4 실시예에 따른 액정 표시 장치에 대하여 도면을 참조하면서 설명한다. 도 15는 이 액정 표시 장치의 표시 영역의 일부의 평면도이고, 도 16은 도 15의 X4-X4선을 따라 취한 단면도이다. 또한, 도 16은 도 15의 Y3-Y3선을 따라 취한 단면도이다. 실제의 액정 표시 장치의 표시 영역에서는, 다수의 화소가 매트릭스로 배치되어 있지만, 이들의 도면에서는 3화소만을 나타내고 있다.
- <48> 본 실시예는, 제3 실시예에 따른 액정 표시 장치의 화소 전극(121B)과 공통 전극(123B)의 상하의 배치 관계를 역전시킨 것으로, 화소 전극(121A)이 제1층 투명 전극으로 형성되고, 게이트 절연막(101), 층간 절연막(104)을 사이에 두고 그 상층에, 공통 전극(123A)이 제2층 투명 전극으로 형성된다. 그리고, 상층의 공통 전극(123A)에 복수의 슬릿 S가 형성된다.
- <49> 공통 전극(123A)의 단부는 표시 영역(70)의 외주에 배치되고, 공통 전위 Vcom을 공급하는 외주 공통 전위 라인(150)에 접속되어 있다. 그 접속 단면 구조는, 도 16에 도시한 바와 같이, 외주 공통 전위 라인(150)은 표시 신호 라인(118) 등과 동일한 층에 형성되어 있고, 알루미늄층 혹은 알루미늄 합금을 포함하는 금속 등으로 이루어진다. 외주 공통 전위 라인(150)은 게이트 절연막(101) 상에 형성되어 있다. 그리고, 외주 공통 전위 라인(150) 상의 층간 절연막(104)에 형성된 컨택트 홀 CH15를 통하여, 공통 전극(123A)과 외주 공통 전위 라인(150)이 접속되어 있다. 그 밖의 점에 대해서는, 제3 실시예와 마찬가지로이다.
- <50> 또한, 제1 내지 제4 실시예에 따른 액정 표시 장치에서, 공통 전극(123A, 123B)의 슬릿 S는 1개의 화소 내에 형성되어 있지만, 슬릿 S는 복수의 화소에 걸쳐서, 연결되어 있어도 된다. 또한 화소 전극(121B, 121B)은, 슬릿 S의 한쪽의 단부가 개구된 빗살 무늬 형상이어도 된다.

도면의 간단한 설명

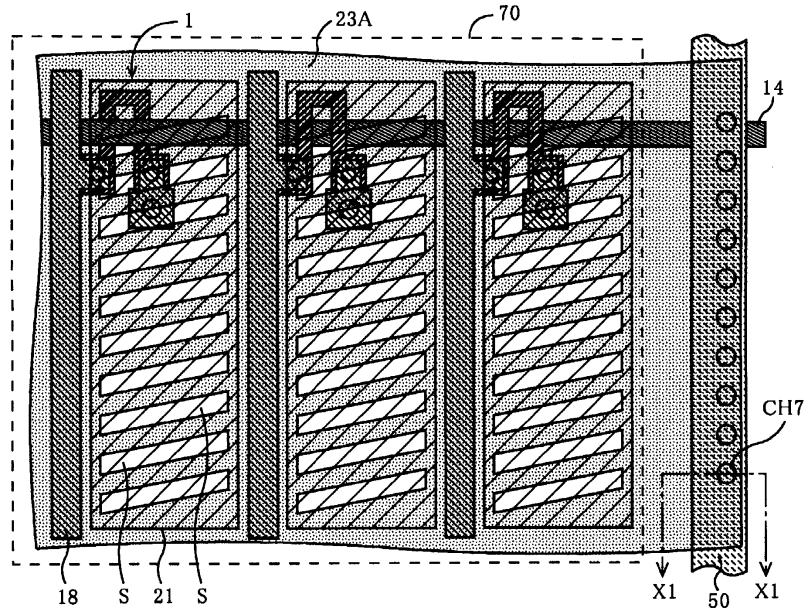
- <51> 도 1은 제1 실시예에 따른 액정 표시 장치의 표시 영역의 일부의 평면도.
- <52> 도 2는 도 1의 X1-X1선을 따라 취한 단면도.
- <53> 도 3은 제1 실시예에 따른 액정 표시 장치의 제1 레이아웃도.
- <54> 도 4는 제1 실시예에 따른 액정 표시 장치의 제2 레이아웃도.
- <55> 도 5는 제1 실시예에 따른 액정 표시 장치의 제3 레이아웃도.
- <56> 도 6은 제1 실시예에 따른 액정 표시 장치의 제4 레이아웃도.
- <57> 도 7은 제1 실시예에 따른 액정 표시 장치의 제5 레이아웃도.
- <58> 도 8은 제1 실시예에 따른 액정 표시 장치의 제6 레이아웃도.
- <59> 도 9는 제2 실시예에 따른 액정 표시 장치의 표시 영역의 일부의 평면도.
- <60> 도 10은 도 9의 X2-X2선을 따라 취한 단면도.
- <61> 도 11은 도 9의 Y1-Y1선을 따라 취한 단면도.
- <62> 도 12는 제3 실시예에 따른 액정 표시 장치의 표시 영역의 일부의 평면도.
- <63> 도 13은 도 12의 X3-X3선을 따라 취한 단면도.
- <64> 도 14는 도 12의 Y2-Y2선을 따라 취한 단면도.

- <65> 도 15는 제4 실시예에 따른 액정 표시 장치의 표시 영역의 일부의 평면도.
- <66> 도 16은 도 15의 X4-X4선을 따라 취한 단면도.
- <67> 도 17은 도 15의 Y3-Y3선을 따라 취한 단면도.
- <68> 도 18은 종래예의 액정 표시 장치의 구조 및 제조 방법을 설명하는 도면.
- <69> 도 19는 종래예의 액정 표시 장치의 구조 및 제조 방법을 설명하는 도면.
- <70> 도 20은 종래예의 액정 표시 장치의 구조 및 제조 방법을 설명하는 도면.
- <71> <도면의 주요 부분에 대한 부호의 설명>
- <72> 1 : TFT
- <73> 1a : aSi-TFT
- <74> 10, 100 : TFT 기판
- <75> 11 : 버퍼층
- <76> 12 : 능동층
- <77> 12d : 드레인 영역
- <78> 12s : 소스 영역
- <79> 13, 101 : 게이트 절연막
- <80> 14, 114 : 게이트 라인
- <81> 15 : 공통 전극 보조 라인
- <82> 16, 104 : 층간 절연막
- <83> 17, 103 : 소스 전극
- <84> 18, 118 : 표시 신호 라인
- <85> 19 : 패드 전극
- <86> 20 : 평탄화막
- <87> 21, 21B, 121A, 121B : 화소 전극
- <88> 22 : 절연막
- <89> 23, 23A, 23B, 123A, 123B : 공통 전극
- <90> 30 : 대향 기판
- <91> 31, 32 : 편광판
- <92> 40 : 액정
- <93> 50 : 외주 공통 전위 라인
- <94> 61 : 표시 신호 라인 제어 회로
- <95> 62 : 게이트 라인 제어 회로
- <96> 70 : 표시 영역
- <97> 102 : 아몰퍼스 실리콘층
- <98> 119 : 접속용 배선
- <99> 150 : 외부 공통 전위 라인
- <100> CH1~CH15 : 컨택트 홀

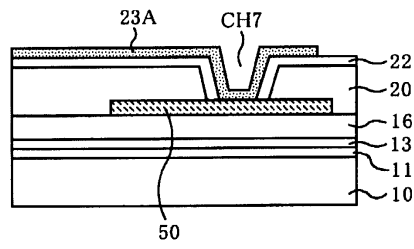
<101> S : 슬릿

도면

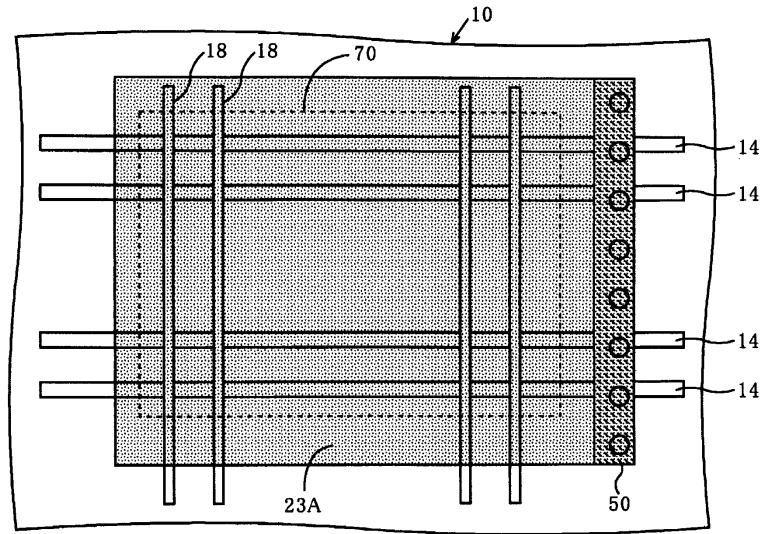
도면1



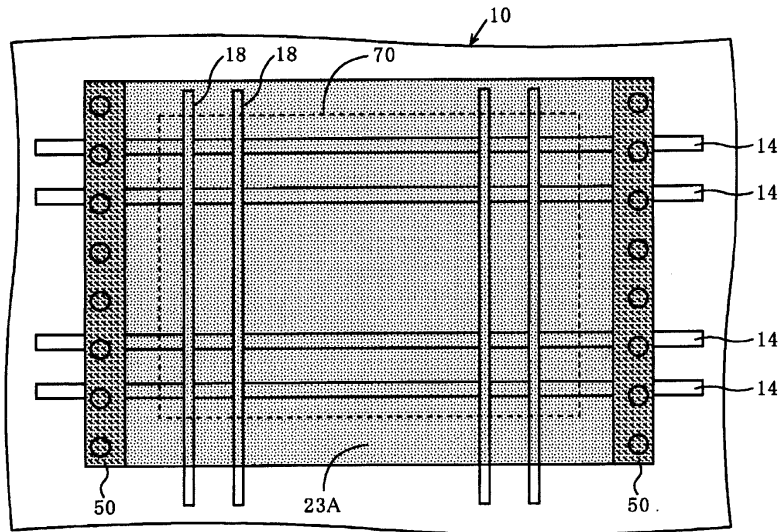
도면2



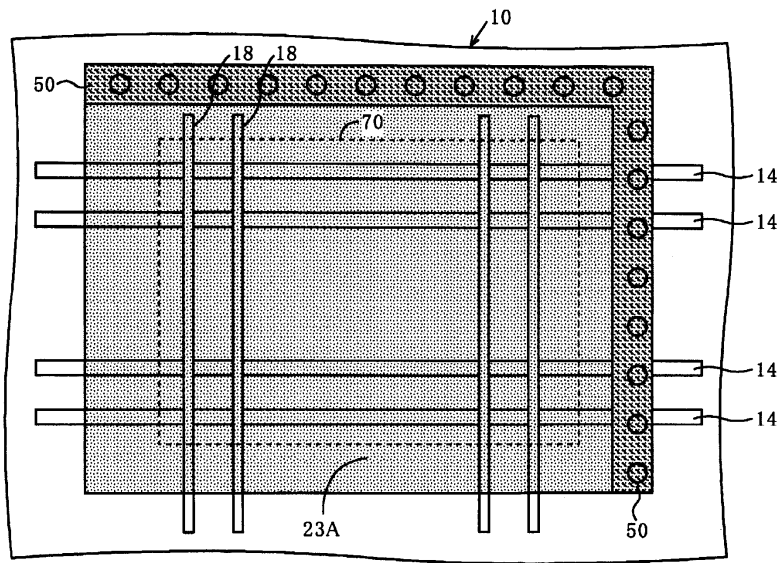
도면3



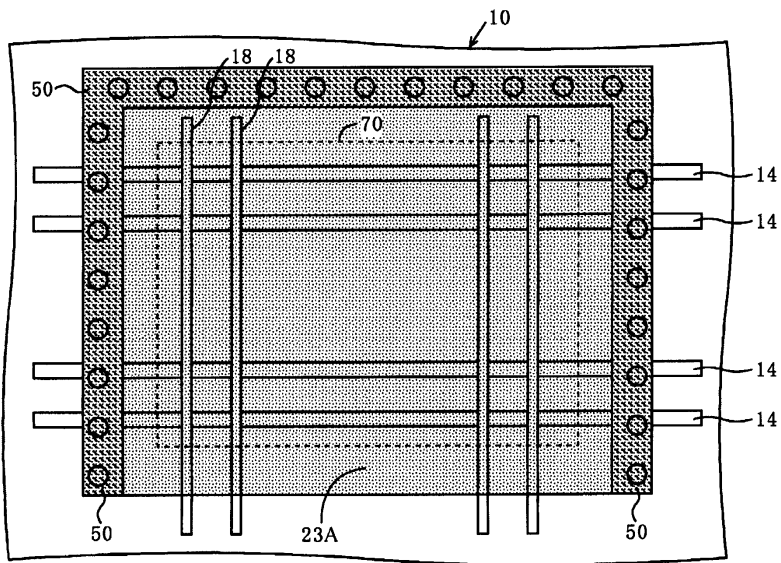
도면4



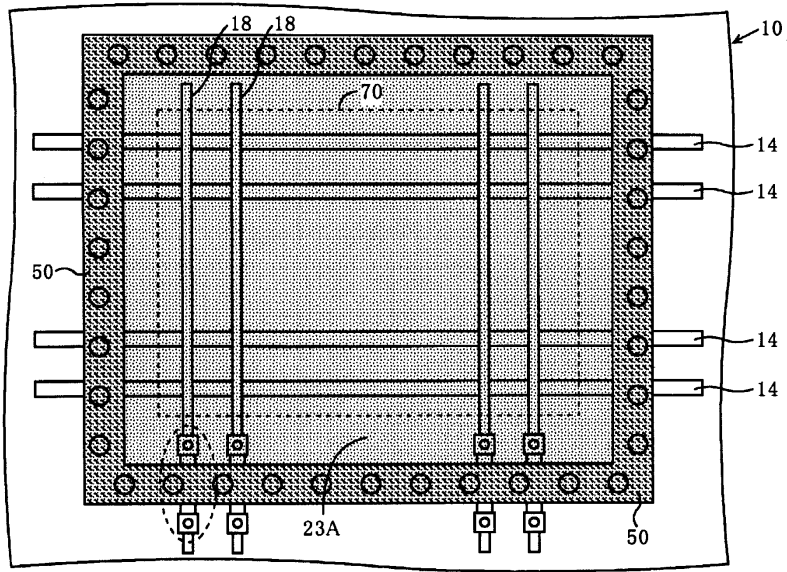
도면5



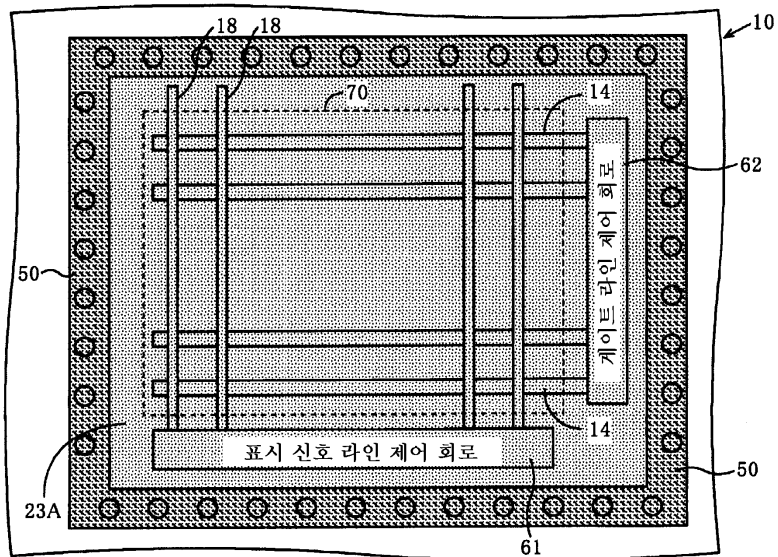
도면6



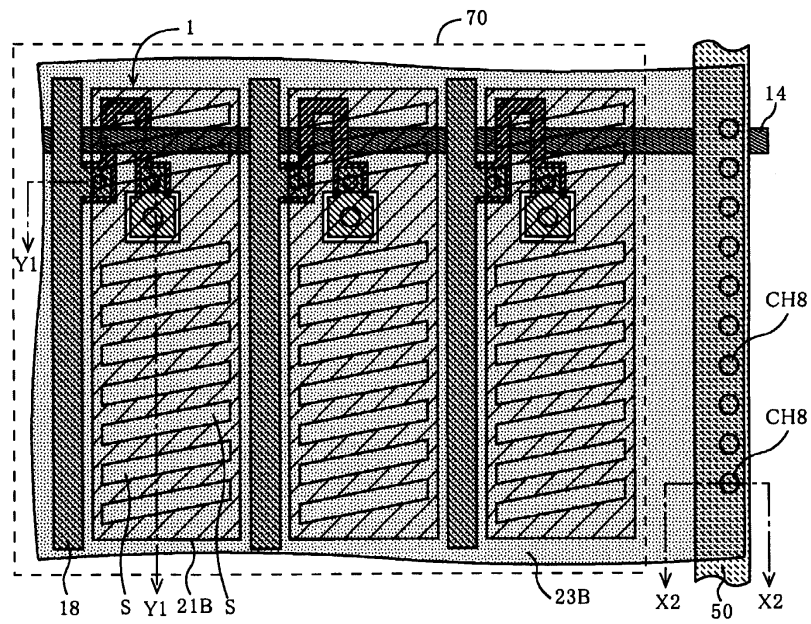
도면7



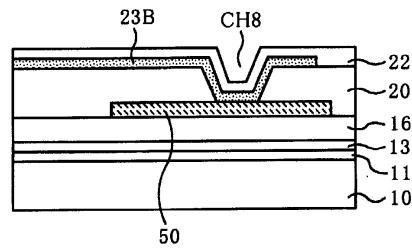
도면8



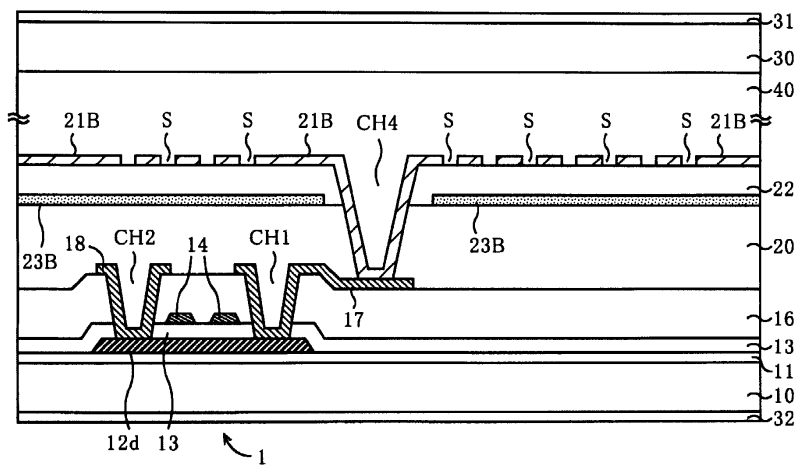
도면9



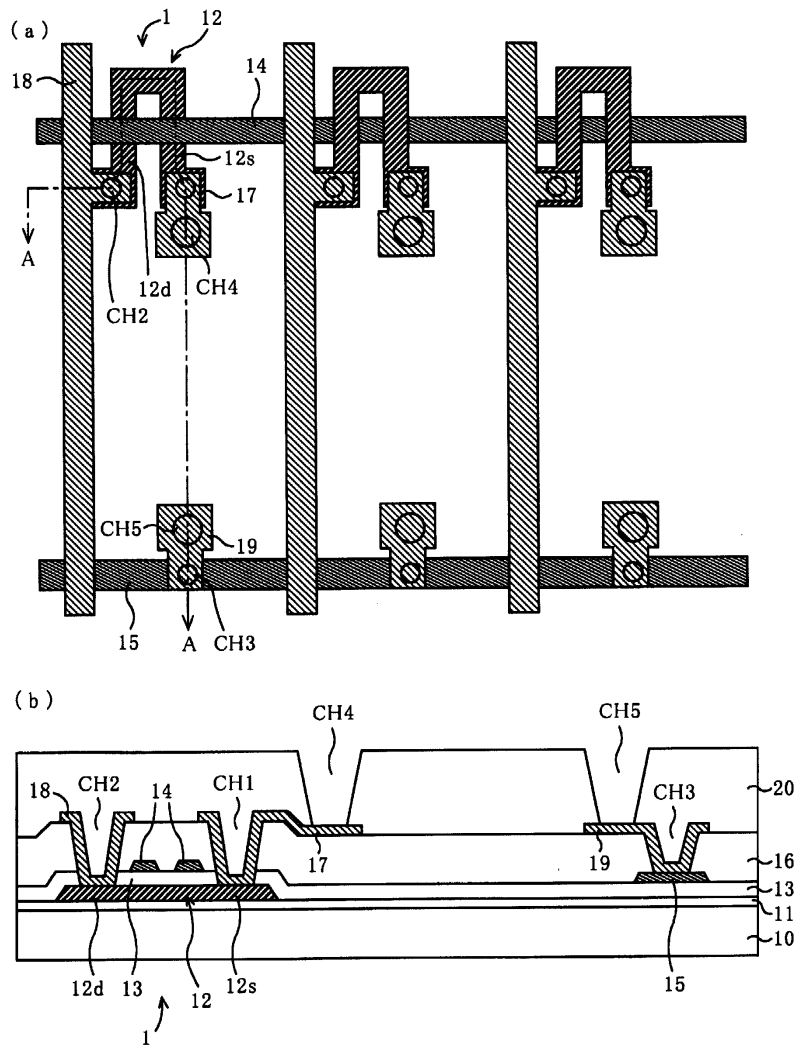
도면10



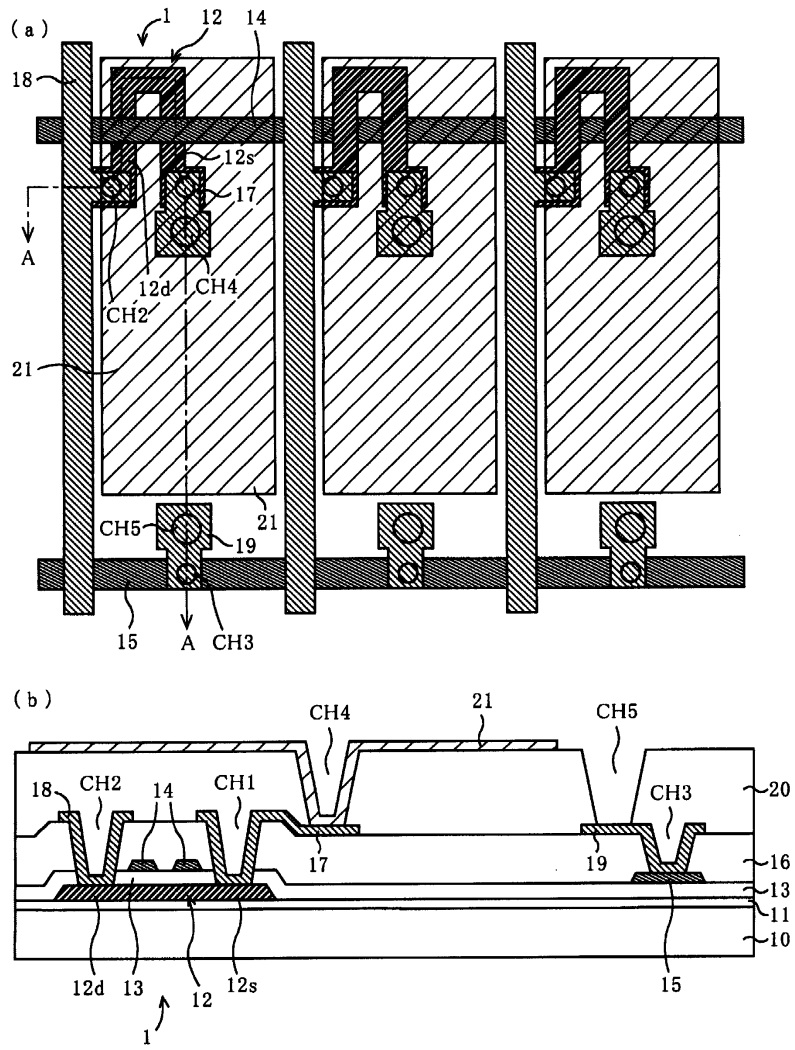
도면11



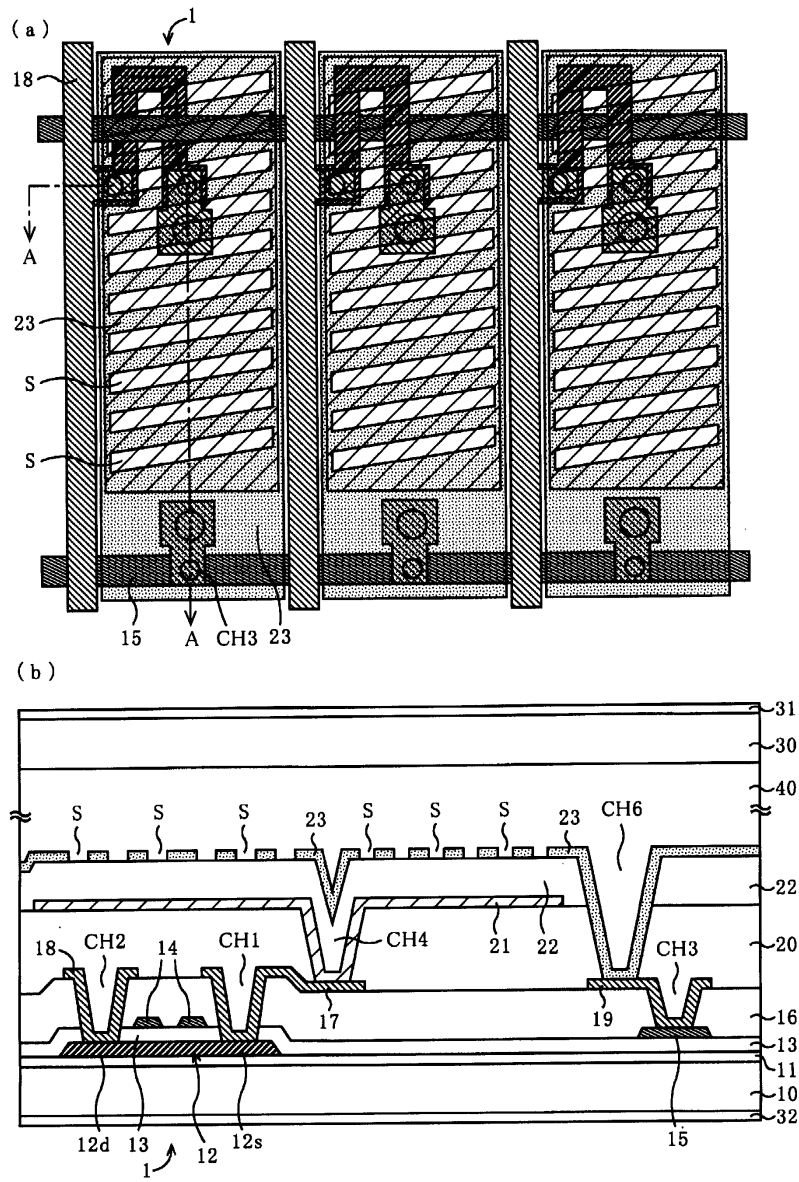
도면18



도면19



도면20



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080011085A	公开(公告)日	2008-01-31
申请号	KR1020070075037	申请日	2007-07-26
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	猎户座森成像装置可否让这个夏		
当前申请(专利权)人(译)	猎户座森成像装置可否让这个夏		
[标]发明人	ONOGI TOMOHIDE 오노기도모히데 SEGAWA YASUO 세가와야스오		
发明人	오노기도모히데 세가와야스오		
IPC分类号	G02F1/1343 G02F1/1345 G02F1/133		
CPC分类号	G02F2001/134372 G02F1/136227 G02F1/134363 G02F1/133345 G02F1/134336 G02F1/13439 G02F1/136286 G02F1/1368 G02F2001/133357 G02F2001/136295 G02F2201/121 G02F2201/123 G02F2201/40 G02F2202/103 G02F2202/104 H01L27/1222 H01L27/1244 H01L29/78669 H01L29/78678		
代理人(译)	LEE , JUNG HEE		
优先权	2006204624 2006-07-27 JP		
其他公开文献	KR100884126B1		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示装置，用于从布置在显示区域外围的外围公共电位线向公共电极提供公共电位，以去除显示区域中的公共电极辅助线，从而提高开口率像素。液晶显示器包括基板。多个像素布置在基板上的显示区域(70)处。外周公共电位线(50)布置在显示区域的外围并接收公共电位。每个像素包括由第一层透明电极形成的像素电极(21)和由第二层透明电极形成的公共电极(23A)，通过插入具有多个狭缝的绝缘膜布置在像素电极上(S))，其中公共电极布置在多个像素上。公共电极的末端连接到外围公共电位线。

