



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G02F 1/136 (2006.01)

(11) 공개번호 10-2007-0007597
(43) 공개일자 2007년01월16일

(21) 출원번호 10-2005-0062318
(22) 출원일자 2005년07월11일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 허일국
경기 용인시 죽전2동 한솔노블밸리지아파트 103동 1002호
계명하
서울 동작구 본동 한강쌍용아파트 102동 808호

(74) 대리인 임창현
오세준
권혁수
송윤호

전체 청구항 수 : 총 8 항

(54) 액정 표시 장치

(57) 요약

데이터 라인의 양측에 배치된 스토리지 패턴들을 구비하는 액정 표시 장치를 제공한다. 이 장치는 복수개의 픽셀 영역들을 갖는 하부 기판 및 픽셀 영역들마다 배치되는 픽셀 트랜지스터들을 구비한다. 이때, 픽셀 트랜지스터들은 게이트, 소오스 및 드레인 전극들을 구비한다. 이에 더하여, 게이트 전극들은 어드레스 라인들에 의해 연결되고, 소오스 전극들은 데이터 라인들에 의해 연결되고, 각 드레인 전극에는 픽셀 전극들이 전기적으로 접속한다. 또한, 데이터 라인들의 양측에는 제 1 및 제 2 스토리지 전극들이 배치되는데, 제 1 및 제 2 스토리지 전극들의 전 영역은 상부 기판에 형성된 차광막 패턴에 의해 가려진다. 상부 기판은 하부 기판 상에 배치된다.

대표도

도 4b

특허청구의 범위

청구항 1.

복수개의 픽셀 영역들을 갖는 하부 기판;

게이트, 소오스 및 드레인 전극들을 구비하면서, 상기 픽셀 영역들마다 배치되는 픽셀 트랜지스터들;

상기 픽셀 영역들을 가로지르면서, 상기 게이트 전극들을 연결하는 어드레스 라인들;

상기 어드레스 라인들을 가로지르면서, 상기 소오스 전극들을 연결하는 데이터 라인들;

상기 드레인 전극에 전기적으로 접속하면서, 상기 픽셀 영역 내에 배치되는 픽셀 전극들;

상기 픽셀 전극으로부터 이격되어, 상기 데이터 라인들의 양측에 배치된 제 1 및 제 2 스토리지 전극들; 및

상기 픽셀 트랜지스터들, 상기 어드레스 라인들 및 상기 데이터 라인들의 상부에 배치되는 차광막 패턴을 구비하면서, 상기 하부 기판 상에 배치되는 상부 기판을 구비하되,

상기 제 1 및 제 2 스토리지 전극들은 상기 차광막 패턴에 의해 가려지는 영역 내에 배치되는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 제 1 및 제 2 스토리지 패턴들은 상기 게이트 전극 및 상기 어드레스 라인과 같은 수직적 위치에, 이들과 동일한 물질 및 두께로 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제 2 항에 있어서,

상기 제 1 및 제 2 스토리지 패턴들과 상기 픽셀 전극 사이에는 게이트 절연막 및 보호막이 더 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제 1 항에 있어서,

상기 제 1 및 2 스토리지 패턴들은 상기 소오스 전극 및 상기 데이터 라인과 같은 수직적 위치에, 이들과 동일한 물질 및 두께로 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제 4 항에 있어서,

상기 제 1 및 제 2 스토리지 패턴들과 상기 픽셀 전극 사이에는 보호막이 더 배치되는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제 1 항에 있어서,

상기 어드레스 라인의 일 측에 배치되어, 상기 데이터 라인을 가로지르면서 상기 제 1 및 제 2 스토리지 패턴들을 연결하는 스토리지 연결 패턴들을 더 구비하되,

상기 스토리지 연결 패턴들은 상기 게이트 전극 및 상기 어드레스 라인과 같은 수직적 위치에, 이들과 동일한 물질 및 두께로 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제 6 항에 있어서,

상기 제 1 및 제 2 스토리지 패턴들은 적어도 한 개의 수직 배선 구조체를 통해 상기 스토리지 연결 패턴에 전기적으로 연결되는 것을 특징으로 하는 액정 표시 장치.

청구항 8.

제 1 항에 있어서,

상기 하부 기판의 픽셀 전극과 상기 상부 기판의 차광막 패턴 사이의 간격은 2 내지 5 마이크로 미터인 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 보다 자세하게는 증가된 스토리지 커패시턴스를 갖는 액정표시 장치에 관한 것이다.

액정 표시 장치는 액정의 전기 광학 효과를 이용한 것으로, 액정을 배향시킬 수 있는 배향막이 도포되어 있는 두 장의 유리 기판 사이에 액정을 주입하고 양쪽 기판의 바깥 면에는 편광판을 부착한 장치이다.

액정의 전기 광학 효과는 액정 표시 장치 내부의 액정 배향 상태를 인가된 전기장으로 변형시켜 입사 빛의 편광 상태의 변화를 유발함으로써, 최종 편광판을 통과하는 빛의 양을 조절하는 것을 의미한다. 이와 같은 전기 광학 효과를 이용할 경우 액정의 배향 상태, 사용되는 액정 물질의 특성, 전기장 인가 방식 및 사용하는 광학계(편광자, 위상차판 등)의 종류 등에 따라서 여러 가지 서로 다른 액정 모드들이 가능하다. 액정 표시 장치에 사용되는 액정 모드는 액정 표시 장치의 특성을 최적화하는 방향으로 연구되고 있다. 즉, 높은 투과도와 대비비, 넓은 시야각, 빠른 응답 속도를 추구한다. 현재까지 산업계에 널리 사용되는 액정 모드는 네마틱 액정을 사용하는 비틀린 네마틱 모드 또는 초비틀린 네마틱 모드가 주류를 이루고 있다.

한편, 노트북 컴퓨터와 같은 휴대용 전자 장치들에 사용되는 액정 표시 장치는 상술한 특성들 이외에도 소모 전력을 최소화할 수 있는 기술이 요구되고 있지만, 이러한 소모 전력의 최소화라는 기술적 요구는 액정 표시 장치의 응답 속도의 향상을 저해하는 요인으로 작용할 수 있다. 예를 들면, 노트북 컴퓨터 등에 사용되는 액정 표시 장치는 소모 전력의 최소화를 위해 7.8 볼트의 저전압 구동 방식을 채택하고 있지만, 이러한 저전압 구동을 위해서는 액정의 유전율 이방성($\Delta\epsilon$)은 대략 $8 \leq \Delta\epsilon \leq 12$ 의 범위인 것이 필요하다. 이러한 조건 하에서, 요구되는 빠른 응답 속도를 달성하기 위해서는, 액정 표시 장치의 하부 기판과 상부 기판 사이의 간격(즉, 셀 간극- cell gap)을 대략 4마이크로 미터 이하로 줄여야 한다. 하지만, 셀 간극이 감소할 경우 수반되는 액정 커패시턴스의 증가는, 아래 도 2a에 도시된 것처럼, 시간-휘도 그래프에서 응답 시간의 지연을 초래하는 계단형 곡선(99)을 만든다.

응답 시간의 지연이 발생하는 이유를 설명하기 전에, 먼저 도 1a 및 도 1b를 참조하여 종래 기술에 따른 노트북 컴퓨터용 액정 표시 장치의 구조를 설명하기로 한다. 도 1a 및 도 1b는 측정에 사용된 노트북 컴퓨터용 액정 표시 장치의 액정 셀을 도시하는 도면들로서, 도 1a 및 도 1b는 각각 평면도 및 단면도를 나타낸다.

도 1a를 참조하면, 액정 표시 장치(10)를 구성하는 픽셀 영역들은 픽셀 트랜지스터(20)를 구비하고, 각 픽셀 트랜지스터들(20)은 게이트 전극(21), 소오스 전극(22) 및 드레인 전극(23)을 구비한다. 게이트 전극들(21)은 어드레스 라인(31)에 의해 연결되고, 소오스 전극들(22)은 데이터 라인(32)에 의해 연결된다. 이때, 어드레스 라인(31)과 데이터 라인(32)은 서로 교차하도록 배치된다. 또한, 상기 드레인 전극(23)에는 각 픽셀 영역의 중앙부에 배치되는 픽셀 전극들(33)이 전기적으로 연결된다. 도시한 것처럼, 소정의 콘택 플러그들(41)이 픽셀 전극(33)과 드레인 전극(23) 사이의 전기적 연결을 위해 사용된다.

한편, 상기 어드레스 라인(31)의 일 측에는 상기 데이터 라인(32)을 가로지르는 스토리지 연결 라인(25)이 배치되고, 상기 스토리지 연결 라인(25)에는 (각 픽셀 전극(33)과 쌍을 이루어 스토리지 커패시터를 형성하는) 스토리지 전극(35)이 전기적으로 연결된다. 종래 기술에 따르면, 상기 스토리지 전극(35)은 상기 데이터 라인(32)의 일 측에 배치된다(도 1b 참조). 결과적으로, 스토리지 전극(35)은 상기 스토리지 연결 라인(25)과 평행하지 않으며, 통상적으로 서로 직각을 이루면서 연결된다.

도 1b는 도 1a의 점선 I-I'를 따라 보여지는 단면을 도시하며, 스토리지 전극(35)이 데이터 라인(32) 및 픽셀 전극(33)에 대해 어떻게 배치되는지를 보다 구체적으로 보여준다. 도 1b를 참조하면, 하부 기판(5) 상에는 (상술한 것처럼 픽셀 트랜지스터의 소오스 전극들(22)을 연결하는) 데이터 라인(32)이 배치된다. 상기 데이터 라인(32)과 상기 하부 기판(5) 사이에는 게이트 절연막(7)이 배치되고, 상기 데이터 라인(32) 상에는 보호막(9)이 배치된다. 상기 데이터 라인(32)의 양측에는 인접하는 두 픽셀들의 전기 광학적 특성을 제어하기 위한 픽셀 전극들(33)이 각각 배치된다. 통상적으로, 상기 픽셀 전극들(33)은 상기 보호막(9)의 상부에 배치되며, 상기 데이터 라인(32)으로부터 동일한 간격으로 이격된다. 이때, 상기 스토리지 전극(35)은 상기 데이터 라인(32)의 일 측에 배치된다.

일반적으로, 상기 게이트 전극(21) 및 상기 어드레스 라인(31)은 상기 게이트 절연막(7)의 하부에 형성되고, 상기 스토리지 전극(35)은 이들을 형성하는 공정 단계를 이용하여 만들어진다. 결과적으로, 상기 스토리지 커패시터를 구성하는 상기 스토리지 전극(35)과 상기 픽셀 전극(33) 사이에는 상기 게이트 절연막(7) 및 상기 보호막(9)이 개재된다.

이때, 상술한 액정 커패시턴스(C_{LC})는 상기 픽셀 전극(33)과 상부 기판(3)에 형성된 상부 픽셀 전극(도시하지 않음) 사이의 간격, 이들의 대향 면적 및 이들 사이에 개재되는 액정의 유전율에 의해 결정된다. 또한, 상술한 스토리지 커패시턴스(C_{ST})는 유사하게 상기 픽셀 전극(33)과 상기 스토리지 전극(35) 사이의 간격, 이들 사이의 대향 면적 및 이들 사이에 개재된 절연막들의 유전율에 의해 결정된다. 상술한 시간-휘도 그래프에서의 계단형 곡선(99)은 셀 간극이 감소함에 따라 액정 커패시턴스(C_{LC})의 영향이 증가하기 때문에 나타나는 현상으로, 도 2a에 도시된 측정 결과를 통해 확인할 수 있다.

도 2a는 노트북 컴퓨터에서 사용되는 실제 액정 표시 장치의 한 셀(이하, 측정 셀)에서 측정한 시간-휘도 특성을 도시하는 그래프이다. 측정은 실제 적용되는 구동 방식인 연속 전하(continuous charge) 구동 방식을 적용하여 실시되었다. 이에 비해, 도 2b는 같은 구조의 셀(이하, 비교 셀)에 액정 커패시턴스(C_{LC})에 의한 영향을 배제하기 위한 전압 구동 방식을 적용하여 측정한 시간-휘도 특성을 도시하는 그래프이다. 또한, 아래 표 1은 도 2a 및 2b의 셀에서의 응답 시간을 측정한 결과들을 나타낸다.

측정 셀에 대한 측정 결과에 따르면, 최대 휘도 대비 대략 88%의 휘도를 갖는 위치에서 상술한 계단형 곡선(99)이 시간-휘도 그래프에서 나타난다(도 2a 참조). 이에 비해, 비교 셀에 대한 측정 결과에 따르면, 이러한 계단형 곡선(99)이 시간-휘도 그래프에서 나타나지 않았다(도 1b 참조). 그 결과, 표 1에서 알 수 있는 것처럼, 비교 셀은 응답 시간이 대략 12.32 밀리초였으며, 측정 셀의 응답 시간은 상술한 계단형 곡선(99)에 의한 지연 현상으로 인해 20.01ms까지 늘어났다. 액정 표시 장치의 한 프레임의 시간 간격이 60헤르츠 동작을 위해 요구되는 16.7ms라는 점을 고려할 때, 비교 셀의 응답 시간은 적절한 수준이지만, 측정 셀의 응답 시간은 부적절하다. 이런 점에서, 빠른 응답 속도 특성을 구현할 수 있도록, 시간-휘도 그래프에서 계단형 곡선(99)이 나타나는 문제를 해결할 수 있는 기술이 요구되고 있다.

[표 1]

	τ_R (ms)	τ_F (ms)	τ_{TOT} (ms)
비교 셀	2.60	9.72	12.32
측정 셀	4.81	15.20	20.01

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 빠른 응답 속도를 갖는 액정 표시 장치를 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 개구율의 감소를 수반하지 않으면서 스토리지 커패시턴스를 증가시킬 수 있는 액정 표시 장치를 제공하는 데 있다.

본 발명이 이루고자 하는 또 다른 기술적 과제는 액정 커패시턴스에 의한 응답 속도 지연 효과를 감소시킬 수 있는 액정 표시 장치를 제공하는 데 있다.

발명의 구성

상기 기술적 과제들을 달성하기 위하여, 본 발명은 데이터 라인의 양측에 배치된 스토리지 패턴들을 구비하는 액정 표시 장치를 제공한다. 이 장치는 복수개의 픽셀 영역들을 갖는 하부 기판 및 상기 픽셀 영역들마다 배치되는 픽셀 트랜지스터들을 구비한다. 이때, 상기 픽셀 트랜지스터들은 게이트, 소오스 및 드레인 전극들을 구비한다. 이에 더하여, 상기 게이트 전극들을 연결하는 어드레스 라인들이 상기 픽셀 영역들을 가로질러 배치되고, 상기 소오스 전극들을 연결하는 데이터 라인들이 상기 어드레스 라인들을 가로질러 배치된다. 상기 드레인 전극에는 상기 픽셀 영역 내에 배치되는 픽셀 전극들이 전기적으로 접속하고, 상기 픽셀 전극으로부터 이격된 제 1 및 제 2 스토리지 전극들이 상기 데이터 라인들의 양측에 배치된다. 또한, 차광막 패턴을 구비하는 상부 기판이 상기 하부 기판 상에 배치되는데, 상기 차광막 패턴은 상기 픽셀 트랜지스터들, 상기 어드레스 라인들 및 상기 데이터 라인들의 상부에 배치되되, 특히 상기 제 1 및 제 2 스토리지 전극들은 상기 차광막 패턴에 의해 가려지는 영역 내에 배치된다.

본 발명의 일 실시예에 따르면, 상기 제 1 및 제 2 스토리지 패턴들은 상기 게이트 전극 및 상기 어드레스 라인과 같은 수직적 위치에 배치되고, 나아가 이들과 동일한 물질 및 두께로 형성될 수 있다. 이 경우, 상기 제 1 및 제 2 스토리지 패턴들과 상기 픽셀 전극 사이에는 게이트 절연막 및 보호막이 더 형성된다.

본 발명의 다른 실시예에 따르면, 상기 제 1 및 2 스토리지 패턴들은 상기 소오스 전극 및 상기 데이터 라인과 같은 수직적 위치에 배치되고, 나아가 이들과 동일한 물질 및 두께로 형성될 수 있다. 이 경우, 상기 제 1 및 제 2 스토리지 패턴들과 상기 픽셀 전극 사이에는 보호막이 더 배치된다.

이에 더하여, 본 발명에 따르면, 상기 어드레스 라인의 일 측에는 상기 데이터 라인을 가로지르면서 상기 제 1 및 제 2 스토리지 패턴들을 연결하는 스토리지 연결 패턴들이 더 배치된다. 이때, 상기 스토리지 연결 패턴들은 상기 게이트 전극 및 상기 어드레스 라인과 같은 수직적 위치에 배치되어, 이들과 동일한 물질 및 두께로 형성된다.

또한, 상기 제 1 및 제 2 스토리지 패턴들은 적어도 한 개의 수직 배선 구조체를 통해 상기 스토리지 연결 패턴에 전기적으로 연결될 수 있으며, 상기 하부 기판의 픽셀 전극과 상기 상부 기판의 차광막 패턴 사이의 간격은 2 내지 5 마이크로 미터인 것이 바람직하다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 3a 및 도 3b는 각각 본 발명의 제 1 실시예에 따른 액정 표시 장치의 구조를 설명하기 위한 평면도 및 단면도이다. 도 4a 및 도 4b는 각각 본 발명의 제 2 실시예에 따른 액정 표시 장치의 구조를 설명하기 위한 평면도 및 단면도이다.

도 3a 및 4a를 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치(100)는 복수개의 픽셀 영역들로 구성된다. 각 픽셀 영역들에는 게이트 전극(121), 소오스 전극(122) 및 드레인 전극(123)을 구비하는 픽셀 트랜지스터들(120)이 배치된다. 상기 게이트 전극들(121)은 어드레스 라인(131)에 의해 연결되고, 상기 소오스 전극들(122)은 데이터 라인(132)에 의해 연결된다. 이때, 어드레스 라인(131)과 데이터 라인(132)은 서로 교차하도록 배치되며, 본 발명의 바람직한 실시예에 따르면, 이들(131, 132)은 서로 직교한다. 또한, 상기 드레인 전극(123)에는 액정의 전기 광학적 특성을 제어하는 픽셀 전극들(133)이 전기적으로 연결된다. 이때, 상기 픽셀 전극들(133)은 각 픽셀 영역의 중앙부에 배치되며, 도시한 것처럼, 소정의 수직 배선 구조체(예를 들면, 콘택 플러그들(141))을 사용하여 상기 드레인 전극(123)에 전기적 연결되는 것이 바람직하다.

한편, 상기 어드레스 라인(131)의 일 측에는 상기 데이터 라인들(132)을 가로지르는 스토리지 연결 라인(125)이 배치되고, 상기 스토리지 연결 라인(125)에는 스토리지 전극들(126, 127)이 전기적으로 연결된다. 본 발명의 실시예들에 따르면, 한 개의 픽셀 영역에는 상기 스토리지 연결 라인(125)에 연결되는 두 개의 스토리지 전극들(즉, 제 1 스토리지 패턴(126) 및 제 2 스토리지 패턴(127))이 배치되고, 이들 스토리지 전극들은 상기 데이터 라인(132)에 평행한 방향으로 배치된다(도 3b 및 도 4b 참조). 보다 자세하게는, 상기 제 1 스토리지 패턴(126)은 인접하는 셀의 데이터 라인(132)의 일 측(예를 들면, 우측)에 배치되고, 상기 제 2 스토리지 패턴(127)은 자기 셀의 데이터 라인(132)의 타 측(즉, 좌측)에 배치된다. 결과적으로, 본 발명에 따른 스토리지 전극들은, 앞서 설명한 종래 기술과는 달리, 한 개의 데이터 라인(132)의 양측 모두에 배치된다.

상술한 바에 따르면, 상기 스토리지 전극들(126, 127)은 상기 스토리지 연결 라인(125)과 평행하지 않으며, 통상적으로 서로 직각을 이루면서 연결된다. 또한, 상기 스토리지 전극들(126, 127)은 상기 픽셀 전극(133)과 쌍을 이루어 스토리지 커패시터를 형성한다. 물론, 상기 스토리지 연결 라인(125) 역시 그 상부의 픽셀 전극(133)과 쌍을 이룸으로써, 상기 스토리지 전극들(126, 127)과 함께 상기 스토리지 커패시터의 하부 전극으로 사용될 수도 있다.

도 3b 및 4b는 도 3a 및 4a의 점선 II-II' 및 점선 III-III'을 따라 보여지는 단면을 도시하며, 스토리지 전극들(126, 127)이 데이터 라인(132) 및 픽셀 전극(133)에 대해 어떻게 배치되는지를 보다 구체적으로 보여준다. 도 3b 및 4b를 참조하면, 본 발명의 실시예들에 따른 액정 표시 장치는 상부 기판(111)과 하부 기판(115)을 구비한다. 상기 상부 기판(111)에는 컬러 필터와 차광막 패턴들(112)이 배치되고, 상기 하부 기판(115)에는 픽셀 트랜지스터들(120) 및 픽셀 전극들(133) 등이 배치된다. 상기 상부 기판(111)과 하부 기판(115) 사이에는 액정 물질(105)이 개재된다.

상기 픽셀 트랜지스터(120)는 상술한 것처럼 게이트 전극(121), 소오스 전극(122) 및 드레인 전극(123)을 구비한다. 상기 게이트 전극(121)과 상기 소오스/드레인 전극들(122, 123) 사이에는 게이트 절연막(102)이 형성되고, 상기 게이트 절연막(102)과 상기 소오스/드레인 전극들(122, 123) 사이에는 트랜지스터의 채널 영역으로 사용되는 반도체층(도시하지 않음)이 개재된다. 상기 소오스/드레인 전극들(122, 123)의 상부에는 보호막(104)이 형성되고, 상기 보호막(104) 상에는 픽셀 전극들(133)이 형성된다. 상기 픽셀 전극(133)과 상기 액정 물질(105) 사이에는 액정 물질들의 정렬 방향을 결정하는 소정의 배향막(도시하지 않음)이 형성된다.

상기 픽셀 트랜지스터들의 소오스 전극들(122)은 도시된 것처럼 게이트 절연막(102) 상에 형성된 데이터 라인(132)에 의해 연결된다. 상기 픽셀 전극들(133)은 상기 데이터 라인(132)으로부터 이격되어 배치되어, 도시한 것처럼, 하나의 데이터 라인(132)과 그 양 측에 배치되는 두 픽셀 전극들(133) 사이의 간격은 동일한 것이 바람직하다.

본 발명의 실시예들에 따르면, 상기 제 1 및 제 2 스토리지 패턴들(126, 127)은 상기 데이터 라인(132)의 양측에 배치된다. 상술한 것처럼, 제 1 및 제 2 스토리지 패턴들(126, 127)은 상기 데이터 라인(132)의 우측 및 좌측에 각각 배치된다. 이때, 하나의 데이터 라인(132)을 기준으로 구분한다면, 상기 제 1 및 제 2 스토리지 패턴들(126, 127)은 각각 인접하는 셀 및 자기 셀의 스토리지 커패시터를 구성한다. 이에 따라, 본 발명에 따른 스토리지 커패시터는 데이터 라인의 일 측에만 스토리지 전극을 갖는 종래 기술에 비해, 더 넓은 대향 면적을 갖는다. 커패시터의 용량(즉, 커패시턴스)은 이를 구성하는 두 전극 사이의 대향 면적에 비례한다는 점에서, 이러한 대향 면적의 증가는 스토리지 커패시턴스(C_{ST})의 증가를 가져온다. 스토리지 커패시턴스(C_{ST})의 증가는 종래 기술에서 언급하였던, 액정 커패시턴스(C_{LC})의 변화에 따른 시간-휘도 그래프에서의 계단형 곡선(99)의 문제를 극복하는데 기여한다. 이러한 과정에 대해서는 아래에서 다시 설명하고, 본 발명에 따른 액정 셀의 구조에 대해 좀더 설명한다.

본 발명의 제 1 실시예에 따르면, 상기 제 1 및 제 2 스토리지 패턴들(126, 127)은 상기 게이트 전극(121) 및 상기 어드레스 라인(131)과 같은 수직적 위치에 형성될 뿐만 아니라, 이들과 동일한 두께 및 동일한 물질로 형성된다. 결과적으로, 상기 제 1 및 제 2 스토리지 패턴들(126, 127)과 상기 픽셀 전극(133)의 사이에는 상기 게이트 절연막(102) 및 상기 보호막(104)이 개재된다. 반면, 본 발명의 제 2 실시예에 따르면, 상기 제 1 및 제 2 스토리지 패턴들(126, 127)은 상기 소오스 전극(122) 및 상기 데이터 라인(132)과 같은 수직적 위치에 형성될 뿐만 아니라, 이들과 동일한 두께 및 동일한 물질로 형성된다. 결과적으로, 상기 제 1 및 제 2 스토리지 패턴들(126, 127)과 상기 픽셀 전극(133)의 사이에는 상기 게이트 절연막(102) 없이 상기 보호막(104)이 개재된다.

또한, 본 발명의 실시예들에 따르면, 상기 제 1 및 제 2 스토리지 패턴들(126, 127)은 상기 차광막 패턴(112)에 의해 가려지는 영역 내에 배치된다. 즉, 상기 데이터 라인(132) 상에 배치되는 차광막 패턴(112)은 상기 제 1 및 제 2 스토리지 패턴들(126, 127)의 폭들 및 이들 사이의 간격의 합보다 큰 폭을 갖는다. 이는 다중 도메인 기술(예를 들면, 퍼브에이(patterned vertical alignment; PVA) 또는 에스퍼브에이(super patterned vertical alignment; SPVA) 구조)에서 사용되는 차광막 패턴과 구별된다. 보다 구체적으로 설명하면, 상기 다중 도메인 기술은 차광막 패턴이 스토리지 전극의 일부 만을 가린다는 점에서 소위 부분 공통 전극 기술이라고 불리며, 이러한 점에서 본 발명의 실시예들과 구별되는 기술적 차이를 갖는다. 상기 차광막 패턴(112)에 의해 상기 제 1 및 제 2 스토리지 패턴들(126, 127)이 가려진다는 점에서, 본 발명에 따른 액정 표시 장치는 개구율의 감소를 수반하지 않는다. 결과적으로, 본 발명에 따른 액정 표시 장치는 개구율의 감소 없이 스토리지 커패시턴스(C_{ST})가 증가하는 긍정적 효과를 제공한다.

본 발명의 상술한 구조는 액정 셀의 한 프레임의 시간 간격 동안 액정 셀에 인가되는 전압의 변화량을 줄이는데 기여한다. 일반적으로 알려진 것처럼, 액정 셀에 인가되는 전압은 아래의 식1과 같이 표현된다.

$$V = \frac{Q}{C_{ST} + C_{LC}}$$

이때, Q 는 액정 셀에 충전되는 전하량을 나타내고, C_{ST} 및 C_{LC} 는 상술한 것처럼 각각 스토리지 커패시턴스 및 액정 커패시턴스를 나타낸다. 위 식 및 액정 셀에 영향을 미치는 물리적 변수들의 관계를 고려할 때, 전압의 변화를 감소시키기 위해서는, 1) 유전율의 이방성을 감소시키거나, 2) 셀 간극을 증가시키는 방법 등이 고려될 수 있다. 하지만, 위의 방법들은 모두 필연적으로 액정 커패시턴스의 감소를 유발하기 때문에, 액정 셀의 콘트라스트 감소 또는 액정의 응답 시간의 지연등과 같은 또 다른 문제를 수반한다. 이에 비해, 위 식을 고려할 때, 스토리지 커패시턴스(C_{ST})의 증가는 전압에 대한 액정 커패시턴스(C_{LC})의 변화의 영향을 줄일 수 있다. 이에 따라, 전하 구동 방식에서 나타나는 액정 커패시턴스(C_{LC})의 변화에 따른 전압의 변화량은 감소한다. 아래 표 2는 이러한 효과를 보여준다.

[표 2]

	종래 기술	본 발명1	본 발명2
스토리지 패턴	단일(Gate)	이중(Gate)	이중(Gate)
게이트 절연막	4500 Å	4500 Å	-
보호막	2000 Å	2000 Å	2000 Å
C_{ST}	0.234	0.319	1.000
C_{LC}	0.529	0.529	0.529
C_{ST}/C_{LC}	0.442	0.603	1.890

위 표 2에서 알 수 있는 것처럼, 픽셀 전극(133)과 스토리지 전극들(126, 127) 사이에 게이트 절연막이 개재되지 않는 본 발명의 제 2 실시예에 따르면, 액정 커패시턴스(C_{LC})에 대한 스토리지 커패시턴스(C_{ST})의 비는 1.890으로서 종래 기술 대비 4.28배 증가하였다. 이러한 스토리지 커패시턴스(C_{ST})의 증가는 액정 셀의 전압에 대한 액정 커패시턴스(C_{LC})의 영향

을 감소시키며, 이는 상술한 것처럼 시간-휘도 그래프에서 계단형 곡선(99)이 나타나는 현상을 예방한다. 이에 따라, 본 발명은 셀 간극이 작으면서 유전율 이방성이 큰 액정을 사용하는 비틀린 네마틱 모드의 액정 표시 장치에서도 개구율의 손실 없이 빠른 응답 속도를 구현할 수 있다.

앞서 설명한 것처럼, 노트북 컴퓨터 등에 사용되는 액정 표시 장치는 소모 전력의 최소화를 위해 7.8 볼트의 저전압 구동 방식을 채택하고 있으며, 이러한 저전압 구동을 위해 액정의 유전율 이방성($\Delta\varepsilon$)은 대략 $8 \leq \Delta\varepsilon \leq 12$ 의 범위인 것이 필요 하며, 이러한 조건 하에서 요구되는 빠른 응답 속도를 달성하기 위해서는 액정 표시 장치의 하부 기판과 상부 기판 사이의 간격(즉, 셀 간극-cell gap)을 대략 4마이크로 미터 이하로 줄여야 한다. 종래 기술에서 지적한 것처럼, 이러한 기술적 요구들은 액정 커패시턴스(C_{LC})의 증가를 수반한다는 점에서, 개구율의 손실없이 스토리지 커패시턴스(C_{ST})를 증가시키는 본 발명은 상술한 기술적 요구를 충족시킬 수 있는 기술이다.

발명의 효과

본 발명에 따르면, 개구율의 손실없이 액정 셀의 스토리지 커패시턴스를 증가시킬 수 있다. 이에 따라, 작은 셀 간극 및 높은 유전율 이방성을 갖는 것이 요구되는 액정 표시 장치에서 액정 커패시턴스의 증가에 따른 응답 시간의 지연 현상을 줄일 수 있다. 그 결과, 본 발명은 밝기의 감소없이 빠른 응답 속도를 갖는 액정 표시 장치의 제조를 가능하게 한다.

도면의 간단한 설명

도 1a는 종래 기술에 따른 액정 표시 장치의 구조를 설명하기 위한 평면도이다.

도 1b는 종래 기술에 따른 액정 표시 장치의 구조를 설명하기 위한 단면도이다.

도 2a는 액정 셀을 전하 구동 방식으로 측정한 시간-휘도 특성을 도시하는 그래프이다.

도 2b는 액정 셀을 전압 구동 방식으로 측정한 시간-휘도 특성을 도시하는 그래프이다.

도 3a는 본 발명의 일 실시예에 따른 액정 표시 장치의 구조를 설명하기 위한 평면도이다.

도 3b는 본 발명의 일 실시예에 따른 액정 표시 장치의 구조를 설명하기 위한 단면도이다.

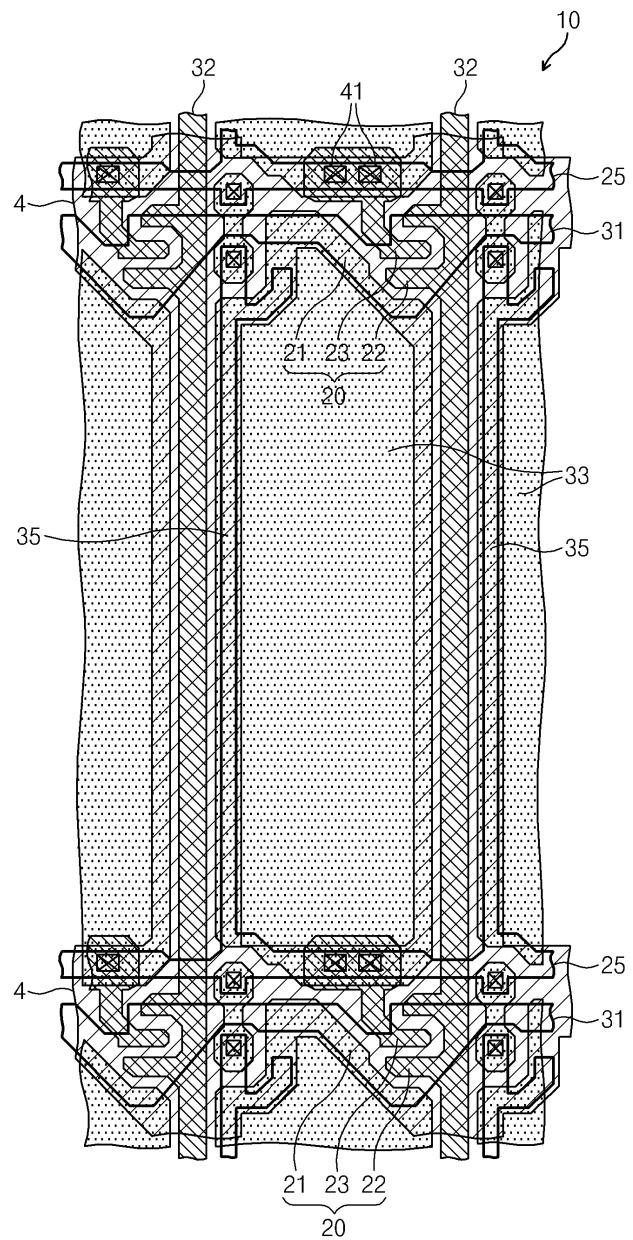
도 4a는 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 설명하기 위한 평면도이다.

도 4b는 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 설명하기 위한 단면도이다.

도면

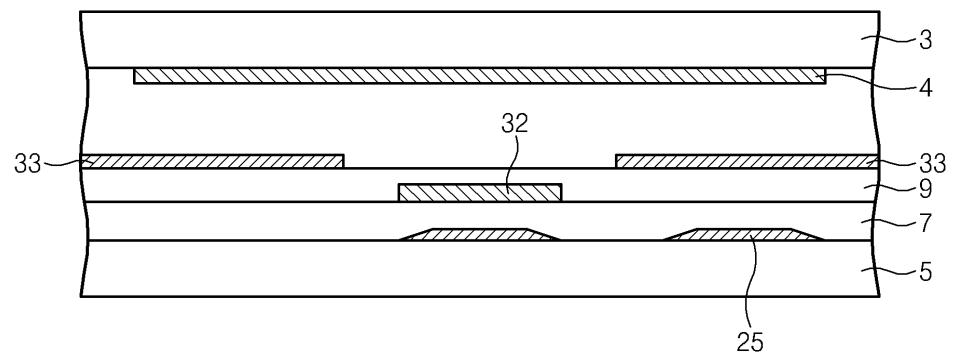
도면1a

(종래 기술)



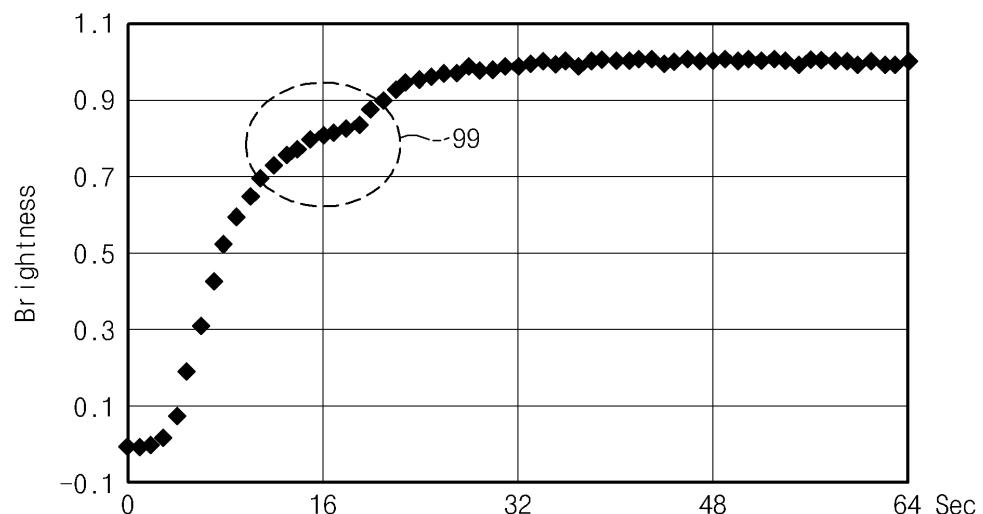
도면1b

(종래 기술)



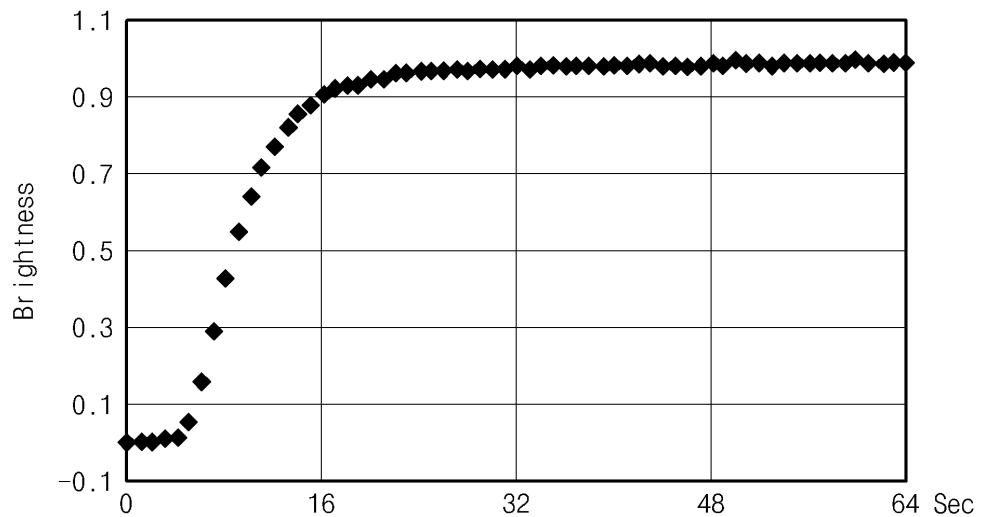
도면2a

(종래 기술)

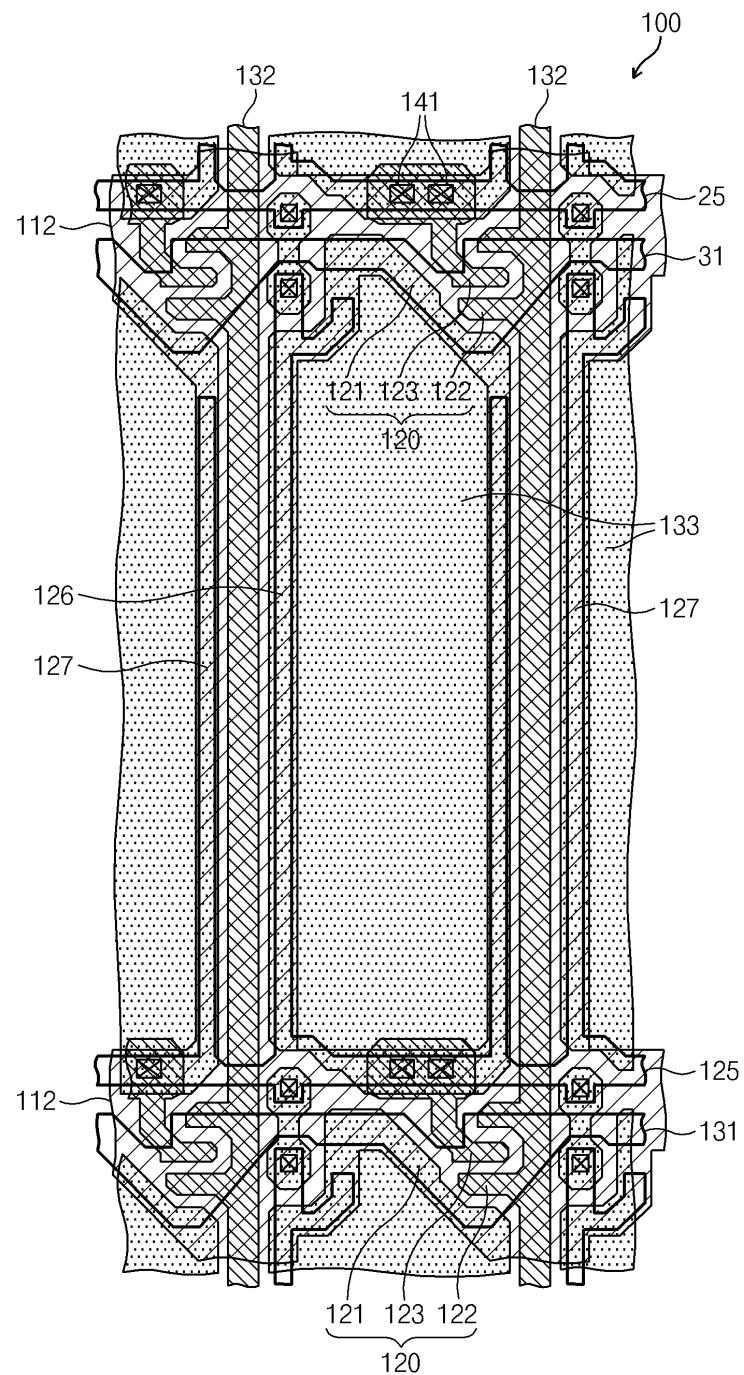


도면2b

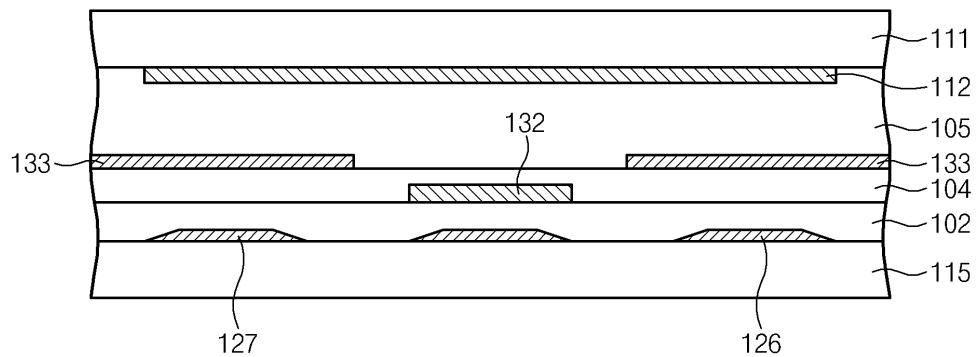
(종래 기술)



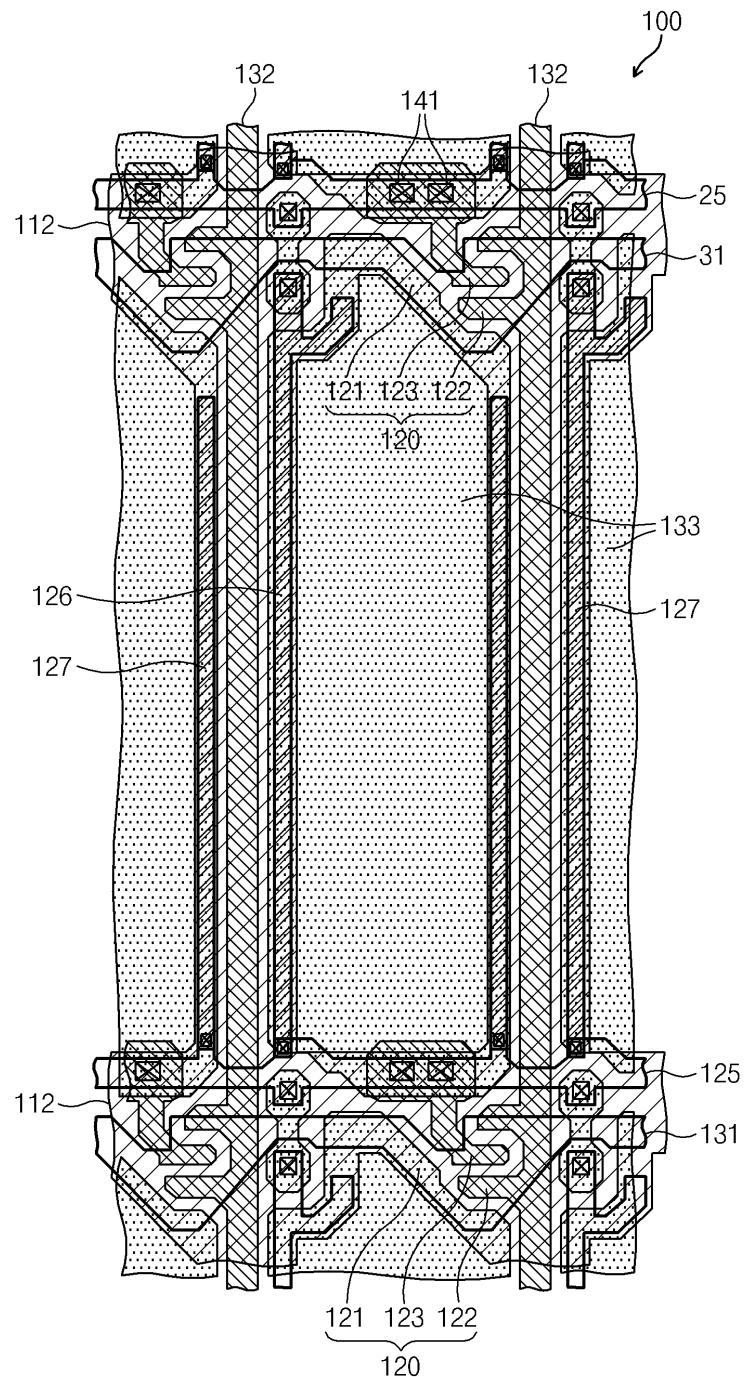
도면3a



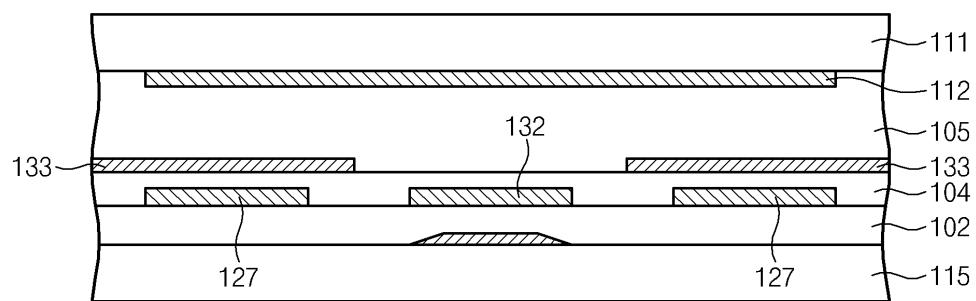
도면3b



도면4a



도면4b



专利名称(译)	液晶显示器		
公开(公告)号	KR1020070007597A	公开(公告)日	2007-01-16
申请号	KR1020050062318	申请日	2005-07-11
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	HUH IL KOOK 허일국 KYE MYEONG HA 계명하		
发明人	허일국 계명하		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136213 G02F1/1343 G02F1/136286 G02F2201/123		
代理人(译)	YIM , 常HYUN KWON , HYUK SOO SE JUN OH 宋 , 云何		
外部链接	Espacenet		

摘要(译)

提供了用于包括布置在数据线两侧的存储图案的液晶显示器。该装置包括具有多个像素区域的下板和布置在像素区域的像素晶体管。此时，像素晶体管包括其栅极和漏极的源极。除此之外，栅极通过地址线连接。源电极通过数据线连接。它在每个漏电极中与像素电极电连接。此外，在数据线的两侧，确定在第一和第二存储电极的整个区域上形成的遮光层图案是上板，其中放置有第一和第二存储电极。上板设置在下板上。

