

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl. (11) 공개번호 10-2006-0070837  
*G02F 1/1343* (2006.01) (43) 공개일자 2006년06월26일

(21) 출원번호 10-2004-0109642  
(22) 출원일자 2004년12월21일

(71) 출원인 삼성전자주식회사  
 경기도 수원시 영통구 매탄동 416

(72) 발명자 송선옥  
 경기도 구리시 인창동 삼보아파트 311동 1402호

(74) 대리인 유미특허법인

**심사청구 : 없음**

---

**(54) 박막 트랜지스터 표시판**

---

**요약**

본 발명의 실시예에 따른 박막 트랜지스터 표시판은, 절연 기판, 절연 기판 위에 형성되어 있는 제1 신호선, 제1 신호선과 절연되어 교차하는 제2 신호선, 제1 신호선과 제2 신호선이 교차하여 정의하는 영역마다 형성되어 있는 화소 전극, 제1 신호선, 제2 신호선 및 화소 전극에 전기적으로 연결되어 있으며, 채널이 형성되는 반도체를 가지는 박막 트랜지스터를 포함한다. 이때, 채널이 형성되는 반도체는 게이트 전극 또는 데이터선의 경계선 안에 배치되어 있으며, 드레인 전극 하부에 위치한 다른 반도체와 분리되어 있다.

**대표도**

도 1

**색인어**

반도체, 누설전류, 박막 트랜지스터, 액정표시장치

**명세서**

**도면의 간단한 설명**

도 1은 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

도 2는 도 1에 도시한 박막 트랜지스터 표시판을 II-II' 선을 따라 잘라 도시한 단면도이고,

도 3은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

도 4는 본 발명의 다른 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 구조를 도시한 배치도이고,

도 5는 도 3 및 도 4의 표시판을 포함하는 액정 표시 장치의 구조를 도시한 배치도이고,

도 6은 도 5의 액정 표시 장치를 VI-VI' 선을 따라 잘라 도시한 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

110, 210 : 기판 121, 129 : 게이트선

124 : 게이트 전극 140 ; 게이트 절연막

151, 154, 155 : 반도체 161, 163, 165 : 저항성 접촉 부재

171, 179 : 데이터선 173 : 소스 전극

175 : 드레인 전극 180 : 보호막

181, 182, 185 : 접촉 구멍 190 : 화소 전극

81, 82 : 접촉 보조 부재 270 : 공통 전극

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 박막 트랜지스터 표시판에 관한 것으로, 더욱 상세하게는 비정질 규소를 반도체로 사용하여 박막 트랜지스터 표시판에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

이러한 액정 표시 장치 중에서도 현재 주로 사용되는 것은 전계 생성 전극이 두 표시판에 각각 구비되어 있는 것이다. 이중에서도 한 표시판에는 복수의 화소 전극이 행렬의 형태로 배열되어 있고 다른 표시판에는 하나의 공통 전극이 표시판 전면을 덮고 있는 구조의 액정 표시 장치가 주류이다. 이 액정 표시 장치에서의 화상의 표시는 각 화소 전극에 별도의 전압을 인가함으로써 이루어진다. 이를 위해서 화소 전극에 인가되는 전압을 스위칭하기 위한 삼단자 소자인 박막 트랜지스터를 각 화소 전극에 연결하고 이 박막 트랜지스터를 제어하기 위한 신호를 전달하는 게이트선과 화소 전극에 인가될 전압을 전달하는 데이터선을 표시판에 설치한다.

이러한 액정 표시 장치에서 게이트선과 데이터선이 교차하는 부분에는 이들 사이에 반도체층을 삽입하여, 이들 사이에서 발생하는 기생 용량을 최소화하거나 게이트선 또는 데이터선의 단락 또는 단선을 방지한다.

하지만, 신호선으로 가려지지 않은 부분은 광원에 노출되어 있어, 빛에 의한 누설 전류(leakage current)가 발생하며, 이는 화상에서 잔상을 발생시키는 원인으로 작용한다.

**발명이 이루고자 하는 기술적 과제**

본 발명이 이루고자 하는 기술적 과제는 잔상을 최소화할 수 있는 박막 트랜지스터 표시판을 제공하는 것이다.

**발명의 구성 및 작용**

이러한 문제점을 해결하기 위하여 본 발명에 따른 박막 트랜지스터 표시판에서 박막 트랜지스터 채널이 형성되는 반도체는 신호선의 경계선 안에 배치되어 있다.

더욱 상세하게, 본 발명의 실시예에 따른 박막 트랜지스터 표시판은, 절연 기판, 절연 기판 위에 형성되어 있는 제1 신호선, 제1 신호선과 절연되어 교차하는 제2 신호선, 제1 신호선과 제2 신호선이 교차하여 정의하는 영역마다 형성되어 있는 화소 전극, 제1 신호선, 제2 신호선 및 화소 전극에 전기적으로 연결되어 있으며, 채널이 형성되는 제1 반도체를 가지는 박막 트랜지스터를 포함한다. 이때, 제1 반도체는 게이트 전극 또는 데이터선의 경계선 안에 배치되어 있다.

제1 반도체와 동일한 층으로 이루어져 있으며, 제1 반도체와 분리되어 박막 트랜지스터의 드레인 전극 하부에 배치되어 있는 제2 반도체를 더 포함할 수 있다.

제1 반도체는 데이터선을 따라 선형으로 형성되어 있을 수 있으며, 화소 전극은 절개부를 가질 수 있다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 박막 트랜지스터 표시판 및 그의 제조 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

먼저, 도 1 내지 도 2를 참고로 하여 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조에 대하여 상세히 설명한다.

도 1은 본 발명의 제1 실시예에 따른 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 2는 도 1의 박막 트랜지스터 표시판을 II-II' 선을 따라 잘라 도시한 단면도이다.

절연 기판(110) 위에 게이트 신호를 전달하는 복수의 게이트선(gate line)(121)이 형성되어 있다.

게이트선(121)은 서로 분리되어 주로 가로 방향으로 뻗어 있으며, 각 게이트선(121)의 일부는 복수의 게이트 전극(gate electrode)(124)을 이룬다. 또한 각 게이트선의 다른 일부는 아래 방향으로 돌출하여 복수의 확장부(expansion)(127)를 이루며, 다른 층 또는 외부 장치의 접속을 위한 면적이 넓은 끝 부분(129)을 가진다.

게이트선(121)은 물리적 성질이 다른 두 개의 막, 즉 하부막(121p)과 그 위의 상부막(121q)을 포함한다. 상부막(121q)은 다른 물질, 특히 IZO(indium zinc oxide) 또는 ITO(indium tin oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴(Mo), 몰리브덴 합금[보기: 몰리브덴-텅스텐(MoW) 합금], 크롬(Cr) 등으로 이루어진다. 이와는 달리, 하부막(121p)은 게이트 신호의 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속으로 이루어진다. 하부막(121p)과 상부막(121q)의 조합의 예로는 알루미늄-네오디뮴(Nd) 합금/크롬을 들 수 있으며, 위치가 서로 바뀔 수도 있다. 도 2에서 게이트 전극(124)의 하부막과 상부막은 각각 도면 부호 124p, 124q로, 게이트선(121) 끝 부분(129)의 하부막과 상부막은 각각 도면 부호 129p, 129q로 표시되어 있다.

하부막(121p)과 상부막(121q)의 측면은 각각 경사져 있으며 그 경사각은 기판(110)의 표면에 대하여 약 30-80°이다.

게이트선(121) 위에는 질화 규소(SiNx) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 등으로 이루어진 복수의 선형 반도체(151) 및 섬형 반도체(156)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며, 이로부터 복수의 돌출부(154)가 게이트 전극(124) 상부까지 뻗어 있고. 섬형 반도체(156)는 선형 반도체(151)로부터 분리되어 있다. 이때, 선형 반도체(151)의 돌출부(154)는 게이트 전극(124)의 경계선 안에 위치한다.

반도체(151, 156)의 상부에는 실리사이드(silicide) 또는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161, 165, 166)가 각각 형성되어 있다. 선형 저항성 접촉 부재(161)는 게이트 전극(124)을 향하여 뻗은 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 섬형 저항성 접촉 부재(165)는 쌍을 이루어 반도체(154) 위에 배치되어 있는데, 게이트 전극(124)을 중심으로 서로 마주한다. 섬형 저항성 접촉 부재(166)는 섬형 반도체(156) 상부에 위치한다.

반도체(151, 156)와 저항성 접촉 부재(161, 165, 166)를 포함하는 박막 트랜지스터의 반도체층의 측면 역시 경사져 있으며 경사각은 30~80°이다.

저항 접촉 부재(161, 165, 166) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175) 및 복수의 유지 축전기용 도전체(storage capacitor conductor)(177)가 형성되어 있다.

데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)에서 드레인 전극(175)을 향하여 뻗은 복수의 가지가 소스 전극(source electrode)(173)을 이룬다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(124)에 대하여 서로 반대쪽에 위치한다. 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 선형 반도체(151)의 돌출부(154)와 함께 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 선형 반도체(151)의 돌출부(154)에 형성된다. 이때, 반도체(154)는 불투명막인 게이트 전극(124)의 경계선 한쪽에 배치되어 있어, 광원에 노출되지 않는다. 또한, 드레인 전극(175) 하부에 위치하며, 드레인 전극(175)의 경계선 밖으로 드러난 섬형 반도체(156)와 분리되어 있다. 따라서, 반도체(151)의 돌출부(154)에서 빛에 의한 누설 전류가 발생하는 것을 최소화할 수 있으며, 이를 통하여 화상을 표시할 때 누설 전류로 인한 잔상을 최소화할 수 있다.

유지 축전기용 도전체(177)는 게이트선(121)의 확장부(127)와 중첩되어 있다.

이때, 데이터선(171) 및 드레인 전극(175)은 다른 물질, 특히 IZO(indium zinc oxide) 또는 ITO(indium tin oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴(Mo), 몰리브덴 합금, 크롬 등으로 이루어진 도전막과 데이터 신호의 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속으로 이루어진 도전막을 포함하며, 단일막 또는 다층막일 수 있다.

데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)도 게이트선(121)과 마찬가지로 그 측면이 약 30~80°의 각도로 각각 경사져 있다.

저항성 접촉 부재(161, 165, 166)는 그 하부의 반도체(151, 155)와 그 상부의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다. 선형 반도체(151)는 대부분의 곳에서 선형 반도체(151)의 폭이 데이터선(171)의 폭보다 작지만 게이트선(121)과 만나는 부분에서 폭이 커질 수 있으며, 이를 통하여 게이트선(121)과 데이터선(171) 사이의 절연을 강화하고, 데이터선(171)이 단선되는 것을 방지한다.

데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)와 노출된 반도체(154) 부분의 위에는 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질 또는 플라스마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진 보호막(passivation layer)(180)이 형성되어 있다.

보호막(180)인 유기 물질로 이루어진 실시예에서는 데이터선(171)과 드레인 전극(175) 사이의 반도체(154)가 드러난 부분으로 보호막(180)의 유기 물질이 접하는 것을 방지하기 위해 보호막(180)은 반도체(154)를 덮는 질화 규소 또는 산화 규소로 이루어진 절연막을 포함하는 것이 바람직하다.

보호막(180)에는 드레인 전극(175), 유지 축전기용 도전체(177) 및 데이터선(171)의 끝 부분(179)을 각각 드러내는 복수의 접촉 구멍(contact hole)(185, 187, 182)이 형성되어 있으며, 게이트 절연막(140)과 함께 게이트선(121)의 끝 부분(129)을 드러내는 접촉 구멍(181)이 형성되어 있다.

접촉 구멍(185, 187, 182, 181)은 드레인 전극(175), 유지 축전기용 도전체(177), 데이터선(171) 및 게이트선(121)의 끝 부분(129, 179)을 드러내는데, 접촉 구멍(185, 187, 182, 181)에서는 이후에 형성되는 ITO 또는 IZO의 도전막과 접촉 특성을 확보하기 위해 알루미늄 계열의 도전막이 드러나지 않는 것이 바람직하다.

보호막(180) 위에는 IZO 또는 ITO로 이루어진 복수의 화소 전극(pixel electrode)(190) 및 복수의 접촉 보조 부재(contact assistant)(82, 81)가 형성되어 있다.

화소 전극(190)은 접촉 구멍(185, 187)을 통하여 드레인 전극(175) 및 유지 축전기용 도전체(177)와 각각 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받고 도전체(177)에 데이터 전압을 전달한다.

데이터 전압이 인가된 화소 전극(190)은 공통 전압(common voltage)을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(도시하지 않음)과 함께 전기장을 생성함으로써 액정층의 액정 분자들을 재배열시킨다.

또한 앞서 설명한 것처럼, 화소 전극(190)과 공통 전극은 축전기[이하 “액정 축전기(liquid crystal capacitor)”라 함]을 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 별별로 연결된 다른 축전기를 두며 이를 “유지 축전기(storage electrode)”라 한다. 유지 축전기는 화소 전극(190) 및 이와 이웃하는 게이트선(121)[이를 “전단 게이트선(previous gate line)”이라 함]의 중첩 등으로 만들어지며, 유지 축전기의 정전 용량, 즉 유지 용량을 늘이기 위하여 게이트선(121)을 확장한 확장부(127)를 두어 중첩 면적을 크게 하는 한편, 화소 전극(190)과 연결되고 확장부(127)와 중첩되는 유지 축전기용 도전체(177)를 보호막(180) 아래에 두어 둘 사이의 거리를 가깝게 한다.

화소 전극(190)은 또한 이웃하는 게이트선(121) 및 데이터선(171)과 중첩되어 개구율(aperture ratio)을 높이고 있으나, 중첩되지 않을 수도 있다.

접촉 보조 부재(81, 82)는 접촉 구멍(181, 182)을 통하여 데이터선의 끝 부분(129, 179)과 각각 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121) 및 데이터선(171)의 각 끝 부분(129, 179)과 구동 집적 회로와 같은 외부 장치와의 접착성을 보완하고 이들을 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

본 발명의 다른 실시예에 따르면 화소 전극(190)의 재료로 투명한 도전성 폴리머(polymer) 등을 사용하며, 반사형(reflective) 액정 표시 장치의 경우 불투명한 반사성 금속을 사용하여도 무방하다. 이때, 접촉 보조 부재(81, 82)는 화소 전극(190)과 다른 물질, 특히 IZO 또는 ITO로 만들어질 수 있다.

발명의 다른 실시예에서 화소 전극은 화소를 다수의 도메인으로 분할하여 액정 분자를 배향하는 도메인 분할 수단을 가질 수 있는데, 도면을 참조하여 구체적으로 설명하기로 한다.

도 3은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 4는 본 발명의 다른 실시예에 따른 액정 표시 장치용 대향 표시판의 구조를 도시한 배치도이고, 도 5는 본 발명의 도 3 및 도 4의 표시판을 정렬하여 완성한 한 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고, 도 6은 도 5의 액정 표시 장치를 VI-VI'선을 따라 잘라 도시한 단면도이다.

본 실시예에 따른 액정 표시 장치는 박막 트랜지스터 표시판(100), 공통 전극 표시판(200), 이들 두 표시판(100, 200) 사이에 삽입되어 있는 액정층(3)을 포함한다.

먼저, 도 3, 도 5 및 도 6을 참고로 하여 박막 트랜지스터 표시판(100)에 대하여 상세하게 설명한다. 여기서, 앞의 실시예와 동일한 구조에 대해서는 구체적인 설명을 생략하며, 다른 특징에 대해서만 구체적으로 설명한다.

절연 기판(110) 위에 게이트 신호를 전달하는 복수의 게이트선(gate line)(121)과 복수의 유지 전극선(storage electrodes lines)(131)이 형성되어 있다.

각 게이트 전극(124)은 게이트선(121)의 돌출부를 이룬다.

각 유지 전극선(131)은 주로 가로 방향으로 뻗어 있고 제1 내지 제4 유지 전극(133a, 133b, 133c, 133d)을 이루는 복수 벌의 가지 집합을 포함한다. 제1 유지 전극(133a)과 제2 유지 전극(133b)은 세로 방향으로 뻗어 있고, 제3 및 제4 유지 전극(133c, 133d)은 사선 방향으로 뻗어 있으며 제2 유지 전극(133b)의 양단에 연결되어 있으며, 서로 인접하게 제1 유지 전극(133a)에 연결되어 있다. 제3 및 제4 유지 전극(133c, 133d)은 인접한 두 게이트선(121) 사이의 중앙선에 대하여 반전 대칭을 이룬다. 유지 전극선(131)에는 액정 표시 장치의 공통 전극 표시판(200)의 공통 전극(270)에 인가되는 공통 전압 등 소정의 전압이 인가된다.

박막 트랜지스터의 채널이 형성되는 돌출부(154)는 게이트 전극(124)을 향하여 뻗어 나와 있다. 이때에도, 선형 반도체(151)는 데이터선(171)의 경계선 안에 배치되어 있고, 드레인 전극(175)의 경계선 밖으로 노출된 섬형 반도체(156)로부터 분리되어 있어, 앞의 실시예와 동일하게, 외부 광에 의한 누설 전류를 최소화할 수 있으며, 이를 통하여 잔상을 최소화 할 수 있다.

또한, 데이터선(171)과 동일한 층에는 게이트선(121) 위에 위치하는 복수의 다리부 금속편(under-bridge metal piece)(178)이 형성되어 있는데, 이러한 다리부 금속편(178)은 게이트선(121)과 중첩하여 배치되어 있다.

보호막(180)은 게이트 절연막(140)과 함께 유지 전극선(131)의 일부를 드러내는 복수의 접촉 구멍(183a, 183b)을 가진다.

보호막(180) 위에는 ITO 또는 IZO로 이루어진 복수의 화소 전극(pixel electrode)(190), 유지 전극선 연결 다리(83) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다.

유지 전극선 연결 다리(83)는 게이트선(121)과 소스 전극(173)을 가로지르며, 접촉 구멍(183a, 183b)을 통하여 게이트선(121)을 사이에 두고 반대쪽에 위치하는 제1 유지 전극(133a)의 노출된 끝 부분과 유지 전극선(131)의 노출된 부분에 연결되어 있다. 유지 전극선(131)은 유지 전극선 연결 다리(83) 및 금속편(178)과 게이트선(121)이나 데이터선(171) 또는 박막 트랜지스터의 결합을 수리하는 데 사용할 수 있다.

각 화소 전극(190)은 왼쪽 모퉁이에서 모따기되어 있으며, 모따기된 빗변은 게이트선(121)에 대하여 약 45도의 각도를 이룬다.

화소 전극(190)은 중앙 절개부(91), 하부 절개부(92a) 및 상부 절개부(92b)를 가지며, 화소 전극(190)은 이를 절개부(91, 92a, 92b)에 의하여 복수의 영역으로 분할된다. 절개부(91, 92a, 92b)는 화소 전극(190)을 게이트선(121)과 평행하게 이등분하는 가로 중심선에 대하여 거의 반전 대칭을 이루고 있다.

하부 및 상부 절개부(92a, 92b)는 대략 화소 전극(190)의 오른쪽 변에서부터 왼쪽 변으로 비스듬하게 뻗어 있으며, 화소 전극(190)의 가로 중심선에 대하여 하반면과 상반면에 각각 위치하고 있다. 하부 및 상부 절개부(92a, 92b)는 게이트선(121)에 대하여 약 45도의 각도를 이루며 서로 수직하게 뻗어 있다.

중앙 절개부(91)는 화소 전극(190)의 중앙에 배치되어 있으며 오른쪽 변 쪽에 입구를 가지고 있다. 중앙 절개부(91)의 입구는 하부 절개부(92a)와 상부 절개부(92b)에 각각 거의 평행한 한 쌍의 빗변을 가지고 있다.

따라서, 화소 전극의 하반면은 하부 절개부(92a)에 의하여 두 개의 영역으로 나누어지고, 상반면 또한 상부 절개부(92b)에 의하여 두 개의 영역으로 분할된다. 이 때, 영역의 수효 또는 절개부의 수효는 화소의 크기, 화소 전극의 가로변과 세로 변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라지며, 기울어진 방향도 달라질 수 있다.

다음, 도 3 내지 도 6을 참고로 하여, 공통 전극 표시판(200)에 대하여 설명한다.

투명한 유리 등으로 이루어진 절연 기판(210) 위에 차광 부재(220)가 형성되어 있다. 차광 부재(220)는 화소 전극(190)과 마주보며 화소 전극(190)과 거의 동일한 모양을 가지는 복수의 개구부를 가지고 있으며, 게이트선(121) 및 데이터선(171)에 대응하는 부분과 박막 트랜지스터에 대응하는 부분으로 이루어지는 것이 바람직하다.

기판(210) 위에는 또한 복수의 색필터(230)가 형성되어 있으며 차광 부재(230)로 둘러싸인 영역 내에 대부분 위치한다. 색필터(230)는 화소 전극(190)을 따라서 세로 방향으로 길게 뻗을 수 있다. 색필터(230)는 적색, 녹색 및 청색 등의 원색 중 하나를 표시할 수 있다.

색필터(230)의 위에는 덮개막(250)이 형성되어 있다.

덮개막(250)의 위에는 ITO, IZO 등의 투명한 도전체 따위로 이루어진 공통 전극(270)이 형성되어 있다.

공통 전극(270)은 복수 벌의 절개부(71, 72a, 72b) 집합을 가진다.

한 벌의 절개부(71, 72a, 72b)는 하나의 화소 전극(190a, 190b)과 마주 보며 중앙 절개부(71), 하부 절개부(72a) 및 상부 절개부(72b)를 포함한다. 절개부(71, 72a, 72b) 각각은 화소 전극(190a, 190b)의 인접 절개부(91, 92a, 92b) 사이 또는 절개부(92a, 92b)와 제1 화소 전극(190a)의 모따기된 빗변 사이에 배치되어 있다. 또한, 각 절개부(71, 72a, 72b)는 화소 전극의 하부 절개부(92a) 또는 상부 절개부(92b)와 평행하게 뻗은 적어도 하나의 사선부를 포함한다.

하부 및 상부 절개부(72a, 2b) 각각은 대략 화소 전극의 왼쪽 변에서 위쪽 또는 아래쪽 변을 향하여 뻗은 사선부, 그리고 사선부의 각 끝에서부터 화소 전극의 변을 따라 변과 중첩하면서 뻗으며 사선부와 둔각을 이루는 가로부 및 세로부를 포함한다.

중앙 절개부(71)는 대략 화소 전극의 왼쪽 변에서부터 가로 방향으로 뻗은 중앙 가로부, 이 중앙 가로부의 끝에서 중앙 가로부와 빗각을 이루며 화소 전극의 오른쪽 변을 향하여 뻗은 한 쌍의 사선부, 그리고 사선부의 각 끝에서부터 화소 전극의 오른쪽 변을 따라 오른쪽 변과 중첩하면서 뻗으며 사선부와 둔각을 이루는 종단 세로부를 포함한다.

절개부(71, 72a, 72b)의 수효 및 방향 또한 설계 요소에 따라 달라질 수 있으며, 차광 부재(220)가 절개부(71, 72a, 72b)와 중첩하여 절개부(71, 72a, 72b) 부근의 빛샘을 차단할 수 있다.

두 표시판(100, 200)의 한쪽 면에는 수직 배향막(11, 21)이 각각 도포되어 있고, 바깥쪽 면에는 편광판(12, 22)이 각각 구비되어 있다. 두 편광판(12, 22)의 투과축은 직교하며 이중 한 투과축은 게이트선(121)에 대하여 나란하다. 반사형 액정 표시 장치의 경우에는 두 개의 편광판(12, 22) 중 하나가 생략될 수 있다.

표시판(100, 200)과 편광자(12, 22)의 사이에는 각각 액정층(3)의 지연값을 보상하기 위한 위상 지연 필름(retardation film)이 낀 수 있다. 위상 지연 필름은 복굴절성(birefringence)을 가지며 액정층(3)의 복굴절성을 역으로 보상하는 역할을 한다. 지연 필름으로는 일축성 또는 이축성 광학 필름을 사용할 수 있으며, 특히 음성(negative) 일축성 광학 필름을 사용할 수 있다.

액정 표시 장치는 또한 편광자(12, 22), 위상 지연 필름, 표시판(100, 200) 및 액정층(3)에 빛을 공급하는 조명부(backlight unit)를 포함할 수 있다.

액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자(310)는 전계가 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있다. 따라서 입사광은 직교 편광자(12, 22)를 통과하지 못하고 차단된다.

공통 전극(270)에 공통 전압을 인가하고 화소 전극(190)에 데이터 전압을 인가하면 표시판의 표면에 거의 수직인 전계(electric field)가 생성된다. 액정 분자(310)들은 전계에 응답하여 그 장축이 전계의 방향에 수직을 이루도록 방향을 바꾸고자 한다. 한편, 공통 전극(270) 및 화소 전극(190)의 절개부(71, 72a, 72b, 91, 92a, 92b)와 이들과 평행한 화소 전극(190)의 빗변은 전계를 왜곡하여 액정 분자들의 경사 방향을 결정하는 수평 성분을 만들어낸다. 전계의 수평 성분은 절개부(71, 72a, 72b, 91, 92a, 92b)의 변과 화소 전극(190)의 빗변에 수직이다. 또한 절개부(71, 72a, 72b, 91, 92a, 92b)의 마주보는 두 변에서의 주 전계의 수평 성분은 서로 반대 방향이다.

이러한 전계를 통하여 절개부(71, 72a, 72b, 91, 92a, 92b)는 액정층(3)의 액정 분자가 기울어지는 방향을 제어한다. 인접하는 절개부(71, 72a, 76b, 91, 92a, 92b)에 의하여 정의되거나 절개부(72a, 72b)와 화소 전극(190)의 왼쪽 빗변에 의하여 정의되는 각 도메인 내에 있는 액정 분자는 절개부(71, 72a, 72b, 91, 92a, 92b)의 길이 방향에 대하여 수직을 이루는 방향으로 기울어진다. 각 도메인의 가장 긴 변 2개는 거의 나란하고 게이트선(121)과 약  $\pm 45$ 도를 이루며, 도메인 내에서 액정 분자 대부분은 4방향으로 기울어진다.

절개부(91, 92a, 92b, 71, 72a, 72b)의 너비는 약 9 $\mu\text{m}$  내지 약 12 $\mu\text{m}$ 인 것이 바람직하다.

적어도 하나의 절개부(91, 92a, 92b, 71, 72a, 72b)는 돌기(protrusion)(도시하지 않음)나 함몰부(depression)(도시하지 않음)로 대체할 수 있다. 돌기는 유기물 또는 무기물로 만들어질 수 있고 전계 생성 전극(190, 270)의 위 또는 아래에 배치될 수 있으며 그 너비는 약 5 $\mu\text{m}$  내지 약 10 $\mu\text{m}$ 인 것이 바람직하다.

절개부(91, 92a, 92b, 71, 72a, 72b)의 모양 및 배치는 변형될 수 있다.

한편, 액정 분자(310)들의 경사 방향과 편광자(12, 22)의 투과축이 45도를 이루면 최고 휘도를 얻을 수 있는데, 본 실시예의 경우 모든 도메인에서 액정 분자(310)들의 경사 방향이 게이트선(121)과 45°의 각을 이루며 게이트선(121)은 표시판(100, 200)의 가장자리와 수직 또는 수평이다. 따라서 본 실시예의 경우 편광자(12, 22)의 투과축을 표시판(100, 200)의 가장자리에 대하여 수직 또는 평행이 되도록 부착하면 최고 휘도를 얻을 수 있을 뿐 아니라 편광자(12, 22)를 저렴하게 제조할 수 있다.

### 발명의 효과

이와 같이, 본 발명의 실시예에 따른 박막 트랜지스터 표시판에는 채널이 형성되는 반도체가 불투명의 게이트선 또는 데이터선의 경계선 안에 배치되어 있어, 외부 광으로 인하여 반도체에서 발생하는 누설 전류를 최소화할 수 있으며, 이를 통하여 잔상을 최소화할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

### (57) 청구의 범위

#### 청구항 1.

절연 기판,

상기 절연 기판 위에 형성되어 있는 제1 신호선,

상기 제1 신호선과 절연되어 교차하는 제2 신호선,

상기 제1 신호선과 상기 제2 신호선이 교차하여 정의하는 영역마다 형성되어 있는 화소 전극,

상기 제1 신호선, 상기 제2 신호선 및 상기 화소 전극에 전기적으로 연결되어 있으며, 채널이 형성되는 제1 반도체일 가지는 박막 트랜지스터를 포함하며,

상기 제1 반도체는 상기 게이트 전극 또는 상기 데이터선의 경계선 안에 배치되어 있는 박막 트랜지스터 표시판.

#### 청구항 2.

제1항에서,

상기 제1 반도체와 동일한 층으로 이루어져 있으며, 상기 제1 반도체와 분리되어 박막 트랜지스터의 드레인 전극 하부에 배치되어 있는 제2 반도체를 더 포함하는 박막 트랜지스터 표시판.

#### 청구항 3.

제2항에서,

상기 제1 반도체는 상기 데이터선을 따라 선형으로 형성되어 있는 박막 트랜지스터 표시판.

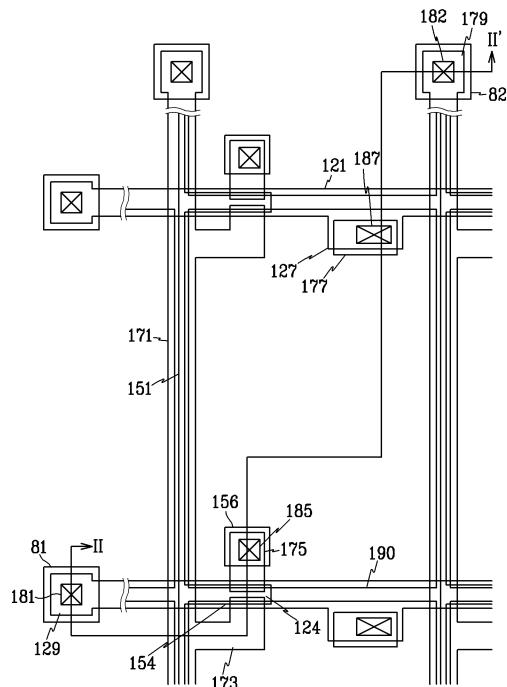
#### 청구항 4.

제1항에서,

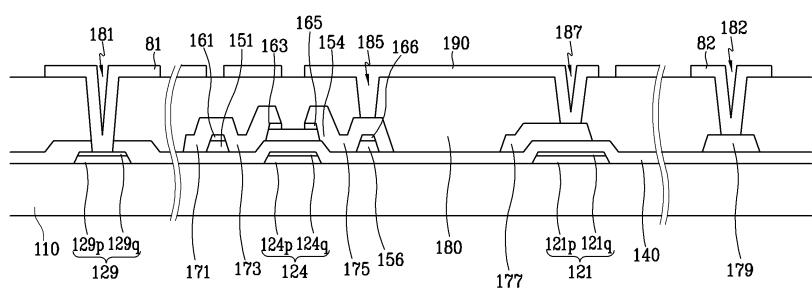
상기 화소 전극은 절개부를 가지는 박막 트랜지스터 표시판.

도면

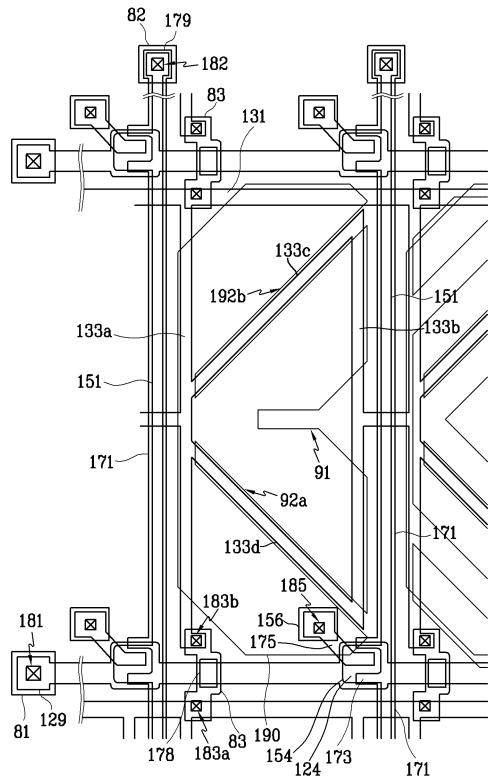
## 도면 1



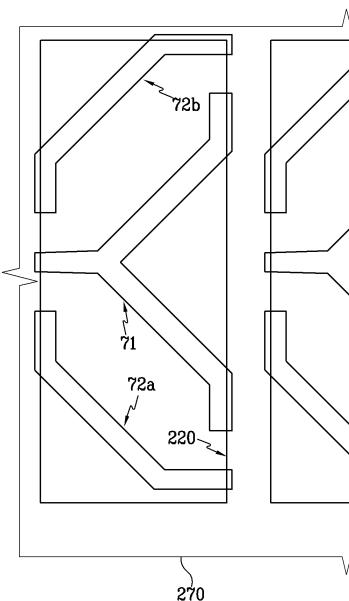
도면2



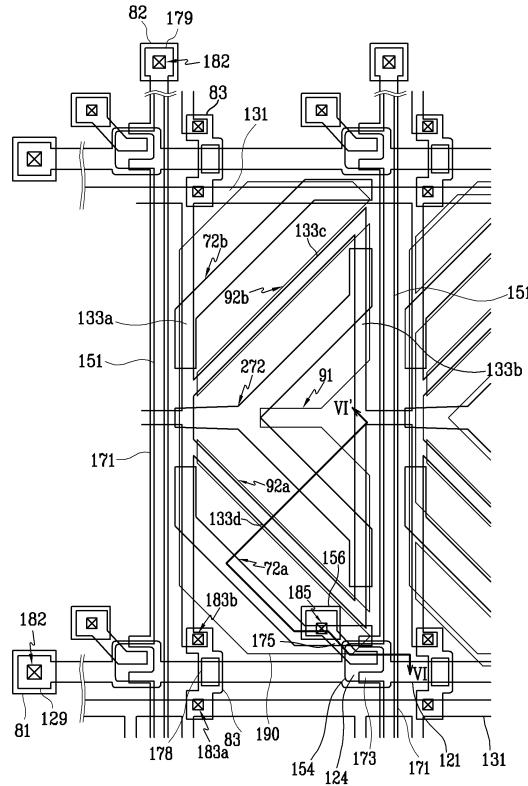
도면3



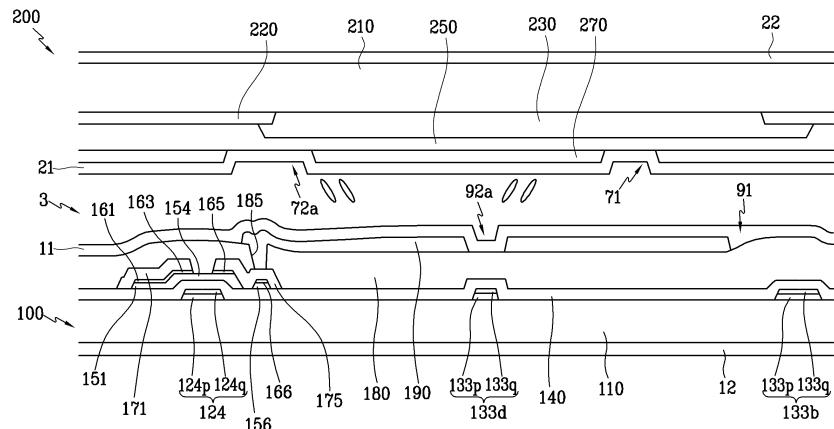
도면4



도면5



도면6



专利名称(译)	薄膜晶体管标志		
公开(公告)号	<a href="#">KR1020060070837A</a>	公开(公告)日	2006-06-26
申请号	KR1020040109642	申请日	2004-12-21
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	SONG SUNOK		
发明人	SONG,SUNOK		
IPC分类号	G02F1/1343		
CPC分类号	H01L27/1222 G02F1/133707 G02F1/136286 G02F1/1368 H01L27/124		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

根据本发明实施例的薄膜晶体管基板包括绝缘基板，形成在绝缘基板上的第一信号线，以及具有在第二信号线中电连接的半导体的薄膜晶体管，其与第二信号线绝缘。第一信号线与像素电极交叉，第一信号线和第二信号线交叉并限定的区域形成第一信号线，第二信号线和像素电极与沟道形成。此时，形成沟道的半导体布置在栅电极或数据线的边界线中。并且边界线与位于漏电极下部的另一半导体分离。半导体，漏电流，薄膜晶体管，液晶显示器。

