

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G02F 1/1341 (2006.01)

(11) 공개번호

10-2006-0037177

(43) 공개일자

2006년05월03일

(21) 출원번호 10-2004-0086360

(22) 출원일자 2004년10월27일

(71) 출원인 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 김대광
 경기 수원시 팔달구 인계동 371-1 삼성APT 103동 1405호

(74) 대리인 박영우

심사청구 : 없음

(54) 액정표시패널과, 이의 제조 방법 및 밀봉 방법

요약

실 불량을 최소화하기 위한 액정표시패널과, 이의 제조 방법 및 밀봉 방법이 개시된다. 제2 기판은 제1 기판에 대향하고, 액정층은 제1 기판과 제2 기판간에 형성된다. 밀봉재는 제1 기판 또는 제2 기판의 외곽 영역에 형성되어 액정층을 밀봉시키고, 종단부가 제1 기판 또는 제2 기판의 외곽면으로 연장된다. 마킹부는 제1 기판 또는 제2 기판에 형성되어 밀봉재의 종단부 영역을 마킹한다. 이에 따라, 액정층을 밀봉시키는 밀봉재의 종단부 영역을 마킹하는 마킹부를 어레이 기판 또는 컬러필터 기판에 형성하므로써, 밀봉 마감재의 형성후 액정표시패널의 외관 품질 검사를 표준화 및 단순화시킬 수 있고, 이에 따라 제품의 품질 수준을 향상시킬 수 있다.

대표도

도 1

색인어

밀봉재, 실런트, 밀봉 마감재, 마킹, 실런트

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 액정표시패널을 설명하기 위한 분해 사시도이다.

도 2는 도 1의 액정표시패널을 설명하기 위한 평면도이다.

도 3은 본 발명의 제1 실시예에 따른 액정표시패널의 단면도이다.

도 4는 본 발명의 제1 실시예에 따른 어레이 기판의 단면도이다.

도 5a 내지 도 5f는 도 4에 도시한 어레이 기판의 제조 방법을 설명하기 위한 단면도들이다.

도 6은 본 발명의 제2 실시예에 따른 어레이 기판의 단면도이다.

도 7a 내지 도 7f는 도 6에 도시한 어레이 기판의 제조 방법을 설명하기 위한 단면도들이다.

도 8은 본 발명의 제3 실시예에 따른 어레이 기판의 단면도이다.

도 9는 본 발명의 제4 실시예에 따른 컬러필터 기판의 단면도이다.

도 10은 본 발명에 따른 액정표시패널의 모기판을 설명하기 위한 평면도이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 어레이 기판 112 : 게이트 전극

113 : 게이트 절연층 114 : 반도체층

115 : 반도체 불순물층 122 : 소스 전극

124 : 드레인 전극 130 : 패시베이션층

132 : 유기 절연층 140 : 화소 전극

200 : 액정층 300 : 컬러필터 기판

310 : 차광층 320 : 색화소층

330 : 공통 전극층 400 : 밀봉재

410 : 실런트 420, 430 : 확개 부재

440 : 밀봉 마감재 500 : 액정주입 마킹부

112k, 114k, 122k, 310k : 액정주입구 마킹부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시패널과, 이의 제조 방법 및 밀봉 방법에 관한 것으로, 보다 상세하게는 실(seal) 불량을 최소화하기 위한 액정표시패널과, 이의 제조 방법 및 밀봉 방법에 관한 것이다.

일반적인 액정표시장치(LCD)는 상부 기판(컬러필터 기판)과 하부 기판(어레이 기판) 사이에 주입된 액정층을 갖는 액정표시패널을 포함한다. 상기 액정표시장치는 화소별로 상기 하부 기판의 판면에 형성된 화소 전극과 상기 상부 기판에 형성된 공통 전극 사이에 전계를 인가하여 상기 액정층의 배열을 변화시켜 빛을 통과시키거나 차단시킴으로써 화상을 표시하는 장치이다.

상기 액정표시패널은 주입된 액정층의 캡 형성과 주입된 액정을 새지 않게 하는 기능을 수행하는 밀봉재(Seal)를 더 포함한다. 상기 밀봉재는 열경화성 수지로 이루어져, 유효 표시 영역을 정의하기 위해 드로잉되어진다.

상기 액정표시패널에 액정을 주입한 후 액정의 유출을 방지할 목적으로 밀봉 마감재(End Seal)가 사용된다. 하지만, 상기 밀봉 마감재의 폭이 넓게 형성된다면, 액정표시패널의 외곽으로부터 상대적으로 돌출되어 백라이트 지그(jig)에 장착이 되지 않는 불량으로 나타난다.

상기한 불량을 제거하기 위해 육안으로 확인하여 기준을 벗어난 부분은 칼 등을 이용하여 제거하고 있으나, 기준영역의 표시가 없어 작업자의 임의 기준에 의해 가공된다. 따라서, 작업성이 증가하고, 검출력이 변동하는 등의 문제점이 있다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 액정주입구 마감용 실의 영역을 칼라필터 또는 어레이 기판에 표시함으로써, 불량 발생을 제어하고 검출을 용이하게 하기 위한 액정표시패널을 제공하는 것이다.

본 발명의 다른 목적은 상기한 액정표시패널의 제조 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 상기한 액정표시패널의 밀봉 방법을 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 목적을 실현하기 위하여 일 실시예에 따른 액정표시패널은 제1 기판, 제2 기판, 액정층, 밀봉재 및 마킹부를 포함한다. 상기 제2 기판은 상기 제1 기판에 대향하고, 상기 액정층은 상기 제1 기판과 제2 기판간에 형성된다. 상기 밀봉재는 상기 제1 기판 또는 제2 기판의 외곽 영역에 형성되어 상기 액정층을 밀봉시키고, 종단부가 상기 제1 기판 또는 제2 기판의 외곽면으로 연장된다. 상기 마킹부는 상기 제1 기판 또는 제2 기판에 형성되어 상기 밀봉재의 종단부 영역을 마킹한다.

상기한 본 발명의 다른 목적을 실현하기 위하여 일실시예에 따른 액정표시패널의 제조 방법은 두 개의 기판간에 형성된 액정층을 포함하는 액정표시패널의 제조방법에서, 기판의 표시영역에 게이트 전극과, 액티브층과, 소스-드레인 전극을 갖는 스위칭 소자와, 상기 기판의 주변영역에 액정주입구를 정의하는 확개부의 도포 영역을 표시하는 마킹부를 형성하는 단계; 및 상기 스위칭 소자의 드레인 전극에 전기적으로 연결된 화소 전극을 형성하는 단계를 포함한다.

상기한 본 발명의 다른 목적을 실현하기 위하여 다른 실시예에 따른 액정표시패널의 제조 방법은, 두 개의 기판간에 형성된 액정층을 포함하는 액정표시패널의 제조방법에서, 기판의 표시영역에 복수의 화소 영역들을 구획하는 차광층과, 상기 기판의 주변영역에 액정주입구를 정의하는 확개부의 도포 영역을 표시하는 마킹부를 형성하는 단계; 및 상기 차광층과 기판을 커버하는 색화소층을 형성하는 단계를 포함한다.

상기한 본 발명의 다른 목적을 실현하기 위하여 일실시예에 따른 액정표시패널의 밀봉 방법은, 밀봉재의 종단부 영역을 마킹하는 마킹부를 갖는 제1 기판의 주변 영역에 액정의 주입공간을 정의하는 실런트와, 상기 실런트의 종단 각각에서 상기 제1 기판의 외곽면까지 연장되어 액정주입구를 정의하는 확개부를 형성하는 단계; 상기 제1 기판에 대향하는 제2 기판을 상기 제1 기판에 합체하는 단계; 상기 액정의 주입공간에 액정을 주입하는 단계; 및 상기 액정의 유출을 방지하기 위해 상기 확개부에 의해 정의되는 공간에 밀봉 마감재를 투입하여 경화시키는 단계를 포함한다.

이러한 액정표시패널과, 이의 제조 방법 및 밀봉 방법에 의하면, 액정층을 밀봉시키는 밀봉재의 종단부 영역을 마킹하는 마킹부를 어레이 기판 또는 컬러필터 기판에 형성하므로써, 밀봉 마감재의 형성후 액정표시패널의 외관 품질 검사를 표준화 및 단순화시킬 수 있고, 이에 따라 제품의 품질 수준을 향상시킬 수 있다.

이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 그러나 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면에서 여러 층(또는 막) 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 전체적으로 도면 설명시

관찰자 관점에서 설명하였고, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라, 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 의미한다.

도 1은 본 발명에 따른 액정표시패널을 설명하기 위한 분해 사시도이고, 도 2는 도 1의 액정표시패널을 설명하기 위한 평면도이며, 도 3은 도 2의 절단선 I-I'으로 절단한 단면도이다.

도 1 내지 도 3을 참조하면, 본 발명에 따른 액정표시패널은 어레이 기판(100), 액정층(200), 컬러필터 기판(300)과, 밀봉재(400) 및 액정주입 마킹부(500)를 포함한다. 도면에서 CHPA나 CHPB는 상기 어레이 기판에 접적되어 액정표시패널의 구동을 위한 신호를 출력하는 칩 또는 상기 칩이 실장되는 영역을 나타낸다.

상기 어레이 기판(100)은 투명 기판(105) 위에 형성된 게이트 배선에서 연장된 게이트 전극(112)과, 질화규소(SiNx) 등의 재질로 이루어져 상기 게이트 배선 및 게이트 전극(112)을 커버하는 게이트 절연층(113)을 포함한다. 상기 게이트 배선 및 게이트 전극(112)은 알루미늄(Al)이나 알루미늄 합금 등과 같은 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등과 같은 은 계열의 금속, 구리(Cu)나 구리 합금 등과 같은 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등과 같은 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 또는 티타늄(Ti)과 같은 금속으로 이루어진다.

상기 어레이 기판(100)은 상기 게이트 전극(112)을 커버하는 a-Si과 같은 반도체층(114)과, 상기 반도체층(114) 위에 형성된 n+ a-Si과 같은 반도체 불순물층(115)과, 상기 반도체 불순물층(115)의 일부를 커버하는 소스 전극(122)과, 상기 반도체 불순물층(115)의 다른 일부를 커버하면서 상기 소스 전극(122)과 일정 간격 이격된 드레인 전극(124)을 포함한다. 상기 게이트 전극(112), 반도체층(114), 반도체 불순물층(115), 소스 전극(122) 및 드레인 전극(124)은 하나의 박막 트랜지스터(TFT)를 정의한다. 상기 소스 전극(122)이나 드레인 전극(124)은 알루미늄(Al)이나 알루미늄 합금 등과 같은 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등과 같은 은 계열의 금속, 구리(Cu)나 구리 합금 등과 같은 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등과 같은 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 또는 티타늄(Ti)과 같은 금속으로 이루어진다.

상기 게이트 전극(112)이나 소스 전극(122)은 단일층 또는 이중층 등으로 형성될 수 있다. 상기 단일층으로 형성되는 경우에는 알루미늄(Al)이나 알루미늄(Al)-네오디뮴(Nd) 합금, 구리(Cu) 등의 금속으로 형성될 수 있고, 상기 이중층으로 형성되는 경우에는 크롬(Cr), 몰리브덴(Mo) 또는 몰리브덴 합금막 등의 물리/화학적 특성이 우수한 물질을 하부층으로 형성하고, 알루미늄(Al) 또는 알루미늄 합금 등의 비저항이 낮은 물질을 상부층으로 형성한다.

상기 어레이 기판(100)은 상기 박막 트랜지스터(TFT)를 덮으면서 드레인 전극(124)의 일부를 노출시키는 순차적으로 적층된 패시베이션층(130)과 상기 패시베이션층(130)을 덮는 유기절연층(132)을 포함한다. 상기 패시베이션층(130)과 유기절연층(132)은 소스 전극(122)과 드레인 전극(124) 사이의 반도체층(114)과 반도체 불순물층(115)을 보호하고, 상기 박막 트랜지스터(TFT)와 화소 전극층(140)을 절연시키는 역할을 수행한다. 상기 패시베이션층(130)과 유기절연층(132)은 상기 유기절연층(132)의 높이 조절을 통해 상기 액정층(200)의 두께를 조절할 수도 있다. 물론, 상기 패시베이션층(130)을 생략할 수도 있다.

상기 어레이 기판(100)은 상기 박막 트랜지스터(TFT)의 드레인 전극(124)과 콘택홀(CNT)을 통해 전기적으로 연결된 화소 전극(140)을 포함한다.

상기 컬러필터 기판(300)은 상기 복수의 단위 화소 영역들 각각에 대응하여 형성된 색화소층을 포함하여, 상기 어레이 기판(100)과의 합체를 통해 상기 액정층(200)을 수용한다.

상기 컬러필터 기판(300)은 투명 기판(305)상에서 단위 화소 영역을 구획하는 차광층(310)과, 상기 단위 화소 영역에 형성된 색화소층(320)과, 상기 색화소층(320)위에 형성된 공통 전극층(330)을 포함하여, 상기 어레이 기판(100)과의 합체를 통해 상기 액정층(200)을 수용한다.

상기 밀봉재(400)는 상기 어레이 기판(100) 또는 컬러필터 기판(300)의 외곽 영역에 형성되어 상기 액정층(200)을 밀봉시키고, 종단부가 상기 어레이 기판(100) 또는 컬러필터 기판(300)의 외곽면으로 연장된다.

상기 밀봉재(400)는 상기 액정층(200)의 주입공간을 정의하는 실런트(410)와, 상기 실런트(410)의 종단 각각에서 상기 어레이 기판(100)의 외곽면으로 연장되어 액정주입구를 정의하는 확개부를 포함한다. 상기 확개부는 상기 어레이 기판의 외곽면으로 연장된 제1 및 제2 확개 부재(420, 430)를 포함한다.

상기 액정주입 마킹부(500)는 상기 어레이 기판(100)에 형성되어 상기 밀봉재(400)의 도포 영역, 바람직하게는 상기 확개부의 도포 영역을 정의한다. 즉, 상기 액정주입 마킹부(500)는 상기 확개부의 도포영역을 인식하기 위한 마크 키(mark key)이다. 향후 액정표시패널에 액정 주입후 상기 액정의 유출을 방지할 목적으로 밀봉 마감재(440)가 상기 확개부에 의해 정의되는 공간에 투입(봉입)되어 경화된다.

만일, 상기 밀봉 마감재(440)가 상기 액정주입구에 과도하게 투입되어 형성된다면 상기 밀봉 마감재(440)의 일부는 액정표시패널의 외곽면을 과도하게 커버한다. 상기 과도하게 커버하는 밀봉 마감재(440)의 일부는 제거되어야 한다. 이때 상기 액정주입 마킹부(500)는 상기 밀봉 마감재(440)의 일부를 제거할 때 하나의 좌표로서 역할을 수행한다.

도면상에서는 상기 액정주입 마킹부(500)가 상기 어레이 기판(100)상에 형성되는 것을 도시하였으나, 상기 컬러필터 기판(300)상에 형성할 수도 있다.

또한, 상기 액정주입 마킹부(500)가 십자 형상인 것을 도시하였으나, 원형 형상, 사각 형상, 바(Bar) 형상 등 다양한 형상도 가능하다.

또한, 상기 확개부를 기준으로 상기 액정주입구와 마주보도록 2개의 액정주입 마킹부(420, 430)가 형성된 것을 도시하였으나, 하나의 액정주입 마킹부를 형성할 수도 있다.

이상에서 설명한 바와 같이, 상기 액정주입구를 마감하는 실(밀봉 마감재)의 도포영역을 인식할 수 있는 액정주입 마킹부를 상기 어레이 기판이나 상기 컬러필터 기판의 제조 공정중에 형성하고, 상기 액정주입 마킹부를 이용하여 실의 도포 작업 및 검사에 활용할 수 있다.

그러면, 상기 액정주입 마킹부가 형성되는 다양한 실시예들에 대해서 첨부하는 도면들을 이용하여 설명한다. 설명의 편의를 위해 상기한 도 1 내지 도 3에서 설명한 구성요소와 동일한 구성요소에 대해서는 동일한 도면 번호를 부여하고, 그 상세한 설명은 생략한다.

도 4는 본 발명의 제1 실시예에 따른 어레이 기판의 단면도이다.

도 4를 참조하면, 본 발명의 제1 실시예에 따른 액정주입구 마킹부(112k)는 게이트 전극(112) 형성시 형성된다. 따라서, 액정주입구 마킹부(112k)의 재질은 게이트 전극(112)의 재질과 동일하다.

구체적으로, 투명 기판(105) 위에 전면 증착된 제1 금속층 중 표시 영역에 대응하여 패터닝되어, 저저항 게이트 배선과, 상기 게이트 배선으로부터 연장된 게이트 전극(112)은 형성된다. 상기 제1 금속층은 알루미늄(Al)이나 알루미늄 합금 등과 같은 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등과 같은 은 계열의 금속, 구리(Cu)나 구리 합금 등과 같은 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등과 같은 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 또는 티타늄(Ti)과 같은 금속으로 이루어진다.

또한, 투명 기판(105)의 주변 영역, 구체적으로 액정 주입구가 형성될 영역 근방에 대응해서는 상기 액정주입구 마킹부(112)가 형성된다. 따라서, 상기 액정주입구 마킹부(112k)는 상기 게이트 배선 및 게이트 전극(112) 형성시 이용되는 마스크를 이용할 수 있으므로 별도의 마스크가 불필요하다. 물론 상기한 게이트 배선, 게이트 전극 및 액정주입구 마킹부를 형성하기 위해 패터닝 공정을 수행되는 것을 설명하였으나, 형성하고자 하는 영역에만 해당 게이트 배선, 게이트 전극 및 액정주입구 마킹부를 형성할 수도 있다.

도 5a 내지 도 5f는 도 4에 도시한 어레이 기판의 제조 방법을 설명하기 위한 단면도들이다.

도 5a를 참조하면, 유리나 세라믹 등의 절연 물질로 이루어진 투명 기판(105) 위에 알루미늄(Al)이나 알루미늄 합금 등과 같은 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등과 같은 은 계열의 금속, 구리(Cu)나 구리 합금 등과 같은 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등과 같은 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 또는 티타늄(Ti)과 같은 금속을 증착한다.

이어, 제1 마스크(MA)를 이용하여 증착된 금속을 패터닝하여 가로 방향으로 신장되고 세로 방향으로 배열되는 복수의 게이트 라인들과, 박막 트랜지스터(TFT)를 정의하기 위해 상기 게이트 라인으로부터 연장된 게이트 전극(112)과, 액정주입구 마킹부(112k)를 형성한다.

도 5b를 참조하면, 상기 게이트 전극(112)을 포함하는 기판의 전면에 질화 실리콘 등을 플라즈마 화학 기상 증착법으로 적층하여 게이트 절연층(113)을 형성한다. 상기 게이트 절연층(113)은 상기 투명 기판(105)의 전면에 형성될 수도 있고, 상기 게이트 라인, 게이트 전극(112) 및 액정주입구 마킹부(112k)를 커버하도록 패터닝될 수도 있다.

도 5c를 참조하면, 상기 게이트 절연층(113) 위에 아몰퍼스-실리콘(a-Si) 막 및 인 시튜(insitu) 도핑된 n+ 아몰퍼스 실리콘(a-Si) 막을 형성하고, 박막 트랜지스터를 정의하기 위해 제2 마스크(MA2)를 이용하여 일부 영역을 패터닝하여 상기 게이트 전극(112)이 위치한 영역에 반도체층(114)과 반도체 불순물층(115)을 형성한다.

도 5d를 참조하면, 알루미늄(Al)이나 알루미늄 합금 등과 같은 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등과 같은 은 계열의 금속, 구리(Cu)나 구리 합금 등과 같은 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등과 같은 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 또는 티타늄(Ti)과 같은 금속을 증착한다. 이어, 상기 증착된 금속을 제3 마스크(MA3)를 이용하여 패터닝하여 복수의 소스 라인들과, 소스 전극(122)과, 드레인 전극(124)을 형성한다. 상기 소스 전극(122)은 상기 소스 라인(120)으로부터 연장되고, 상기 드레인 전극(124)은 상기 소스 전극(122)으로부터 일정 간격 이격되어도록 패터닝된다. 일정 간격 이격된 소스 전극(122)과 드레인 전극(124)은 일종의 마스크로 동작하여 노출된 하부의 불순물 반도체층(115)을 제거한다.

도 5e를 참조하면, 상기 도 5d에 의한 결과물이 형성된 기판 위에 스판 코팅 방법으로 패시베이션층(130)과 상기 패시베이션층(130) 위에 유기 절연층(132)을 형성한다.

도 5f를 참조하면, 상기 게이트 라인(110)과 상기 소스 라인(120)에 의해 정의되는 단위 화소 영역에서 제4 마스크(MA4)를 이용하여 유기 절연층(132)과 패시베이션층(130)의 일부를 제거하여 상기 드레인 전극(124)의 일부 영역을 노출시키는 콘택홀(CNT)을 형성한다.

이어, 도 4에 도시한 바와 같이, 단위 화소 영역내에서 화소 전극부를 정의하면서 상기 콘택홀(CNT)을 통해 상기 드레인 전극(124)과 연결되는 화소 전극층(140)을 형성한다. 상기 화소 전극층(140)은 투명한 도전성 물질로 형성될 수 있다. 이러한 투명한 도전성 물질의 예로서는 산화 주석 인듐(Indium Tin Oxide, ITO), 산화 아연 인듐(Indium Zinc Oxide, IZO), 산화 아연(Zinc Oxide, ZO) 등을 들 수 있다. 이때, 상기 화소 전극층(140)은 전면 도포후 상기 단위 화소 영역에 대응하는 화소 전극층만 남겨지도록 패터닝될 수도 있고, 상기 단위 화소 영역에만 형성되도록 부분 도포될 수도 있다.

도 6은 본 발명의 제2 실시예에 따른 어레이 기판의 단면도이다.

도 6을 참조하면, 본 발명의 제2 실시예에 따른 액정주입구 마킹부(114k)는 a-Si과 같은 반도체층(114) 형성시 형성된다. 따라서, 상기 액정주입구 마킹부(114k)의 재질은 상기 반도체층(114)의 재질과 동일하다.

구체적으로, 표시 영역에 대응하여 형성된 게이트 배선과, 상기 게이트 배선으로부터 연장된 게이트 전극(112) 위에 게이트 절연막(113)이 형성된다. 상기 게이트 절연막(113) 위에는 아몰퍼스-실리콘(a-Si)과 같은 반도체층과, 상기 반도체층 위에 형성된 n+ a-Si과 같은 반도체 불순물층이 전면 증착된 후, 패터닝되어 반도체층(114)과, 상기 반도체층(114) 위에 형성된 반도체 불순물층(115)이 형성된다. 일반적으로 상기 아몰퍼스-실리콘(a-Si)은 붉은 색을 띠므로 일종의 마킹부로서의 역할을 수행할 수 있다.

또한, 주변 영역, 구체적으로 액정 주입구가 형성될 영역 근방에 대응하여 상기 액정주입구 마킹부(114k)가 형성된다. 따라서, 상기 액정주입구 마킹부(114k)는 상기 반도체층(114) 형성시 이용되는 마스크를 이용할 수 있으므로 별도의 마스크가 불필요하다. 물론 상기한 반도체층(114)이나 액정주입구 마킹부(114k)를 형성하기 위해 패터닝 공정을 수행되는 것을 설명하였으나, 형성하고자 하는 영역에만 해당 반도체층(114)이나 액정주입구 마킹부(114k)를 형성할 수도 있다.

도면상에서는 상기 액정주입구 마킹부(114k)의 하부에 게이트 절연층 패턴(113p) 및 게이트 전극 패턴(112p)이 잔류하는 것을 도시하였으나, 상기 게이트 절연층 패턴(113p) 및 게이트 전극 패턴(112p)을 제거할 수도 있다.

도 7a 내지 도 7f는 도 6에 도시한 어레이 기판의 제조 방법을 설명하기 위한 단면도들이다.

도 7a를 참조하면, 유리나 세라믹 등의 절연 물질로 이루어진 투명 기판(105) 위에 알루미늄(Al)이나 알루미늄 합금 등과 같은 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등과 같은 은 계열의 금속, 구리(Cu)나 구리 합금 등과 같은 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등과 같은 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 또는 티타늄(Ti)과 같은 금속을 증착한다.

이어, 제1 마스크(MA)를 이용하여 증착된 금속을 패터닝하여 가로 방향으로 신장되고 세로 방향으로 배열되는 복수의 게이트 라인들과, 박막 트랜지스터(TFT)를 정의하기 위해 상기 게이트 라인으로부터 연장된 게이트 전극(112)과, 게이트 전극 패턴(112p)을 형성한다.

도 7b를 참조하면, 상기 게이트 전극(112)과 게이트 전극 패턴(112p)을 포함하는 기판(105)의 전면에 질화 실리콘 등을 플라즈마 화학 기상 증착법으로 적층하여 게이트 절연층(113)을 형성한다. 상기 게이트 절연층(113)은 상기 투명 기판(105)의 전면에 형성될 수도 있고, 상기 게이트 라인, 게이트 전극(112) 및 게이트 전극 패턴(112p)을 커버하도록 패터닝될 수도 있다.

도 7c를 참조하면, 상기 게이트 절연층(113) 위에 아몰퍼스-실리콘(a-Si) 막 및 인 시튜(insitu) 도핑된 n+ 아몰퍼스 실리콘(a-Si) 막을 형성하고, 박막 트랜지스터(TFT)를 정의하기 위해 제2 마스크(MA2)를 이용하여 일부 영역을 패터닝하여 상기 게이트 전극(112)이 위치한 영역에 반도체층(114)과 반도체 불순물층(115)을 형성한다. 이때, 상기 게이트 전극 패턴(112p) 위에 형성된 반도체층(114)을 잔류시킨다. 상기 게이트 전극 패턴(112p) 위에 형성된 반도체층(114)은 향후 액정주입구 마킹부(114k)로의 동작을 수행한다. 도면상에서는 불순물 반도체층(115)은 제거되는 것을 도시하였으나, 상기 불순물 반도체층(115)을 잔류시켜 액정주입구 마킹부로 이용할 수도 있다.

도 7d를 참조하면, 알루미늄(Al)이나 알루미늄 합금 등과 같은 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등과 같은 은 계열의 금속, 구리(Cu)나 구리 합금 등과 같은 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등과 같은 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 또는 티타늄(Ti)과 같은 금속을 증착한다. 이어, 상기 증착된 금속을 제3 마스크(MA3)를 이용하여 패터닝하여 복수의 소스 라인들과, 소스 전극(122)과, 드레인 전극(124)을 형성한다. 상기 소스 전극(122)은 상기 소스 라인(120)으로부터 연장되고, 상기 드레인 전극(124)은 상기 소스 전극(122)으로부터 일정 간격 이격되도록 패터닝된다. 일정 간격 이격된 소스 전극(122)과 드레인 전극(124)은 일종의 마스크로 동작하여 노출된 하부의 불순물 반도체층(115)을 제거한다.

도 7e를 참조하면, 상기 도 7d에 의한 결과물이 형성된 기판 위에 스펀 코팅 방법으로 패시베이션층(130)과 상기 패시베이션층(130) 위에 유기 절연층(132)을 형성한다.

도 7f를 참조하면, 상기 게이트 라인(110)과 상기 소스 라인(120)에 의해 정의되는 단위 화소 영역에서 제4 마스크(MA4)를 이용하여 유기 절연층(132)과 패시베이션층(130)의 일부를 제거하여 상기 드레인 전극(124)의 일부 영역을 노출시키는 콘택홀(CNT)을 형성하고, 액정주입구 마킹부(114k)에 대응하는 유기 절연층(132)과 패시베이션층(130)을 제거한다.

이어, 도 6에 도시한 바와 같이, 단위 화소 영역내에서 화소 전극부를 정의하면서 상기 콘택홀(CNT)을 통해 상기 드레인 전극(124)과 연결되는 화소 전극층(140)을 형성한다. 상기 화소 전극층(140)은 투명한 도전성 물질로 형성될 수 있다. 이러한 투명한 도전성 물질의 예로서는 산화 주석 인듐(Indium Tin Oxide, ITO), 산화 아연 인듐(Indium Zinc Oxide, IZO), 산화 아연(Zinc Oxide, ZO) 등을 들 수 있다. 이때, 상기 화소 전극층(140)은 전면 도포후 상기 단위 화소 영역에 대응하는 화소 전극층만 남겨지도록 패터닝될 수도 있고, 상기 단위 화소 영역에만 형성되도록 부분 도포될 수도 있다.

도 8은 본 발명의 제3 실시예에 따른 어레이 기판의 단면도이다.

도 8을 참조하면, 본 발명의 제3 실시예에 따른 액정주입구 마킹부(122k)는 소스-드레인 전극(122, 124) 형성시 형성된다. 따라서, 상기 액정주입구 마킹부(122k)의 재질은 상기 소스-드레인 전극(122, 124)의 재질과 동일하다.

구체적으로, 표시 영역에 대응하여 순차적으로 형성된 아몰퍼스-실리콘(a-Si)과 같은 반도체층과, n+ a-Si과 같은 반도체 불순물층과, 게이트 절연막(113)을 커버하도록 제2 금속층이 전면 증착된다. 상기 전면 증착된 상기 제2 금속층은 패터닝되어 소스 배선과, 상기 소스 배선에서 연장된 소스 전극(122)과, 상기 소스 전극(122)으로부터 일정 간격 이격된 드레인 전극(124)이 형성된다. 상기 제2 금속층은 알루미늄(Al)이나 알루미늄 합금 등과 같은 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등과 같은 은 계열의 금속, 구리(Cu)나 구리 합금 등과 같은 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등과 같은 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 또는 티타늄(Ti)과 같은 금속으로 이루어진다.

또한, 주변 영역, 구체적으로 액정 주입구가 형성될 영역 근방에 대응하여 상기 액정주입구 마킹부(122k)가 형성된다. 따라서, 상기 액정주입구 마킹부(122k)는 상기 소스 배선 및 소스-드레인 전극(122, 124) 형성시 이용되는 마스크를 이용할 수 있으므로 별도의 마스크가 불필요하다. 물론 상기한 소스 배선, 소스-드레인 전극 및 액정주입구 마킹부를 형성하기 위해 패터닝 공정을 수행되는 것을 설명하였으나, 형성하고자 하는 영역에만 해당 소스 배선, 소스-드레인 전극 및 액정주입구 마킹부를 형성할 수도 있다.

도면상에서는 상기 액정주입구 마킹부(122k)의 하부에 반도체층 패턴(114p), 게이트 절연층 패턴(113p) 및 게이트 전극 패턴(112p)이 잔류하는 것을 도시하였으나, 상기 반도체층 패턴(114p), 게이트 절연층 패턴(113p) 및 게이트 전극 패턴(112p)을 제거할 수도 있다.

도 9는 본 발명의 제4 실시예에 따른 컬러필터 기판의 단면도이다.

도 9를 참조하면, 본 발명의 제4 실시예에 따른 액정주입구 마킹부(310k)는 차광층(310) 형성시 형성된다. 따라서, 상기 액정주입구 마킹부(310k)의 재질은 상기 차광층(310)의 재질과 동일하다.

구체적으로, 투명 기판(305)상에 블랙 계열의 재질이 전면 도포되고, 표시 영역에서 단위 화소 영역을 구획하기 위해 패터닝되어 차광층(310)이 형성된다.

주변 영역, 구체적으로 액정 주입구가 형성될 영역 근방에 대응하여 상기 액정주입구 마킹부(310k)가 형성된다. 따라서, 상기 액정주입구 마킹부(310k)는 상기 차광층(310) 형성시 마스크를 이용할 수 있으므로 별도의 마스크가 불필요하다. 물론, 상기한 차광층 및 액정주입구 마킹부를 형성하기 위해 패터닝 공정을 수행되는 것을 설명하였으나, 형성하고자 하는 영역에만 해당 차광층 및 액정주입구 마킹부를 형성할 수도 있다.

상기 도 1 내지 도 9에서는 하나의 기판상에서 유효 표시 영역을 정의하는 액정표시패널에 액정주입구 마킹부가 형성된 것을 설명하였다. 하나의 기판상에서 복수의 유효 표시 영역들 각각을 정의하는 복수의 액정표시패널에도 동일하게 적용 할 수 있다.

도 10은 본 발명에 따른 액정표시패널의 모기판을 설명하기 위한 평면도이다. 상기한 도 2와 비교할 때 동일한 구성 요소에 대해서는 동일한 도면 번호를 부여하고 그 설명은 생략한다.

도 10을 참조하면, 액정표시패널의 모기판(MPNL)은 4개의 액정표시패널(PNL1, PNL2, PNL3, PNL4)을 갖는다. 상기 4개의 액정표시패널(PNL1, PNL2, PNL3, PNL4)은 절단되어 독립된 액정표시패널들로서 동작을 수행한다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 액정층을 밀봉시키는 밀봉재의 종단부 영역을 마킹하는 마킹부를 어레이 기판 또는 컬러필터 기판에 형성하므로써, 밀봉 마감재의 형성후 액정표시패널의 외관 품질 검사를 표준화 및 단순화시킬 수 있고, 이에 따라 제품의 품질 수준을 향상시킬 수 있다.

또한, 상기 밀봉 마감재를 형성한 후 상기 마킹부와의 이격 거리에 대한 자동 검사가 가능하므로 제품의 품질 수준 및 생산성을 향상시킬 수 있다.

또한, 액정표시패널의 외관 품질 검사에 소요되는 검사 인력 및 시간을 줄일 수 있어 인건비 및 검사 비용을 절감할 수 있다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

제1 기판;

상기 제1 기판에 대향하는 제2 기판;

상기 제1 기판과 제2 기판간에 형성된 액정층;

상기 제1 기판 또는 제2 기판의 외곽 영역에 형성되어 상기 액정층을 밀봉시키고, 종단부가 상기 제1 기판 또는 제2 기판의 외곽면으로 연장된 밀봉재; 및

상기 제1 기판 또는 제2 기판에 형성되어 상기 밀봉재의 종단부 영역을 마킹하는 마킹부를 포함하는 액정표시패널.

청구항 2.

제1항에 있어서, 상기 밀봉재는 상기 액정층의 주입공간을 정의하는 실런트와, 상기 실런트의 종단 각각에서 상기 제1 기판 또는 제2 기판의 외곽면으로 연장되어 액정주입구를 정의하는 확개부를 포함하고,

상기 마킹부는 상기 확개부의 도포 영역을 정의하는 것을 특징으로 하는 액정표시패널.

청구항 3.

제2항에 있어서, 상기 확개부를 커버하는 밀봉 마감재를 더 포함하는 액정표시패널.

청구항 4.

제2항에 있어서, 상기 마킹부는 상기 확개부를 기준으로 상기 액정주입구와 마주보는 것을 특징으로 하는 액정표시패널.

청구항 5.

제1항에 있어서, 상기 마킹부는 상기 확개부를 기준으로 상기 액정주입구와 마주보도록 하나 이상 형성된 것을 특징으로 하는 액정표시패널.

청구항 6.

제1항에 있어서, 상기 제1 기판은 게이트 전극과, 상기 게이트 전극 위에 형성된 액티브층과, 상기 액티브층 위에 형성된 소스-드레인 전극을 포함하는 스위칭 소자를 구비하고,

상기 마킹부는 상기 게이트 전극의 재질과 동일한 재질로 이루어지는 것을 특징으로 하는 액정표시패널.

청구항 7.

제6항에 있어서, 상기 마킹부는 상기 게이트 전극이 형성된 평면과 동일한 평면상에 형성된 것을 특징으로 하는 액정표시패널.

청구항 8.

제1항에 있어서, 상기 제1 기판은 게이트 전극과, 상기 게이트 전극 위에 형성된 액티브층과, 상기 액티브층 위에 형성된 소스-드레인 전극을 포함하는 스위칭 소자를 구비하고,

상기 마킹부는 상기 액티브층의 재질과 동일한 재질로 이루어지는 것을 특징으로 하는 액정표시패널.

청구항 9.

제8항에 있어서, 상기 마킹부는 상기 액티브층이 형성된 평면과 동일한 평면상에 형성된 것을 특징으로 하는 액정표시패널.

청구항 10.

제1항에 있어서, 상기 제1 기판은 게이트 전극과, 상기 게이트 전극 위에 형성된 액티브층과, 상기 액티브층 위에 형성된 소스-드레인 전극을 포함하는 스위칭 소자를 구비하고,

상기 마킹부는 상기 소스-드레인 전극의 재질과 동일한 재질로 이루어지는 것을 특징으로 하는 액정표시패널.

청구항 11.

제10항에 있어서, 상기 마킹부는 상기 소스-드레인 전극이 형성된 평면과 동일한 평면상에 형성된 것을 특징으로 하는 액정표시패널.

청구항 12.

제1항에 있어서, 상기 제2 기판은 화소 영역을 정의하는 차광층과, 상기 차광층과 화소 영역을 커버하는 색화소층을 포함하고,

상기 마킹부는 상기 차광층의 재질과 동일한 재질로 이루어지는 것을 특징으로 하는 액정표시패널.

청구항 13.

제12항에 있어서, 상기 마킹부는 상기 차광층과 동일한 평면상에 형성된 것을 특징으로 하는 액정표시패널.

청구항 14.

두 개의 기판간에 형성된 액정층을 포함하는 액정표시패널의 제조방법에서,

기판의 표시영역에 게이트 전극과, 액티브층과, 소스-드레인 전극을 갖는 스위칭 소자와, 상기 기판의 주변영역에 액정주입구를 정의하는 확개부의 도포 영역을 표시하는 마킹부를 형성하는 단계; 및

상기 스위칭 소자의 드레인 전극에 전기적으로 연결된 화소 전극을 형성하는 단계를 포함하는 액정표시패널의 제조 방법.

청구항 15.

제14항에 있어서, 상기 마킹부는 상기 게이트 전극 형성시 형성된 것을 특징으로 하는 액정표시패널의 제조 방법.

청구항 16.

제14항에 있어서, 상기 마킹부는 상기 액티브층 형성시 형성된 것을 특징으로 하는 액정표시패널의 제조 방법.

청구항 17.

제14항에 있어서, 상기 마킹부는 상기 소스-드레인 전극 형성시 형성된 것을 특징으로 하는 액정표시패널의 제조 방법.

청구항 18.

두 개의 기판간에 형성된 액정층을 포함하는 액정표시패널의 제조방법에서,

기판의 표시영역에 복수의 화소 영역들을 구획하는 차광층과, 상기 기판의 주변영역에 액정주입구를 정의하는 확개부의 도포 영역을 표시하는 마킹부를 형성하는 단계; 및

상기 차광층과 기판을 커버하는 색화소층을 형성하는 단계를 포함하는 액정표시패널의 제조 방법.

청구항 19.

제18항에 있어서, 상기 색화소층을 커버하는 공통전극층을 형성하는 단계를 더 포함하는 액정표시패널의 제조 방법.

청구항 20.

밀봉재의 종단부 영역을 마킹하는 마킹부를 갖는 제1 기판의 주변 영역에 액정의 주입공간을 정의하는 실런트와, 상기 실런트의 종단 각각에서 상기 제1 기판의 외곽면까지 연장되어 액정주입구를 정의하는 확개부를 형성하는 단계;

상기 제1 기판에 대향하는 제2 기판을 상기 제1 기판에 합체하는 단계;

상기 액정의 주입공간에 액정을 주입하는 단계; 및

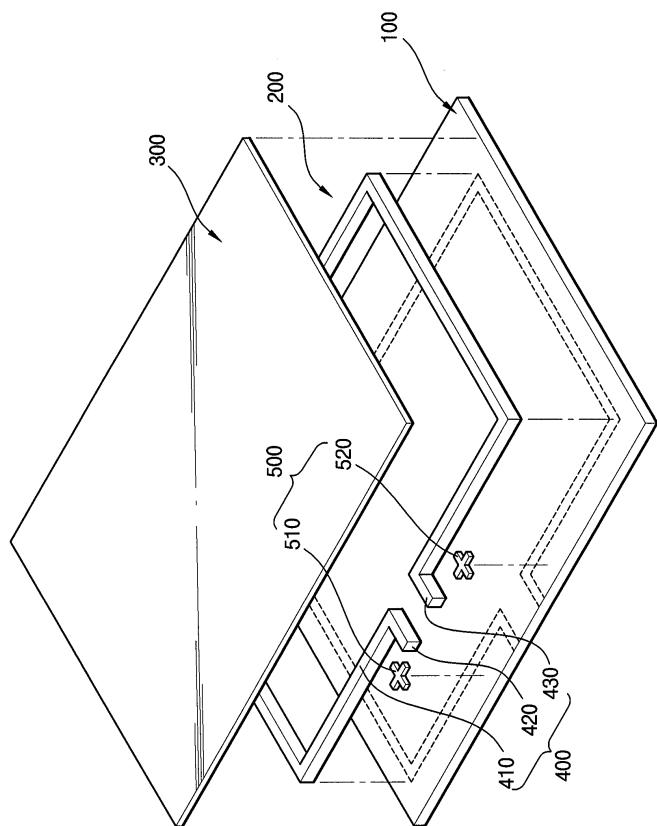
상기 액정의 유출을 방지하기 위해 상기 확개부에 의해 정의되는 공간에 밀봉 마감재를 투입하여 경화시키는 단계를 포함하는 액정표시패널의 밀봉방법.

청구항 21.

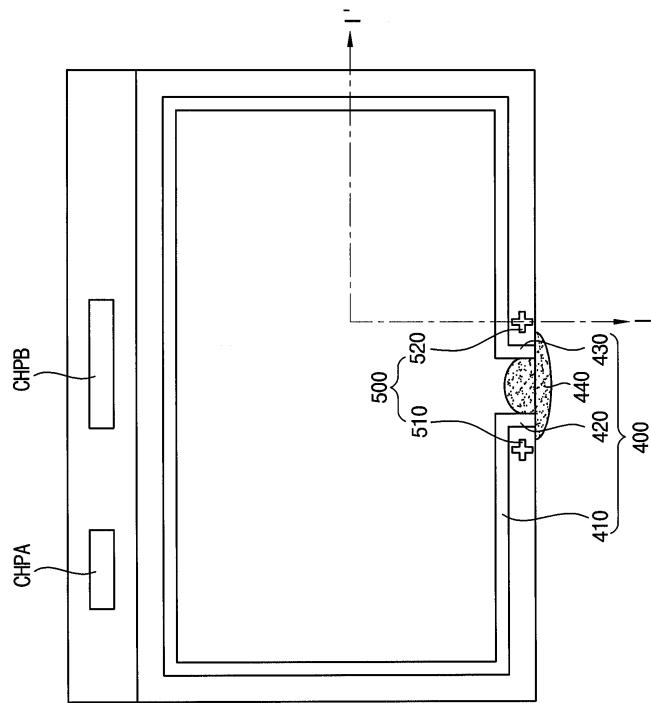
제20항에 있어서, 상기 마킹부를 근거로 상기 밀봉 마감재가 오버 형성된 경우에는 상기 밀봉 마감재의 일부를 제거하는 단계를 더 포함하는 액정표시패널의 밀봉방법.

도면

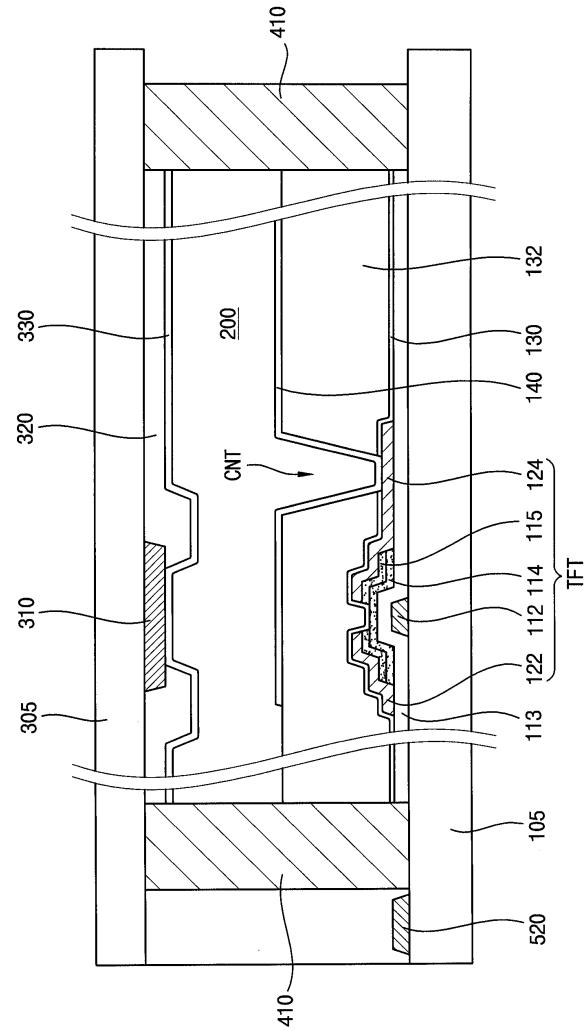
도면1



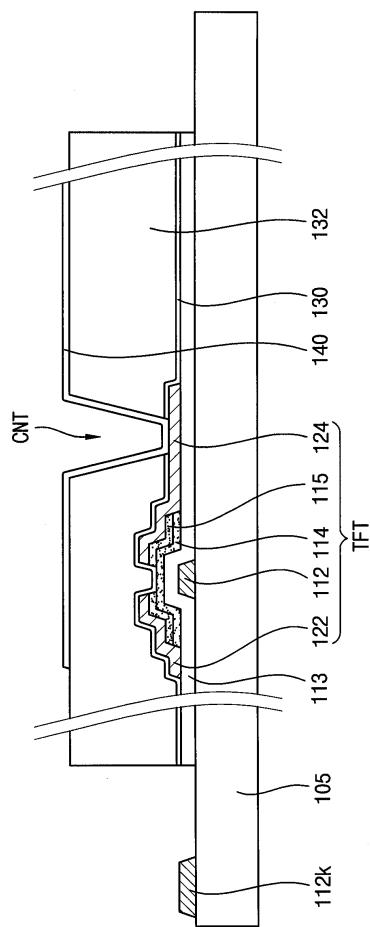
도면2



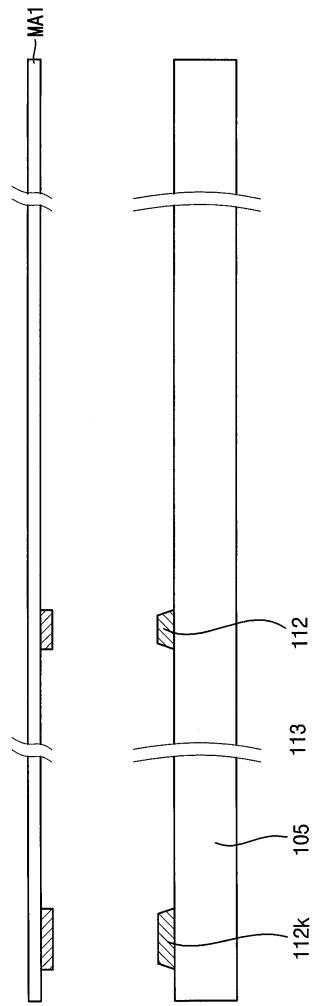
도면3



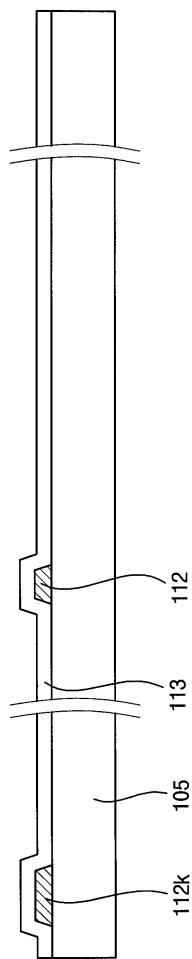
도면4



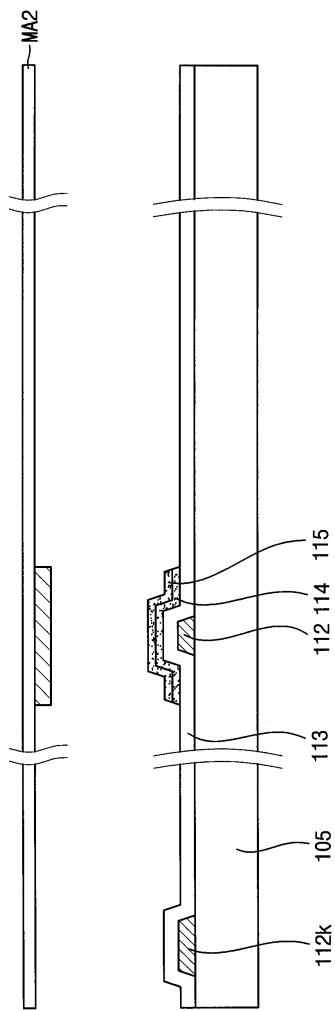
도면5a



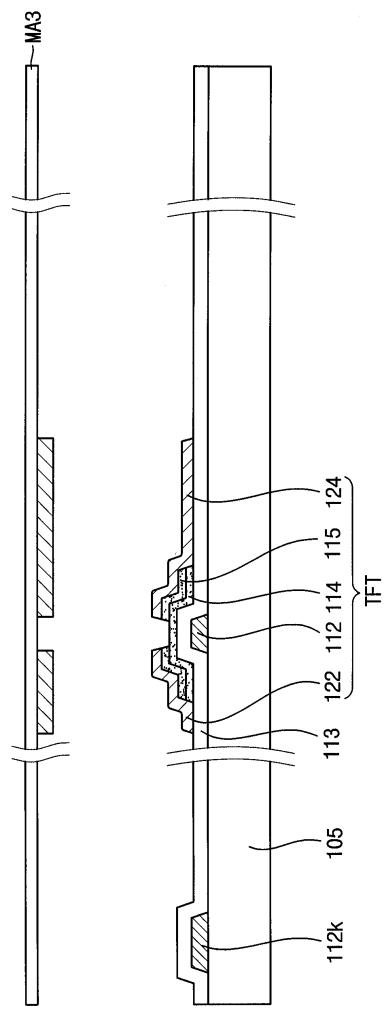
도면5b



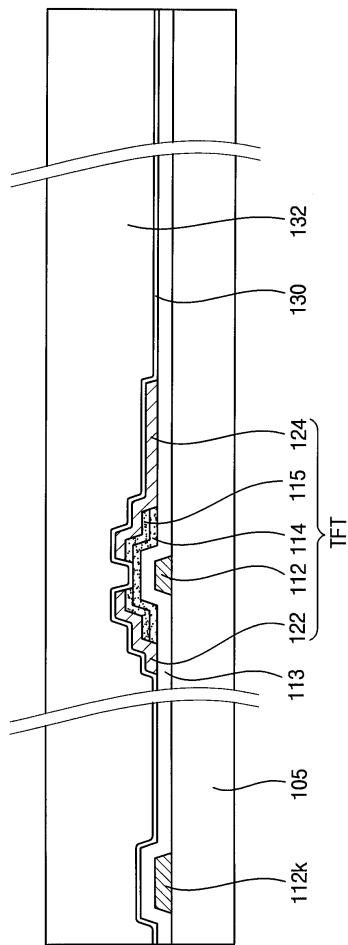
도면5c



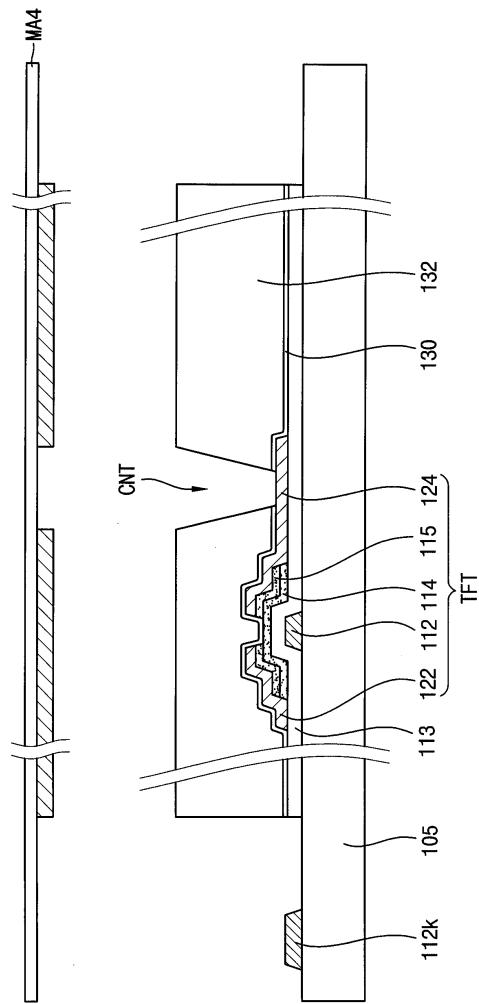
도면5d



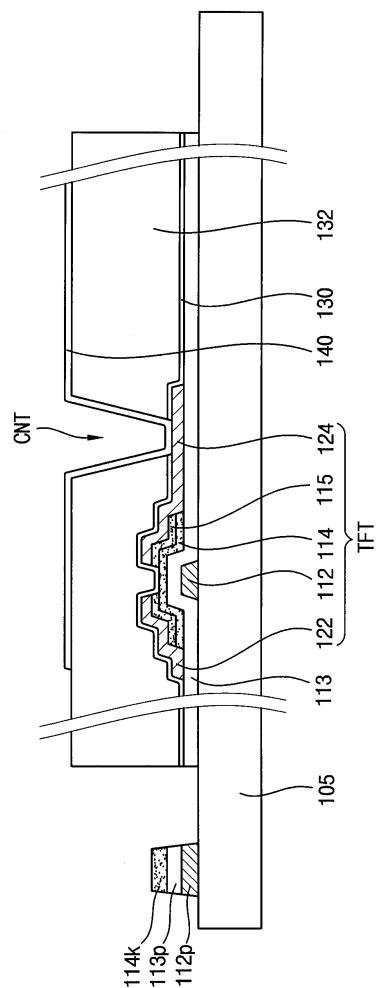
도면5e



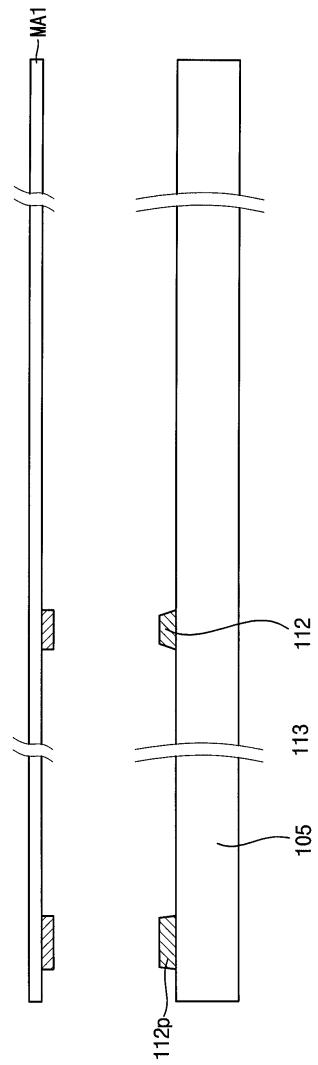
도면5f



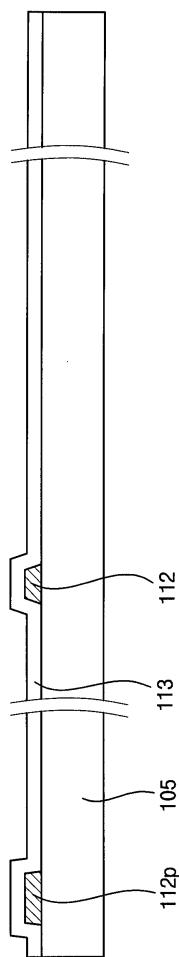
도면6



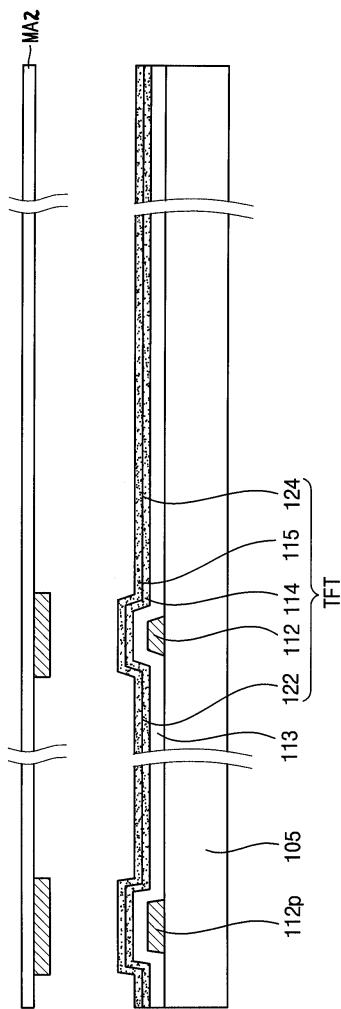
도면7a



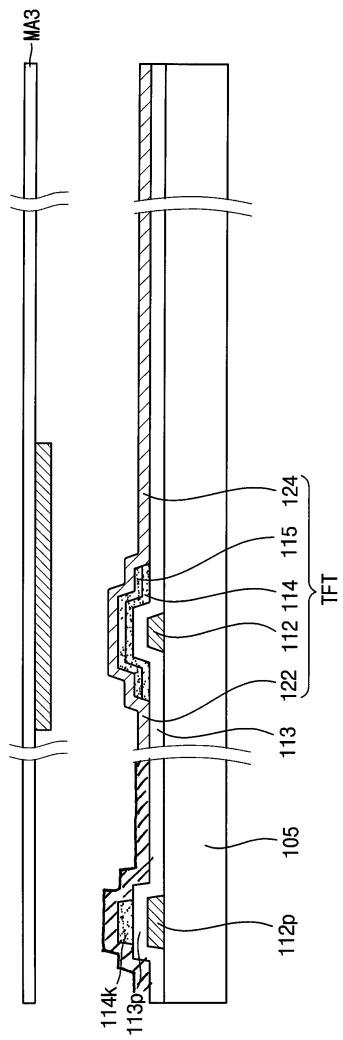
도면7b



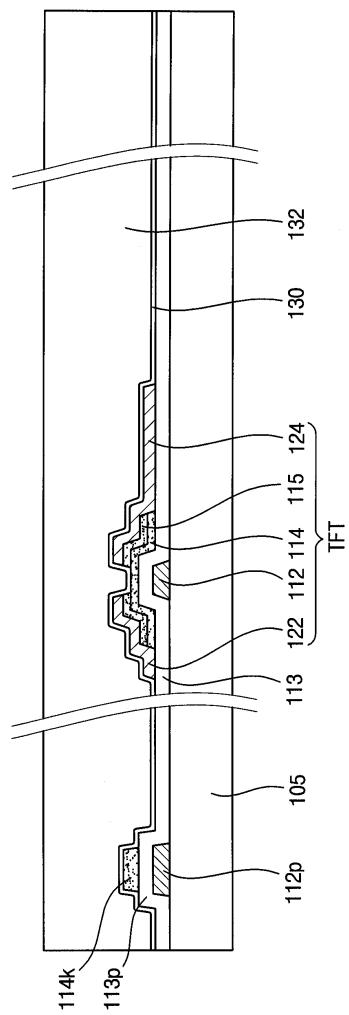
도면7c



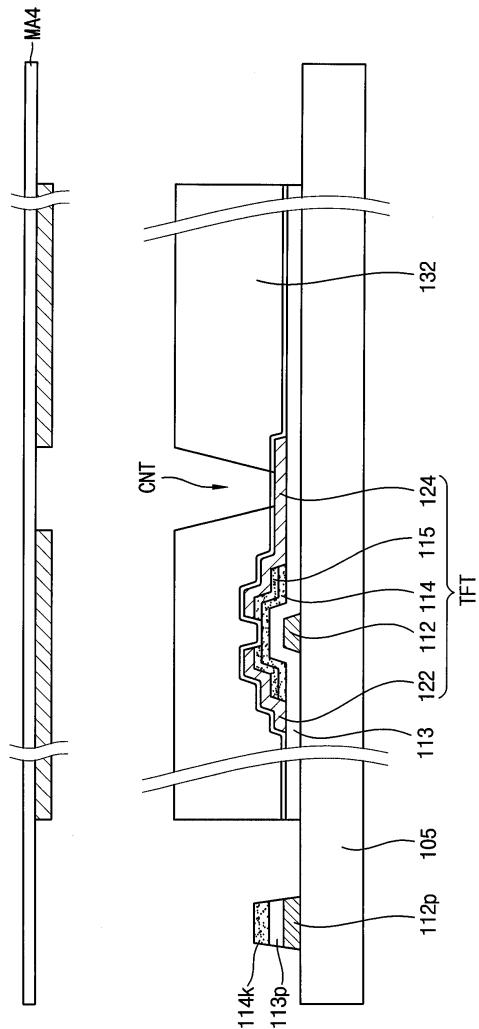
도면7d



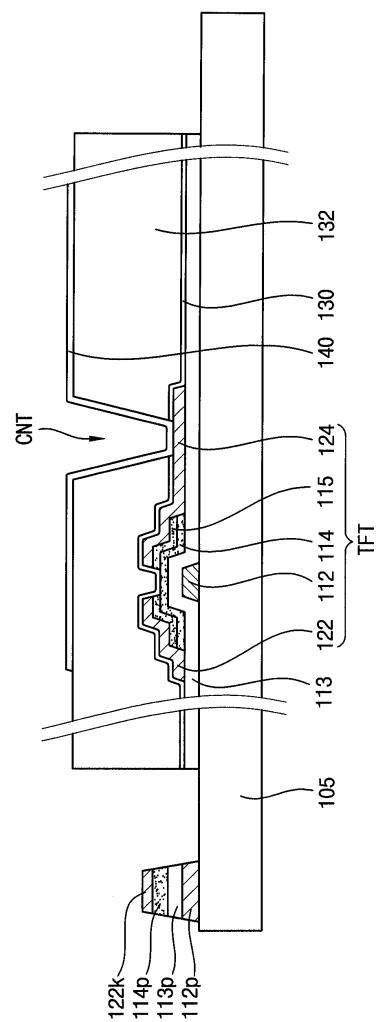
도면7e



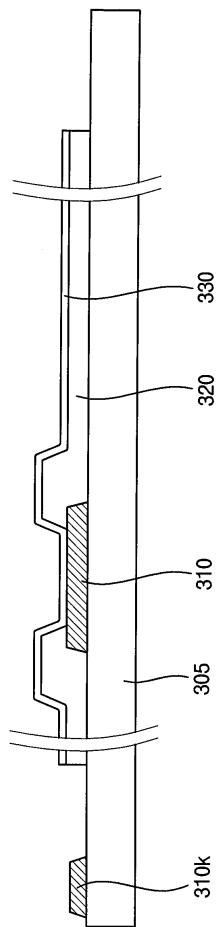
도면7f



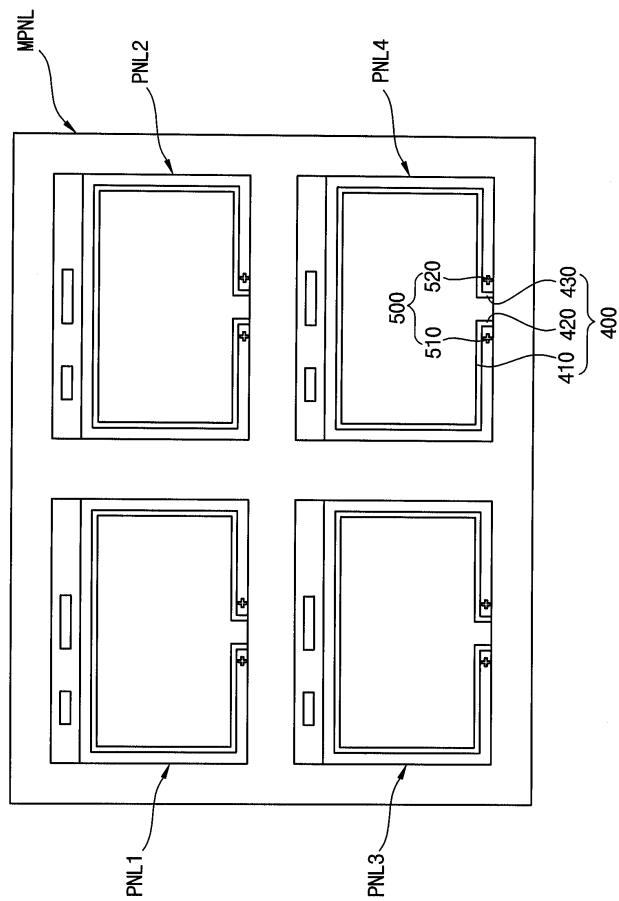
도면8



도면9



도면10



专利名称(译)	液晶显示面板，其制造方法和密封方法		
公开(公告)号	KR1020060037177A	公开(公告)日	2006-05-03
申请号	KR1020040086360	申请日	2004-10-27
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM DAEKWANG		
发明人	KIM,DAEKWANG		
IPC分类号	G02F1/1341		
CPC分类号	G02F1/1309 G02F1/1339 G02F1/1341 G02F1/1368		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

公开了一种用于最小化房间故障的LCD面板及其制造方法和密封方法。第二基板面对第一基板。液晶层形成在第一基板和第二基板之间。密封材料形成在第一基板或第二基板的边缘区域中，并且液晶层被密封。端部延伸到第一基板或第二基板的外侧。标记部分形成在第一基板或第二基板中，并且标记密封材料的端部区域。因此，标记密封液晶层的密封材料的端部区域的标记部分形成在阵列面板或滤色器基板上。以这种方式，在形成具有标准化的气密密封装饰材料之后，可以简化LCD面板的外管质量检查。因此，可以提高产品质量水平。密封材料，密封剂，气密密封整理材料，标记，密封剂。

