



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0067932  
(43) 공개일자 2009년06월25일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2007-0135760

(22) 출원일자 2007년12월21일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

윤순일

서울 마포구 중동 36-28번지 이충-2호

이정록

경기 파주시 월롱면 덕은리 1007번지 LG.Philips  
LCD 정다운마을101동 429호

(74) 대리인

특허법인로얄

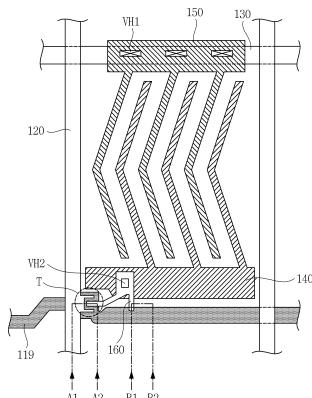
전체 청구항 수 : 총 10 항

(54) 액정표시장치

### (57) 요 약

본 발명은, 기판 상에 위치하는 게이트라인 및 데이터라인; 기판 상에 위치하며 게이트라인과 평행하게 위치하는 공통라인; 및 기판 상에 위치하며 게이트라인에 연결된 게이트와, 데이터라인에 연결된 제1전극과, 제1전극을 통해 공급된 데이터 전압을 전달하는 제2전극을 포함하는 박막 트랜지스터와, 제2전극에 연결된 화소 전극과, 공통라인에 연결된 공통전극을 포함하는 서브 픽셀을 포함하되, 제2전극은, 제2전극으로부터 연장되어 게이트라인 상에 중첩되는 연장부를 포함하는 액정표시장치를 제공한다.

### 대 표 도 - 도2



## 특허청구의 범위

### 청구항 1

기판 상에 위치하는 게이트라인 및 데이터라인;

상기 기판 상에 위치하며 상기 게이트라인과 평행하게 위치하는 공통라인; 및

상기 기판 상에 위치하며 상기 게이트라인에 연결된 게이트와, 상기 데이터라인에 연결된 제1전극과, 상기 제1전극을 통해 공급된 데이터 전압을 전달하는 제2전극을 포함하는 박막 트랜지스터와, 상기 제2전극에 연결된 화소 전극과, 상기 공통라인에 연결된 공통전극을 포함하는 서브 픽셀을 포함하되,

상기 제2전극은,

상기 제2전극으로부터 연장되어 상기 게이트라인 상에 중첩되는 연장부를 포함하는 액정표시장치.

### 청구항 2

제1항에 있어서,

상기 연장부의 말단은 반구형인 액정표시장치.

### 청구항 3

제1항에 있어서,

상기 연장부는,

상기 기판 상에 위치하는 서브 픽셀마다 상기 게이트라인과 중첩되는 영역의 길이가 다른 액정표시장치.

### 청구항 4

제1항에 있어서,

상기 연장부의 곡률 반경은,

상기 연장부의 폭보다 크거나 같고 상기 연장부의 폭의 2.5배보다 작거나 같은 액정표시장치.

### 청구항 5

제1항에 있어서,

상기 연장부와 중첩되는 영역에 위치하는 상기 게이트라인은,

상기 기판 상에 위치하는 상기 게이트라인과, 상기 게이트라인 상에 위치하는 게이트 절연막을 포함하며, 상기 연장부는 상기 게이트 절연막 상에 위치하는 액정표시장치.

### 청구항 6

제1항에 있어서,

상기 박막 트랜지스터는,

상기 기판 상에 위치하며 상기 게이트라인에 연결된 상기 게이트와, 상기 게이트 상에 위치하는 게이트 절연막과, 상기 게이트 절연막 상에 위치하는 반도체층과, 상기 게이트 절연막 상에 위치하고 상기 반도체층의 일측에 접촉하며 상기 데이터라인에 연결된 상기 제1전극과, 상기 게이트 절연막 상에 위치하고 상기 반도의 타측에 접촉하는 상기 제2전극을 포함하는 액정표시장치.

### 청구항 7

제6항에 있어서,

상기 제1전극은,

상기 제2전극의 일부를 감싸는 디귿(ㄷ) 형태인 액정표시장치.

**청구항 8**

제6항에 있어서,  
상기 박막 트랜지스터는,  
상기 제1전극 및 상기 제2전극 상에 위치하는 보호막을 포함하는 액정표시장치.

**청구항 9**

제1항에 있어서,  
상기 화소 전극 및 상기 공통전극은,  
상호 교번하여 교차하는 액정표시장치.

**청구항 10**

제1항에 있어서,  
상기 서브 픽셀은,  
상기 화소 전극 및 상기 공통전극 상에 위치하는 액정셀을 포함하는 액정표시장치.

**명세서****발명의 상세한 설명****기술 분야**

<1> 본 발명은 액정표시장치에 관한 것이다.

**배경기술**

<2> 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정표시장치(Liquid Crystal Display: LCD), 유기전계 발광소자(Organic Light Emitting Diodes: OLED) 및 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정 표시장치가 널리 사용되고 있다.

<3> 여기서, 액정표시장치는 수광형 표시장치로 분류된다. 이러한 액정표시장치는 액정 패널의 하부에 위치하는 백라이트 유닛으로부터 광원을 제공받아 영상을 표현할 수 있다.

<4> 한편, 종래 액정표시장치는 전계 및 액정의 왜곡 현상(비정상적인 액정의 배열)에 의해 휘점 불량이 발생하여 표시 품질이 떨어지는 문제가 있어 이를 방지하기 위한 개선책이 마련되어야 할 필요성이 있다.

**발명의 내용****해결 하고자하는 과제**

<5> 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 전계 및 액정의 왜곡 현상에 의해 휘점 불량이 발생하는 문제를 해결할 수 있도록 박막 트랜지스터를 구성하는 전극 패턴을 개선하는 것이다.

**과제 해결수단**

<6> 상술한 과제 해결 수단으로 본 발명은, 기판 상에 위치하는 게이트라인 및 데이터라인; 기판 상에 위치하며 게이트라인과 평행하게 위치하는 공통라인; 및 기판 상에 위치하며 게이트라인에 연결된 게이트와, 데이터라인에 연결된 제1전극과, 제1전극을 통해 공급된 데이터 전압을 전달하는 제2전극을 포함하는 박막 트랜지스터와, 제2전극에 연결된 화소 전극과, 공통라인에 연결된 공통전극을 포함하는 서브 픽셀을 포함하되, 제2전극은, 제2전극으로부터 연장되어 게이트라인 상에 중첩되는 연장부를 포함하는 액정표시장치를 제공한다.

- <7> 연장부의 말단은 반구형일 수 있다.
- <8> 연장부는, 기판 상에 위치하는 서브 팩셀마다 게이트라인과 중첩되는 영역의 길이가 다를 수 있다.
- <9> 연장부의 곡률 반경은, 연장부의 폭보다 크거나 같고 연장부의 폭의 2.5배보다 작거나 같을 수 있다.
- <10> 연장부와 중첩되는 영역에 위치하는 게이트라인은, 기판 상에 위치하는 게이트라인과, 게이트라인 상에 위치하는 게이트 절연막을 포함하며, 연장부는 게이트 절연막 상에 위치할 수 있다.
- <11> 박막 트랜지스터는, 기판 상에 위치하며 게이트라인에 연결된 게이트와, 게이트 상에 위치하는 게이트 절연막과, 게이트 절연막 상에 위치하는 반도체층과, 게이트 절연막 상에 위치하고 반도체층의 일측에 접촉하며 데이터라인에 연결된 제1전극과, 게이트 절연막 상에 위치하고 반도체층의 타측에 접촉하는 제2전극을 포함할 수 있다.
- <12> 제1전극은, 제2전극의 일부를 감싸는 디귿(ㄷ) 형태일 수 있다.
- <13> 박막 트랜지스터는, 제1전극 및 제2전극 상에 위치하는 보호막을 포함할 수 있다.
- <14> 화소 전극 및 공통전극은, 상호 교번하여 교차할 수 있다.
- <15> 서브 팩셀은, 화소 전극 및 공통전극 상에 위치하는 액정셀을 포함할 수 있다.

### 효과

- <16> 본 발명은, 박막 트랜지스터를 구성하는 전극 패턴을 개선하여 전계 및 액정의 왜곡 현상에 의해 휘점 불량이 발생하는 문제를 해결할 수 있는 액정표시장치를 제공하는 효과가 있다. 또한, 박막 트랜지스터를 구성하는 전극 패턴의 개선으로 고온 휘점 다발 같은 사이드 이펙트를 예방함과 아울러 표시품질을 향상시키는 효과가 있다.

### 발명의 실시를 위한 구체적인 내용

- <17> 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- <18> 도 1a는 본 발명의 일 실시예에 따른 액정표시장치의 분해 사시도이고, 도 1b는 에지형 광원의 일 예시도이다.
- <19> 도 1a에 도시된 바와 같이, 액정표시장치는 광을 출사하는 광원(171)을 포함할 수 있다. 또한, 광원(171)으로부터 출사되는 광을 인도하는 광학필름층(176)을 포함할 수 있다. 광학필름층(176)은 광원(171) 상에 위치하는 확산판(172), 확산시트(173), 광학시트(174) 및 보호시트(175)를 포함할 수 있다.
- <20> 광원(171)의 경우 예를 들면, 냉음극관 형광램프(Cold Cathode Fluorescent Lamp: CCFL), 열음극관 형광램프(Hot Cathode Fluorescent Lamp: HCFL), 외부전극 형광램프(External Electrode Fluorescent Lamp: EEFL) 및 발광 다이오드(Light Emitting Diode: LED) 중 어느 하나를 선택할 수 있으나 이에 한정되지 않는다.
- <21> 또한, 광원(171)은 램프가 일 측면 외측에 위치하는 에지형, 램프가 양쪽 측면에 위치하는 듀얼형, 램프가 직선으로 다수 배열된 직하형 중 어느 하나를 선택할 수 있으나 이에 한정되지 않는다. 이와 같은 광원(171)은 인버터에 연결되어 전원을 공급받아 광을 출사할 수 있다.
- <22> 도 1a에 도시된 광원(171)은 직하형을 일례로 나타낸 것이다. 이와는 달리 도 1b를 참조하면, 에지형 광원(171)이 도시되어 있다. 도시된 바와 같은 에지형 광원(171)은 일 측면 외측에 램프(171a)와 램프(171a)로부터 출사된 광을 안내하는 도광판(171b)을 포함할 수 있으나 이에 한정되지 않는다.
- <23> 앞서 설명한 광학시트(174)의 경우, 예를 들면 도시된 바와 같이 프리즘 형상일 수 있으나, 렌티큘러 렌즈 마이크로 렌즈 등과 같은 형상으로 위치할 수도 있다. 이러한 광학시트(174)는 비드를 포함할 수도 있다.
- <24> 한편, 액정표시장치는 화상을 표시하는 액정패널(183) 및 광원(171)이 수납되는 상부 케이스(190) 및 하부 케이스(170)를 포함할 수 있다.
- <25> 여기서, 하부 케이스(170)는 광원(171)을 수납할 수 있다. 광원(171) 상에는 액정패널(183)이 일정 간격을 두고 위치할 수 있다. 액정패널(183) 및 광원(171)은 하부 케이스(170)와 체결되는 상부 케이스(190)에 의해 고정 및 보호될 수 있다.

- <26> 상부 케이스(190)의 상부 면에는 액정패널(183)의 화상 표시 영역을 노출시키는 개구부가 마련될 수 있다. 그리고 액정패널(183)과 광원(171) 사이에 위치하는 광학필름층(176)의 주변부가 안착 되는 몰드프레임(미도시)이 더 포함될 수도 있다.
- <27> 액정패널(183)은 칼라 필터가 형성된 상판(181)과, 박막 트랜지스터가 형성된 기판(182)이 액정을 사이에 두고 합착된 구조를 가질 수 있다. 이러한 액정패널(183)은 박막 트랜지스터에 의해 독립적으로 구동되는 서브 픽셀이 매트릭스 형태로 배열되고, 서브 픽셀 각각이 공통 전극에 공급된 공통 전압과 박막 트랜지스터를 통해 화소 전극에 공급된 데이터 신호와의 차전압에 따라 액정 배열을 제어하여 광 투과율을 조절함으로써 화상을 표시할 수 있다.
- <28> 또한, 액정패널(183)의 기판(182)에는 구동부(189)가 접속될 수 있다. 구동부(189)는 액정패널(183)의 데이터 배선과 게이트 배선을 각각 구동하기 위한 구동 칩(187)을 실장하여 기판(182)과 일측부가 접속된 다수의 필름 회로(186)와, 다수의 필름 회로(186)의 타측부와 접속된 인쇄 회로 기판(188)를 포함할 수 있다.
- <29> 구동 칩(187)을 실장한 필름 회로(186)는 COF(Chip On Film)나 TCP(Tape Carrier Package) 방식을 나타낸 것이다. 그러나 이와는 달리 구동 칩(187)은 COG(Chip On Glass) 방식으로 기판(182) 상에 직접 실장되거나, 박막 트랜지스터 형성 공정에서 기판(182) 상에 형성되어 내장될 수 있다.
- <30> 한편, 앞서 설명한 액정패널(183)은 게이트 배선들을 통해 공급되는 스캔 신호와, 데이터 배선들을 통해 공급되는 데이터전압에 따라 각 서브 픽셀에 화상을 표시할 수 있다.
- <31> 여기서, 스캔 신호는 1수평 시간 동안만 공급되는 게이트 하이 전압과, 나머지 기간 동안 공급되는 게이트 로우 전압이 교번되는 펄스 신호일 수 있으나 이에 한정되지 않는다.
- <32> 서브 픽셀에 포함된 박막 트랜지스터는 게이트 배선들로부터 게이트 하이 전압이 공급되는 경우 텐-온되어, 데이터 배선들로부터 인가되는 데이터전압을 액정셀에 공급할 수 있다.
- <33> 액정셀은 데이터 배선들로부터 데이터 전압이 공급되는 화소 전극과, 공통 전압이 인가되는 공통 전극 사이에 형성될 수 있다.
- <34> 이에 따라, 액정표시장치는 각 서브 픽셀의 박막 트랜지스터가 텐-온되어 화소 전극으로 데이터 전압이 인가되면, 액정셀에 데이터전압과 공통 전압의 차전압이 충전되면서 화상을 표시할 수 있다.
- <35> 이와 반대로, 게이트 배선들로부터 게이트 로우 전압이 공급되는 경우, 박막 트랜지스터는 텐-오프되면서 액정셀에 충전된 데이터전압이 스토리지 커패시터에 의해 1프레임 기간 동안 유지할 수 있다.
- <36> 이와 같이, 액정패널(183)은 게이트 배선들을 통해 공급되는 스캔 신호에 따라 상이한 동작을 반복할 수도 있다.
- <37> 이하에서는, 도 1a의 "Z"영역의 확대도를 참조하여 본 발명의 일 실시예에 따른 액정표시장치의 서브 픽셀의 회로 구성에 대해 더욱 자세히 설명한다.
- <38> 도 2는 도 1a에 도시된 "Z"영역에 위치하는 서브 픽셀의 회로 구성 예시도이고, 도 3a는 도 2에 도시된 "A1-A2"영역의 단면도이며, 도 3b는 도 2에 도시된 "B1-B2"영역의 단면도이다.
- <39> 단, 도 2는 도 1a의 "Z"영역에 위치하는 배선과 배선에 연결된 서브 픽셀의 회로 구성을 개략적으로 도시한 것일 뿐 본 발명은 이에 한정되지 않는다.
- <40> 도 2에 도시된 바와 같이, 게이트라인(119)과 데이터라인(120)을 포함할 수 있다. 또한, 게이트라인(119)과 평행하게 위치하는 공통라인(130)을 포함할 수 있다.
- <41> 게이트라인(119), 데이터라인(120) 및 공통라인(130)이 교차하는 영역에는 서브 픽셀이 정의될 수 있다. 이러한 서브 픽셀은, 게이트라인(119)과 데이터라인(120)에 연결된 박막 트랜지스터(T)를 포함할 수 있다. 또한, 박막 트랜지스터(T)의 제2전극에 연결된 화소 전극(140)을 포함할 수 있다. 또한, 공통라인(130)에 연결된 공통전극(150)을 포함할 수 있다. 또한, 제2전극으로부터 연장되어 게이트라인(119) 상에 중첩되는 연장부(160)를 포함할 수 있다.
- <42> 이상과 같은 서브 픽셀은, 화소 전극(140) 및 공통전극(150) 상에 위치하는 액정셀(미도시)을 포함할 수 있다.
- <43> 한편, 공통라인(130)과 공통전극(150)은 콘택홀(VH1)을 통해 전기적으로 연결될 수 있으며, 공통라인(130)과 공

통전극(150)이 대응하는 영역에 스토리지 커패시터가 형성될 수 있다. 그리고 제2전극과 화소 전극(140)은 콘택 훌(VH2)을 통해 연결될 수 있다. 그리고 화소 전극(140) 및 공통전극(150)은 도시된 바와 같이 상호 교변하여 교차할 수 있으나 이에 한정되지 않는다.

- <44> 이하에서는, 도 3a를 참조하여 도 2에 도시된 박막 트랜지스터(T)에 대해 더욱 자세히 설명한다.
- <45> 도 3a에 도시된 바와 같이, 박막 트랜지스터(T)는 기판(110) 상에 위치하는 게이트라인(119)에 연결된 게이트(111)를 포함할 수 있다. 또한, 게이트(111) 상에 위치하는 게이트 절연막(112)을 포함할 수 있다. 또한, 게이트 절연막(112) 상에 위치하는 반도체층(113)을 포함할 수 있다. 또한, 게이트 절연막(112) 상에 위치하고 반도체층(113)에 일측에 접촉하며 데이터라인(120)에 연결된 제1전극(114a)을 포함할 수 있다. 또한, 게이트 절연막(112) 상에 위치하고 반도체층(113)의 타측에 접촉하는 제2전극(114b)을 포함할 수 있다. 또한, 제1전극(114a) 및 제2전극(114b) 상에 위치하는 보호막(115)을 포함할 수 있다.
- <46> 여기서, 반도체층(113)은 n+ 또는 p+ 불순물이 도핑될 수 있으며, 반도체층(113)과 접촉하는 제1전극(114a) 및 제2전극(114b)의 사이에는 오믹 콘택층이 위치할 수 있다.
- <47> 여기서, 제1전극(114a)은, 제2전극(114b)의 일부를 감싸는 디귿(ㄷ) 형태일 수 있으나 이에 한정되지 않는다.
- <48> 이하에서는, 도 3b를 참조하여 도 2에 도시된 연장부(160)에 대해 더욱 자세히 설명한다.
- <49> 도 3b에 도시된 바와 같이, 연장부(160)는 기판(110) 상에 위치하는 게이트 절연막(112) 상에서 게이트라인(119)과 중첩되도록 위치할 수 있다. 연장부(160), 게이트 절연막(112) 및 게이트라인(119)이 중첩되는 영역에 따라 다른 용량을 갖는 인위적인 커패시터를 형성할 수 있다. 그러므로, 연장부(160)는 기판(110) 상에 위치하는 서브 픽셀마다 게이트라인(119)과 중첩되는 영역의 길이를 달리하여 특정 영역에서 휘도 편차가 나타나는 문제와 아울러 액정 배열 불균일에 따른 깜빡임 현상 문제를 보상할 수 있는 패턴 커패시터로 사용할 수 있다.
- <50> 한편, 연장부(160)의 말단은 반구형일 수 있다.
- <51> 연장부(160)의 말단이 반구 형상을 갖게 되면, 게이트라인(119)과 중첩되는 영역에서 균일한 전계를 형성할 수 있으며, 균일한 전계 형성으로 인해 액정 배열의 안정화를 가져올 수 있는 효과가 있다.
- <52> 다음의 도 4a 및 도 4b는 연장부의 형태에 따른 전계 현상 사진이다.
- <53> 먼저, 도 4a는 연장부의 말단이 사각형 형상으로 형성된 것을 나타낸다. 연장부의 말단이 사각형으로 형성되면, 도시된 바와 같이 각진 부분의 전계가 주위대비 강하게 형성됨을 알 수 있다. 이와 같이, 연장부의 말단 형상이 각진 사각형 형태로 형성되면 각진 부분의 강한 전계에 의해 액정 배열의 왜곡이 발생할 수 있다.
- <54> 반면, 도 4b는 연장부의 말단이 반구형 형상으로 형성된 것을 나타낸다. 연장부의 말단이 반구형으로 형성되면, 도시된 바와 같이 반구형 주변으로 균일한 전계가 형성됨을 알 수 있다. 이와 같이, 연장부의 말단 형상이 등근 반구형 형태로 형성되면 균일한 전계 형성을 할 수 있어 액정 배열의 안정화를 가져올 수 있다.
- <55> 따라서, 연장부(160)의 말단을 반구형 형상으로 형성하면 사각형 형상에 비해 액정 배열이 왜곡되는 현상을 저하할 수 있으므로 연장부(160)의 말단은 반구형으로 형성할 수 있다.
- <56> 이때, 연장부(160)의 곡률 반경은, 연장부(160)의 폭보다 크거나 같고 연장부(160)의 폭의 2.5배보다 작거나 같을 수 있다. 여기서, 연장부(160)의 곡률 반경이 연장부(160)의 폭보다 크거나 같으면 균일한 전계 효과를 형성할 수 있다. 반면, 연장부(160)의 곡률 반경이 연장부(160)의 폭의 2.5배보다 작거나 같으면 전계 효과를 더욱 향상시킬 수 있다.
- <57> 즉, 앞서 설명한 연장부(160)는 비정상적인 액정의 배열로 인해 신뢰성 테스트시 휘점 등의 불량 발생 문제를 해결할 수 있으며, 전계 및 액정의 왜곡 현상을 방지할 수 있는 보상 패턴일 수 있다.
- <58> 이하에서는, 도 1a의 "Z"영역의 확대도를 참조하여 본 발명의 다른 실시예에 따른 액정표시장치의 서브 픽셀의 회로 구성에 대해 더욱 자세히 설명한다.
- <59> 도 5는 본 발명의 다른 실시예에 따른 서브 픽셀의 회로 구성 예시도이고, 도 6a는 도 5에 도시된 "C1-C2"영역의 단면도이며, 도 6b는 도 5에 도시된 "D1-D2"영역의 단면도이다.
- <60> 단, 도 5는 도 1a의 "Z"영역에 위치하는 배선과 배선에 연결된 서브 픽셀의 회로 구성을 개략적으로 도시한 것일 뿐 본 발명은 이에 한정되지 않는다.

- <61> 도 5에 도시된 바와 같이, 게이트라인(219)과 데이터라인(220)을 포함할 수 있다. 또한, 게이트라인(219)과 평행하게 위치하는 공통라인(230)을 포함할 수 있다.
- <62> 게이트라인(219), 데이터라인(220) 및 공통라인(230)이 교차하는 영역에는 서브 광셀이 정의될 수 있다. 이러한 서브 광셀은, 게이트라인(219)과 데이터라인(220)에 연결된 박막 트랜지스터(T)를 포함할 수 있다. 또한, 박막 트랜지스터(T)의 제2전극에 연결된 화소 전극(240)을 포함할 수 있다. 또한, 공통라인(230)에 연결된 공통전극(250)을 포함할 수 있다. 또한, 제2전극으로부터 연장되어 게이트라인(219) 상에 중첩되는 연장부(260)를 포함할 수 있다.
- <63> 이상과 같은 서브 광셀은, 화소 전극(240) 및 공통전극(250) 상에 위치하는 액정셀(미도시)을 포함할 수 있다.
- <64> 한편, 공통라인(230)과 공통전극(250)은 콘택홀(VH1)을 통해 전기적으로 연결될 수 있으며, 공통라인(230)과 공통전극(250)이 대응하는 영역에 스토리지 커패시터가 형성될 수 있다. 그리고 제2전극과 화소 전극(240)은 콘택홀(VH2)을 통해 연결될 수 있다. 그리고 화소 전극(240) 및 공통전극(250)은 도시된 바와 같이 상호 교변하여 교차할 수 있으나 이에 한정되지 않는다.
- <65> 이하에서는, 도 6a를 참조하여 도 5에 도시된 박막 트랜지스터(T)에 대해 더욱 자세히 설명한다.
- <66> 도 6a에 도시된 바와 같이, 박막 트랜지스터(T)는 기판(210) 상에 위치하는 게이트라인(219)에 연결된 게이트(211)를 포함할 수 있다. 또한, 게이트(211) 상에 위치하는 게이트 절연막(212)을 포함할 수 있다. 또한, 게이트 절연막(212) 상에 위치하는 반도체층(213)을 포함할 수 있다. 또한, 게이트 절연막(212) 상에 위치하고 반도체층(213)의 일측에 접촉하며 데이터라인(220)에 연결된 제1전극(214a)을 포함할 수 있다. 또한, 게이트 절연막(212) 상에 위치하고 반도체층(213)의 타측에 접촉하는 제2전극(214b)을 포함할 수 있다. 또한, 제1전극(214a) 및 제2전극(214b) 상에 위치하는 보호막(215)을 포함할 수 있다.
- <67> 여기서, 반도체층(213)은 n+ 또는 p+ 불순물이 도핑될 수 있으며, 반도체층(213)과 접촉하는 제1전극(214a) 및 제2전극(214b)의 사이에는 오믹 콘택층이 위치할 수 있다.
- <68> 여기서, 제1전극(214a)은, 제2전극(214b)의 일부를 감싸는 디귿(ㄷ) 형태일 수 있으나 이에 한정되지 않는다.
- <69> 이하에서는, 도 6b를 참조하여 도 5에 도시된 연장부(260)에 대해 더욱 자세히 설명한다.
- <70> 도 6b에 도시된 바와 같이, 연장부(260)는 기판(210) 상에 위치하는 게이트 절연막(212) 상에서 게이트라인(219)과 중첩되도록 위치할 수 있다.
- <71> 연장부(260)는, 기판(210) 상에 위치하는 서브 광셀마다 게이트라인(219)과 중첩되는 영역의 길이가 다를 수 있다. 연장부(260), 게이트 절연막(212) 및 게이트라인(219)은 중첩되는 영역에 따라 다른 용량을 갖는 인위적인 커패시터를 형성할 수 있다.
- <72> 여기서, 연장부(260)의 말단은 반구형일 수 있다.
- <73> 연장부(260)의 말단이 반구 형상을 갖게 되면, 게이트라인(219)과 중첩되는 영역에서 균일한 전계를 형성할 수 있으며, 균일한 전계 형성으로 인해 액정 배열의 안정화를 가져올 수 있는 효과가 있다.
- <74> 이상 본 발명은, 박막 트랜지스터를 구성하는 전극 패턴을 개선하여 전계 및 액정의 왜곡 현상에 의해 휘점 불량이 발생하는 문제를 해결할 수 있는 액정표시장치를 제공하는 효과가 있다. 또한, 박막 트랜지스터를 구성하는 전극 패턴의 개선으로 고온 휘점 다발 같은 사이드 이펙트를 예방함과 아울러 표시품질을 향상시키는 효과가 있다.
- <75> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

### 도면의 간단한 설명

- <76> 도 1a는 본 발명의 일 실시예에 따른 액정표시장치의 분해 사시도.

<77> 도 1b는 예지형 광원의 일 예시도.

<78> 도 2는 본 발명의 일 실시예에 따른 서브 픽셀의 회로 구성 예시도.

<79> 도 3a는 도 2에 도시된 "A1-A2"영역의 단면도.

<80> 도 3b는 도 2에 도시된 "B1-B2"영역의 단면도.

<81> 도 4a 및 도 4b는 연장부의 형태에 따른 전계 현상 사진.

<82> 도 5는 본 발명의 다른 실시예에 따른 서브 픽셀의 회로 구성 예시도.

<83> 도 6a는 도 5에 도시된 "C1-C2"영역의 단면도.

<84> 도 6b는 도 5에 도시된 "D1-D2"영역의 단면도.

<85> <도면의 주요 부분에 관한 부호의 설명>

<86> 119: 게이트라인 120: 데이터라인

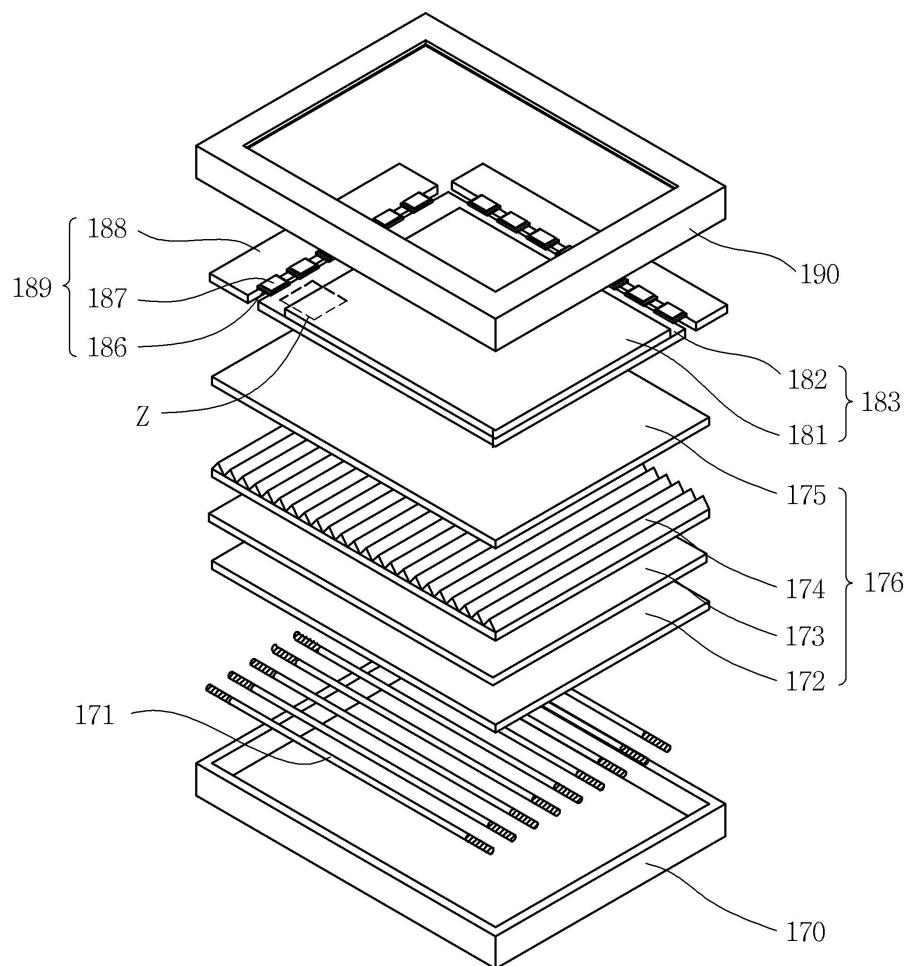
<87> 130: 공통라인 140: 화소 전극

<88> 150: 공통전극 160: 연장부

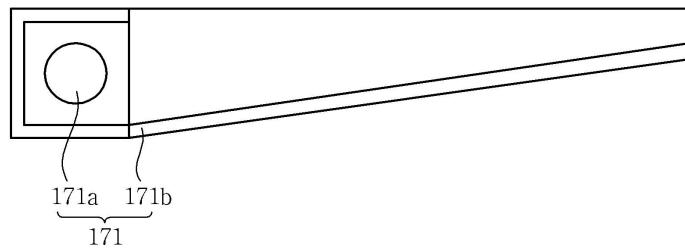
<89> T: 박막 트랜지스터 VH1, VH2: 콘택홀

## 도면

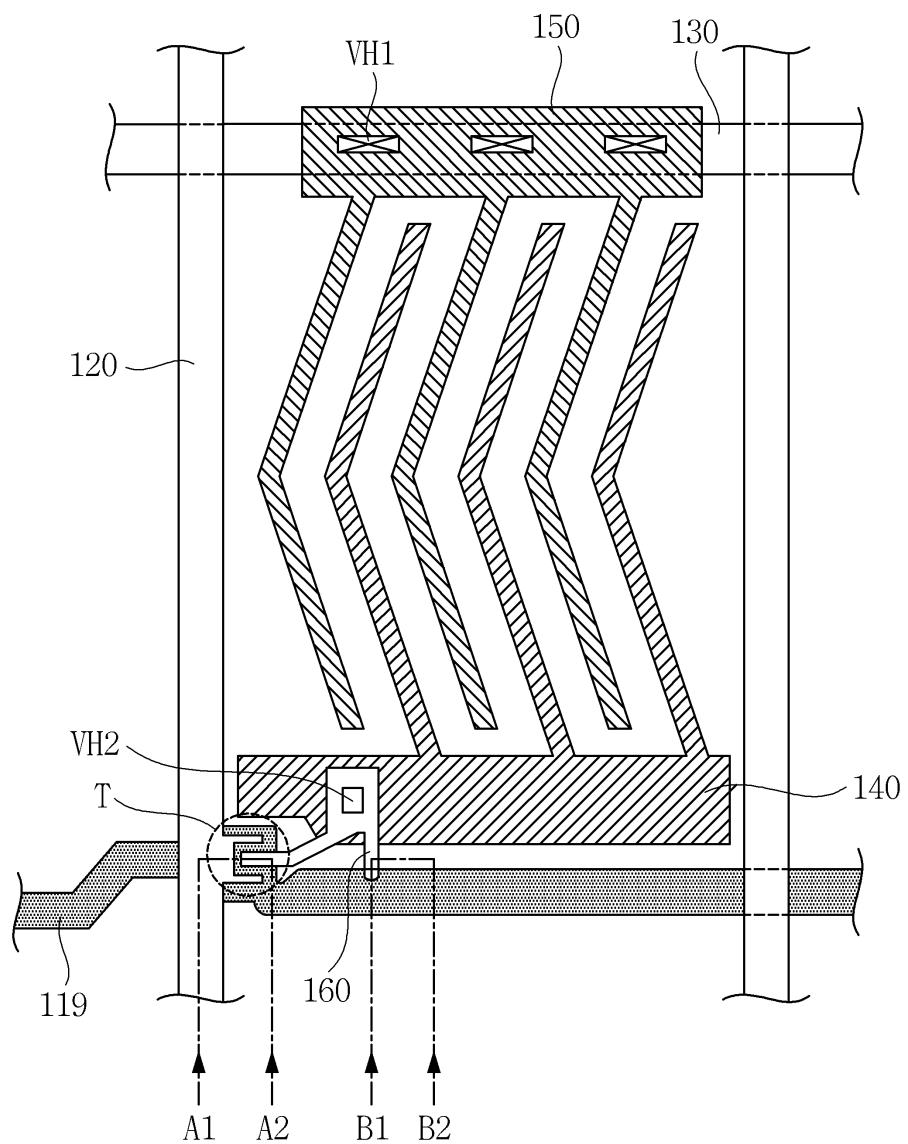
### 도면1a



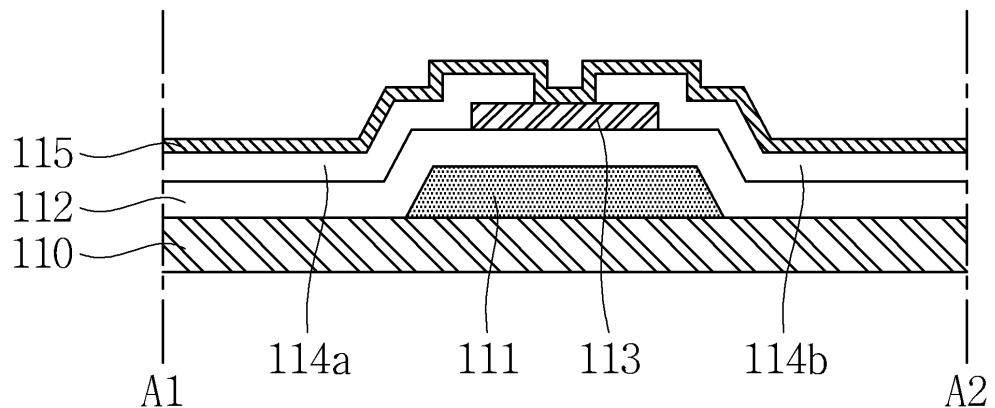
도면1b



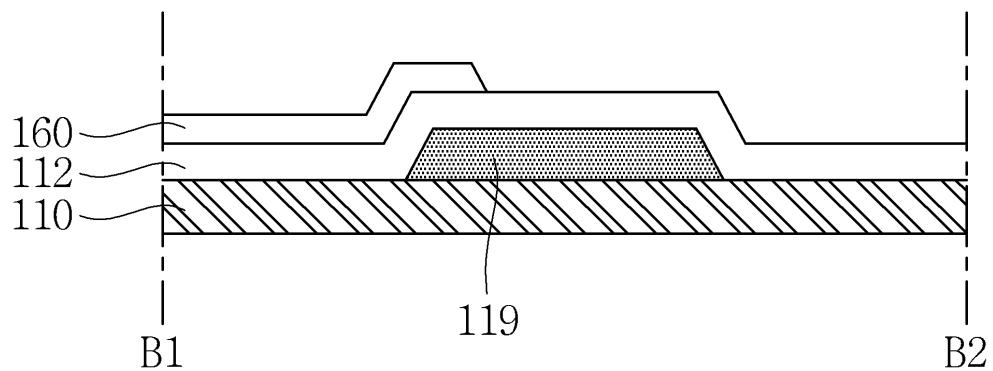
도면2



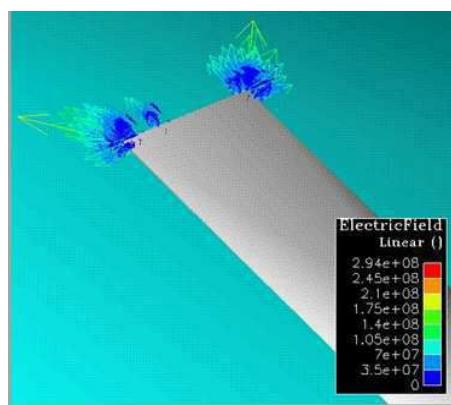
도면3a



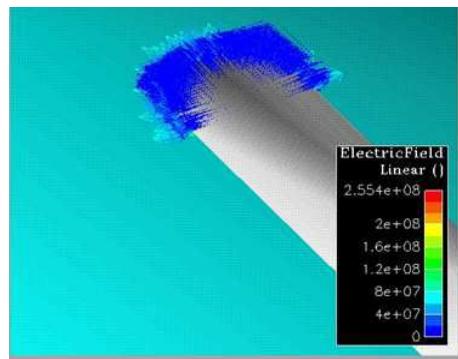
도면3b



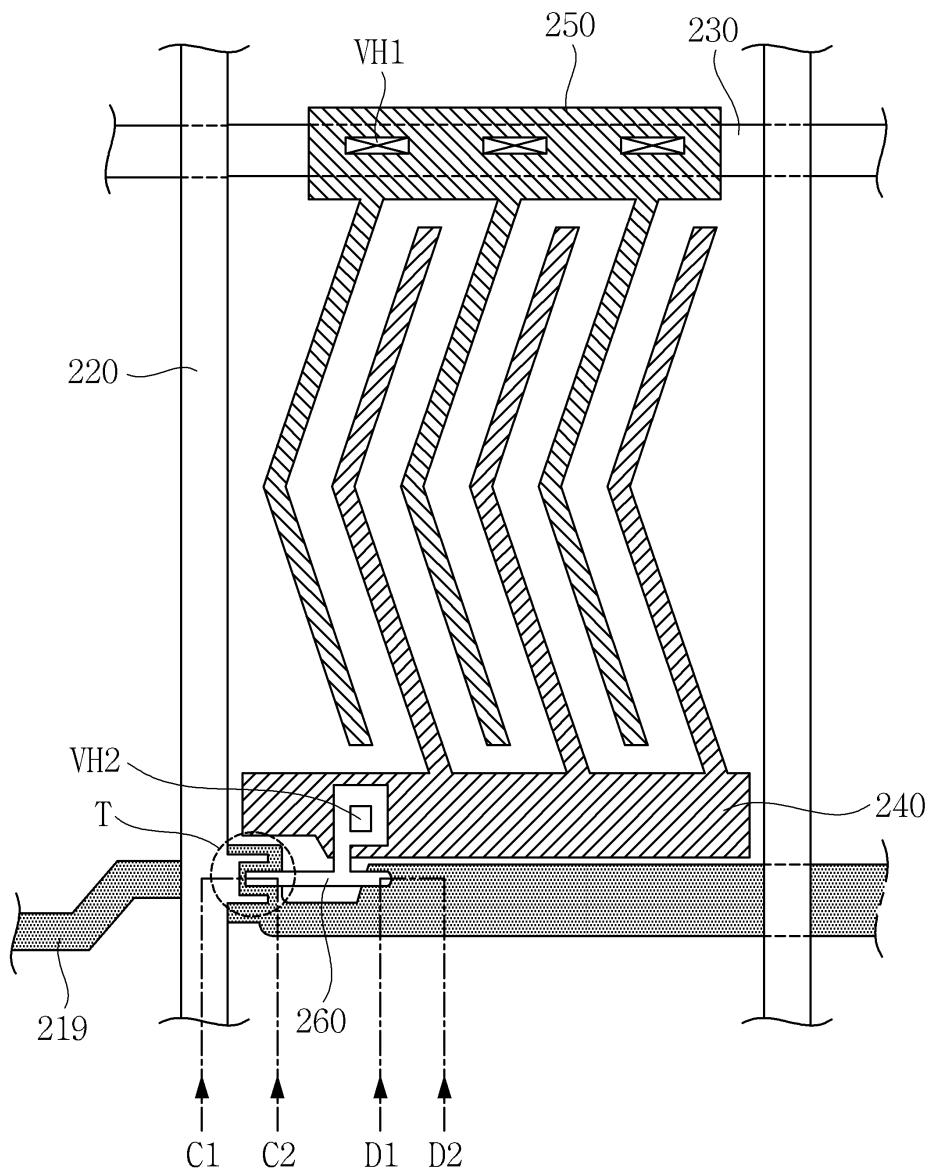
도면4a



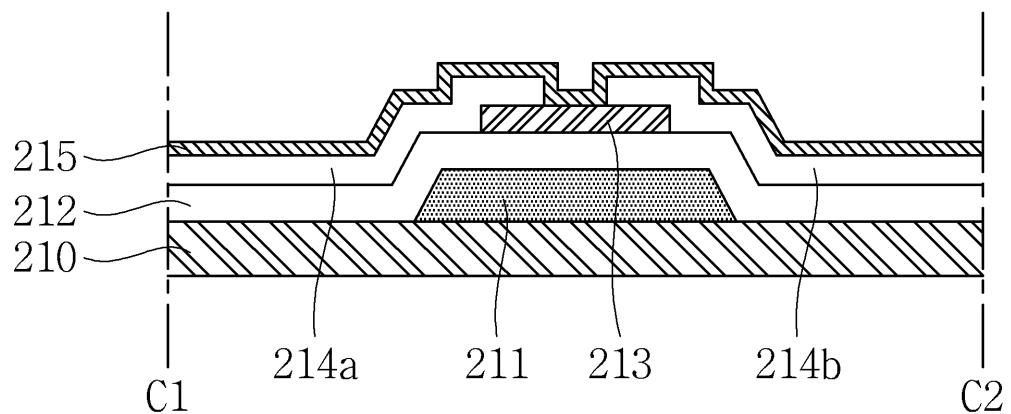
도면4b



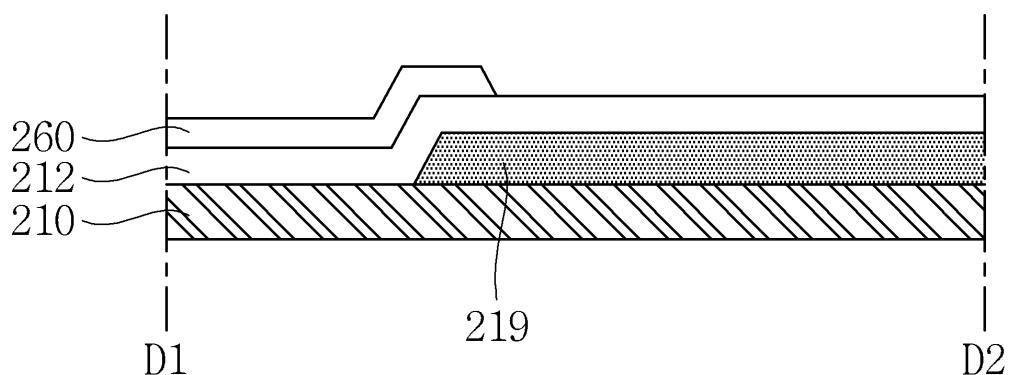
도면5



도면6a



도면6b



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020090067932A</a>	公开(公告)日	2009-06-25
申请号	KR1020070135760	申请日	2007-12-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YUN SOON IL 윤순일 LEE JUNG ROK 이정록		
发明人	윤순일 이정록		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136286 G02B6/0061 G02F1/1343 H01L29/786		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

本发明提供一种液晶显示器，包括：栅极线和位于基板上的数据线；公共线位于基板上并且平行于栅极线定位；并且，栅极连接到栅极线，第一电极连接到数据线，第二电极用于传输通过第一电极提供的数据电压，以及像素电极连接到第二电极，根据权利要求1所述的液晶显示装置，其中，第二电极包括从第二电极延伸并与栅极线重叠的第二电极，其中第二电极包括第一电极和第二电极。

