



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0005863
(43) 공개일자 2009년01월14일

(51) Int. Cl.

G02F 1/1335 (2006.01)

(21) 출원번호 10-2007-0069241

(22) 출원일자 2007년07월10일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박재현

충남 천안시 두정동 대우1차아파트 102-2208

김경욱

서울 강남구 역삼1동 621-23

윤여건

서울 중구 중림동 삼성사이버아파트 112-204

(74) 대리인

특허법인가산

전체 청구항 수 : 총 1 항

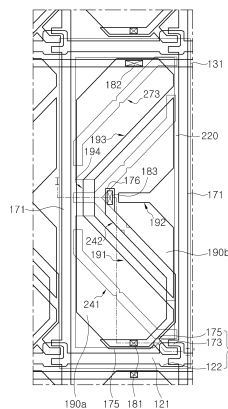
(54) 액정 표시 장치

(57) 요약

본 발명은 액정 표시 장치에 관한 것으로, 제 1 기관상의 게이트 라인 및 데이터 라인에 의해 정의된 픽셀 영역에 형성되며, 절개부에 의해 서로 이격된 제 1 및 제 2 픽셀 전극과, 제 1 픽셀 전극의 데이터 라인과 평행한 폭이 좁은 영역으로부터 제 2 픽셀 영역 사이의 절개부에 대응하는 영역 및 픽셀 영역에 대응하는 영역에 형성된 블랙 매트릭스를 포함한다.

본 발명에 의하면 오버레이 마진 및 미스 얼라인 마진을 더욱 확보할 수 있어 하부 기관 제조 공정에서 픽셀이 오버레이 마진을 벗어나게 되거나, 하부 기관과 상부 기관의 합착 공정에서 미스 얼라인이 발생되더라도 제 1 픽셀 전극의 브리지 영역이 블랙 매트릭스 밖으로 노출되지 않아 표시 불량 발생되지 않는다.

대표도 - 도3



특허청구의 범위

청구항 1

제 1 기관상의 게이트 라인 및 데이터 라인에 의해 정의된 픽셀 영역에 형성되며, 절개부에 의해 서로 이격된 제 1 및 제 2 픽셀 전극; 및

상기 제 1 픽셀 전극의 상기 데이터 라인과 평행한 폭이 좁은 영역으로부터 상기 제 2 픽셀 영역 사이의 절개부까지의 영역에 대응하는 영역 및 상기 픽셀 영역에 대응하는 영역에 형성된 블랙 매트릭스를 포함하는 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 액정 표시 장치에 관한 것으로, 특히 표시 품질을 향상시킬 수 있는 액정 표시 장치에 관한 것이다.

배경 기술

<2> 액정 표시 장치(Liquid Crystal Display: 이하, "LCD"라 함)는 박막 트랜지스터, 화소 전극 등이 형성되어 있는 하부 기판과, 공통 전극 등이 형성된 상부 기판, 그리고 이들 사이에 형성된 액정층을 포함하여 구성된다. 이러한 LCD의 화소 전극 및 공통 전극에 전압을 인가하면 두 전극의 전위차로 인하여 액정층에 전기장이 생성되고, 이 전기장의 세기에 따라 액정 분자들의 배열이 변화된다. 액정 분자의 배열 변화는 액정층을 통과하는 빛의 편광을 변화시키고, 이는 기판의 바깥면에 구비된 편광자에 의하여 빛의 투과율 변화로 나타난다. 그러므로 두 전극의 전위차를 조절하여 전기장의 세기를 바꿈으로써 LCD를 통과하는 빛의 투과율을 조절할 수 있다.

<3> 그런데, LCD는 시야각이 좁은 것이 중요한 단점이다. 이러한 단점을 극복하고자 시야각을 넓히기 위한 다양한 방안이 개발되고 있는데, 그 중에서도 액정 분자를 상부 및 하부 기판에 대하여 수직으로 배향하고 화소 전극과 공통 전극에 일정한 절개 패턴을 형성하거나 돌기를 형성하는 방법이 있다. 이들은 프린지 필드(fringe field)를 형성하여 액정의 기우는 방향을 고르게 분산시킴으로써 넓은 시야각을 확보하는 방법이다. 이 중에서 전극에 절개 패턴을 형성하는 PVA(Patterned Vertically Alignment) 모드는 IPS(In Plane Switching) 모드를 대체할 수 있는 넓은 시야각 기술로 인정받고 있다. PVA 모드 LCD는 다중 도메인을 정의하기 위해 패턴된 공통 전극층을 갖는 상부 기판과 패턴된 화소 전극을 갖는 하부 기판을 포함한다.

<4> 그런데, 최근에는 시야각의 더욱 개선을 위해 서로 다른 픽셀 전압을 갖는 분리된 두 개의 픽셀 전극, 즉 제 1 픽셀 전극과 제 2 픽셀 전극을 하나의 픽셀 영역내에 형성하는 슈퍼 PVA(SPVA) 모드가 제시되었다. SPVA 모드는 제 1 픽셀 전극에는 박막 트랜지스터를 경유하여 직접적으로 데이터 전압이 인가되고, 제 2 픽셀 전극에는 제 1 픽셀 전극과의 커플링 캐패시터를 경유하여 간접적으로 데이터 전압이 인가되어 전압 차이가 유도되는 방법이다. 이러한 SPVA 모드는 측면 제조 공정이나 반전을 개선하여 측면 시인성을 향상시킬 수 있다.

<5> 그런데, SPVA 모드의 픽셀 전극은 일 데이터 라인을 기준으로 좌우 비대칭 구조로 형성된다. 이에 따라 데이터 라인의 신호 변화시 데이터 라인 양측의 두 제 1 픽셀 전극이 데이터 라인과 이루는 커플링 캐패시턴스가 서로 다를 수 밖에 없으며, 이러한 좌우 제 1 픽셀 전극의 커플링 캐패시턴스의 차이로 인해 표시 불량이 발생하게 된다. 예를들어, 적색, 녹색 및 청색 픽셀 순으로 픽셀이 배열되고, 데이터 신호를 인가하면 적색 픽셀의 상단부 및 하단부에 푸르스름한 크로스톡(crosstalk)이 발생된다. 이는 적색 픽셀에 인가되는 데이터 신호가 녹색 및 청색 픽셀에 인가되는 데이터 신호보다 상대적으로 크기 때문에 적색 픽셀과 인접한 녹색 픽셀이 커플링 캐패시턴스의 영향을 받아 녹색 픽셀의 제 1 픽셀 전극의 휘도가 변하기 때문에 발생하는 현상이다.

<6> 여기서, 휘도 변화가 가장 심한 부분은 제 1 픽셀 전극의 브리지 영역이다. 이 영역은 다른 영역에 비해 폭이 상당히 좁은 영역으로 커플링 캐패시턴스에 의한 텍스처(Texture) 변화가 가장 크다. 따라서, 상부 기판의 블랙 매트릭스가 브리지 영역을 가리도록 형성되지만, 하부 기판 제조 공정에서 픽셀이 오버레이 마진을 벗어나게 되거나, 하부 기판과 상부 기판의 합착 공정에서 미스 얼라인(miss align)이 발생되어 제 1 픽셀 전극의 브리지 영역이 블랙 매트릭스 밖으로 드러나게 되어 표시 불량이 발생하게 된다.

<7> 이러한 표시 불량을 억제하기 위해서는 블랙 매트릭스의 폭을 증가시키면 되지만, 그에 따라 개구율이 감소되

는 문제가 발생된다.

발명의 내용

해결 하고자하는 과제

- <8> 본 발명은 SPVA 모드에서 제 1 픽셀 전극의 브리지 영역의 휘도 변화에 의한 표시 불량을 방지할 수 있는 액정 표시 장치를 제공한다.
- <9> 본 발명은 제 1 픽셀 전극의 브리지 영역과 제 2 픽셀 전극 사이 영역에 대응되는 상부 기관의 영역까지 블랙 매트릭스를 형성함으로써 SPVA 모드에서 제 1 픽셀 전극의 브리지 영역의 휘도 변화에 의한 표시 불량을 방지할 수 있는 액정 표시 장치를 제공한다.

과제 해결수단

- <10> 본 발명의 일 양태에 따른 액정 표시 장치는 제 1 기관상의 게이트 라인 및 데이터 라인에 의해 정의된 픽셀 영역에 형성되며, 절개부에 의해 서로 이격된 제 1 및 제 2 픽셀 전극; 및 상기 제 1 픽셀 전극의 상기 데이터 라인과 평행한 폭이 좁은 영역으로부터 상기 제 2 픽셀 영역 사이의 절개부까지의 영역에 대응하는 영역 및 상기 픽셀 영역에 대응하는 영역에 형성된 블랙 매트릭스를 포함한다.
- <11> 상기 제 1 기관상의 일 방향으로 연장 형성된 복수의 상기 게이트 라인; 상기 게이트 라인과 절연되며 상기 게이트 라인과 교차하는 방향으로 연장 형성된 복수의 상기 데이터 라인; 및 상기 게이트 라인, 상기 데이터 라인 및 상기 제 1 픽셀 전극에 각각 연결된 박막 트랜지스터를 더 포함한다.
- <12> 상기 데이터 라인과 동일층에 형성되며, 상기 제 2 픽셀 전극의 일부와 중첩되는 결합 전극을 더 포함한다.
- <13> 상기 박막 트랜지스터는 상기 게이트 라인으로부터 분기된 게이트 전극; 상기 데이터 라인으로부터 분기된 소스 전극; 및 상기 데이터 라인으로부터 분리된 드레인 전극을 포함한다.
- <14> 상기 결합 전극은 상기 드레인 전극과 연결된다.
- <15> 상기 절개부는 상기 게이트 라인과 사선 방향으로 형성되며 서로 거울상으로 형성된 제 1 및 제 2 절개부; 및 상기 제 1 및 제 2 절개부를 연결하며 상기 데이터 라인과 평행한 제 3 절개부를 포함한다.
- <16> 상기 제 2 기관상의 상기 블랙 매트릭스가 형성되지 않은 영역에 형성된 컬러 필터; 및 상기 제 2 기관상에 전체적으로 형성된 공통 전극을 더 포함한다.
- <17> 상기 공통 전극은 복수의 절개부를 더 포함한다.
- <18> 상기 공통 전극의 절개부는 상기 제 1 및 제 2 픽셀 전극을 분리하기 위한 제 1 및 제 2 절개부와 평행한 영역을 포함한다.
- <19> 상기 블랙 매트릭스는 상기 공통 전극의 절개부와 중첩되는 영역에 더 형성될 수도 있다.
- <20> 상기 제 1 기관과 상기 제 2 기관 사이에 형성된 액정층을 더 포함한다.

효 과

- <21> 본 발명에 의하면, 제 1 픽셀 전극의 브리지 영역과 제 2 픽셀 전극 사이의 영역에 대응되는 상부 기관의 영역까지 블랙 매트릭스를 형성함으로써 오버레이 마진 및 미스 얼라인 마진을 더욱 확보할 수 있다. 따라서, 하부 기관 제조 공정에서 픽셀이 오버레이 마진을 벗어나게 되거나, 하부 기관과 상부 기관의 합착 공정에서 미스 얼라인이 발생되더라도 제 1 픽셀 전극의 브리지 영역이 블랙 매트릭스 밖으로 노출되지 않아 표시 불량이 발생되지 않는다. 이에 따라, SPVA 모드의 LCD의 표시 품질을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <22> 이하, 첨부된 도면을 참조하여 본 발명의 실시 예를 상세히 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- <23> 도 1은 본 발명의 일 실시 예에 따른 액정 표시 패널의 하부 기관의 평면도이고, 도 2는 본 발명의 일 실시 예

에 따른 상부 기관의 평면도이다. 또한, 도 3은 본 발명의 일 실시 예에 따른 액정 표시 패널의 평면도이고, 도 4는 도 3의 I-I' 라인을 따라 절취한 단면도이다.

- <24> 도 1, 도 2, 도 3 및 도 4를 참조하면, 액정 표시 패널은 박막 트랜지스터(T), 제 1 및 제 2 픽셀 전극(190a 및 190b) 등이 형성된 하부 기관(100)과 컬러 필터(230) 및 공통 전극(240) 등이 형성된 상부 기관(200)과 이들 사이에 형성된 액정층(300)을 포함한다.
- <25> 하부 기관(100)은 제 1 절연 기관(110) 상부에 일 방향으로 연장되는 복수의 게이트 라인(121)과, 게이트 라인(121)과 교차되는 타 방향으로 연장되는 복수의 데이터 라인(171)과, 게이트 라인(121)과 데이터 라인(171)에 의해 정의된 픽셀 영역에 형성되며 절개부(191 및 193)에 의해 분리된 제 1 및 제 2 픽셀 전극(190a 및 190b)과, 게이트 라인(121), 데이터 라인(171) 및 제 1 픽셀 전극(190a)에 접속된 박막 트랜지스터(T)를 포함한다.
- <26> 게이트 라인(121)은 일 방향, 예를들어 가로 방향으로 연장되며, 게이트 라인(121)의 일부가 돌출되어 게이트 전극(122)이 형성된다. 게이트 라인(121)과 동일 층에는 유지 전극 라인(131)이 게이트 라인(121)과 동일 방향으로 형성된다. 유지 전극 라인(131)은 게이트 라인(121) 사이의 중앙부에 형성될 수 있고, 게이트 라인(121)의 일측에 치우쳐 형성될 수 있다. 또한, 유지 전극 라인(131)은 제 1 픽셀 전극(190a)과 중첩되어 유지 축전기를 형성한다.
- <27> 여기서, 게이트 라인(121) 및 유지 전극 라인(131)은 알루미늄(Al), 네오디뮴(Nd), 은(Ag), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 및 몰리브덴(Mo) 중 적어도 어느 하나의 금속 또는 이들을 포함하는 합금으로 형성될 수 있다. 또한, 게이트 라인(121) 및 유지 전극 라인(131)은 단일층 뿐만 아니라 복수 금속층의 다중층으로 형성될 수 있다. 즉, 물리 화학적 특성이 우수한 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 등의 금속층과 비저항이 작은 알루미늄(Al) 계열 또는 은(Ag) 계열의 금속층을 포함하는 이중층으로 형성할 수도 있다.
- <28> 게이트 라인(121) 및 유지 전극 라인(131)을 포함한 전체 상부에 게이트 절연막(140)이 형성된다. 게이트 절연막(140)은 산화 실리콘(SiO_2) 또는 질화 실리콘(SiNx) 등을 이용하여 단일층 또는 다층으로 형성될 수 있다.
- <29> 게이트 전극(122) 상부의 게이트 절연막(140) 상부에는 비정질 실리콘 등의 반도체로 이루어진 활성층(151)이 형성되며, 활성층(151)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 실리콘 등의 물질로 이루어진 오믹 콘택층(161)이 형성된다.
- <30> 게이트 절연막(140) 상부에는 데이터 라인(171)이 형성되며, 오믹 콘택층(161) 상부에는 데이터 라인(171)으로부터 돌출된 소오스 전극(173) 및 드레인 전극(175)이 형성된다. 데이터 라인(171)은 게이트 라인(121)과 교차하는 방향, 즉 세로 방향으로 연장되며, 데이터 라인(171)과 게이트 라인(121)의 교차 영역이 픽셀 영역으로 정의된다. 소오스 전극(173)은 데이터 라인(171)으로부터 오믹 콘택층(161) 상부까지 연장 돌출되어 형성되고, 소오스 전극(173)과 이격되어 드레인 전극(175)이 형성된다.
- <31> 또한, 데이터 라인(171)과 동일 층에는 결합 전극(176)이 형성된다. 여기서, 결합 전극(176)은 드레인 전극(175)과 연결되어 픽셀 영역의 중앙부까지 연장 형성된다. 그런데, 결합 전극(176)은 드레인 전극(175)와 분리되어 형성될 수도 있다.
- <32> 한편, 데이터 라인(171), 드레인 전극(175) 및 결합 전극(176)은 게이트 라인(121) 및 유지 전극 라인(131)과 마찬가지로 네오디뮴(Nd), 은(Ag), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 및 몰리브덴(Mo) 중 적어도 어느 하나의 금속 또는 이들을 포함하는 합금으로 형성될 수 있고, 단일층 뿐만 아니라 복수 금속층의 다중층으로 형성될 수 있다.
- <33> 데이터 라인(171) 및 드레인 전극(175) 상부에는 평탄화 특성이 우수하며, 감광성을 갖는 유기 물질, 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PECVD)으로 형성되는 저유전율 절연 물질 또는 질화 실리콘 등으로 이루어진 보호막(180)이 형성된다. 이때, 보호막(180)은 질화 실리콘 또는 산화 실리콘 등으로 이루어진 제 1 절연층(185)과 유기 절연 물질로 이루어진 제 2 층(186)으로 형성될 수 있다.
- <34> 보호막(180)에는 드레인 전극(175)을 노출시키는 콘택홀(181)과 유지 전극 라인(131) 상부의 게이트 절연막(140)을 노출시키는 제 1 개구부(182)가 형성된다. 즉, 콘택홀(181) 및 제 1 개구부(182)는 제 1 및 제 2 절연층(185 및 186)의 소정 영역을 제거하여 드레인 전극(175) 및 유지 전극 라인(131) 상부의 게이트 절연막형성한다. 또한, 보호막(180)에는 결합 전극(176) 상부의 일부를 노출시키는 제 2 개구부(183)가 형성되는데, 제 2 개구부(183)는 제 2 절연층(182)이 제거되고 제 1 절연층(182)이 잔류되도록 형성된다.

- <35> 보호막(180) 상부에는 제 1 및 제 2 픽셀 전극(190a 및 190b)이 형성된다. 제 1 및 제 2 픽셀 전극(190a 및 190b)은 통상 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전 물질로 형성된다. 제 1 및 제 2 픽셀 전극(190a 및 190b)은 절개부(191, 193 및 194)에 의해 분리되며, 제 1 픽셀 전극(190a)은 콘택홀(181)을 통해 드레인 전극(175)과 연결되고 제 1 개구부(182)를 통해 유지 전극 라인(131)과 중첩되며, 제 2 픽셀 전극(190b)은 제 2 개구부(183)를 통해 결합 전극(176)과 중첩된다. 따라서, 제 2 픽셀 전극(190b)과 결합 전극(176) 사이에는 결합 용량이 형성되며, 이를 통해 제 2 픽셀 전극(190b)은 제 1 픽셀 전극(190a)에 전자기적으로 결합(용량성 결합)된다. 이때, 제 2 픽셀 전극(190b)은 제 2 개구부(183)를 통하여 드러난 제 1 절연층(185)만을 사이에 두고 결합 전극(176)과 중첩되어 있어 제 2 픽셀 전극(190b)과 결합 전극(176) 사이에서는 좁은 중첩 면적으로 충분한 결합 용량을 형성할 수 있다.
- <36> 제 1 픽셀 전극(190a)과 제 2 픽셀 전극(190b)은 게이트 라인(121)에 대하여 45°를 이루는 절개부(191 및 193)와 수직을 이루는 절개부(194)에 의해 구분된다. 이중 45°를 이루는 절개부(191 및 193)가 수직을 이루는 절개부(194)에 비해 길이가 길고, 45°를 이루는 절개부(191 및 193)는 서로 수직을 이루고 있다. 또한, 수직을 이루는 절개부(194)와 인접한 데이터 라인(171) 사이에 절개부(194)를 따라 제 1 픽셀 전극(190a)의 폭이 좁은 브리지 영역이 존재한다. 브리지 영역은 절개부(191 및 193)에 의해 제 2 픽셀 전극(190b)과 분리되는 제 1 픽셀 전극(190a)의 두 영역을 연결한다. 제 2 픽셀 전극(190b)은 절개부(192)를 갖는데, 절개부(192)는 게이트 라인(121) 사이의 픽셀 영역의 중앙부에 형성될 수 있으며, 제 2 픽셀 전극(190b)의 오른쪽 변에서 왼쪽 변을 향하여 파고 들어간 형태이고, 오른쪽 변의 입구는 넓게 확장되어 있다. 또한, 제 1 픽셀 전극(190a)과 제 2 픽셀 전극(190b)은 각각 게이트 라인(121)과 데이터 라인(171)이 교차하여 정의하는 픽셀 영역을 상하로 이등분하는 게이트 라인(121)과 나란한 라인에 대하여 실질적으로 거울상 대칭을 이루고 있다.
- <37> 게이트 전극(122), 데이터 라인(171)으로부터 연장된 소오스 전극(173) 및 제 1 픽셀 전극(190a)에 연결된 드레인 전극(175)에 의해 박막 트랜지스터(T)가 형성된다. 박막 트랜지스터(T)는 주사 신호를 전달하는 게이트 라인(121)과 화상 신호를 전달하는 데이터 라인(171)에 각각 연결되어 주사 신호에 따라 제 1 픽셀 전극(190a)에 인가되는 화상 신호를 온/오프(on/off)한다.
- <38> 상부 기관(200)은 절연 기관(210) 상부의 픽셀 영역 이외의 영역과 대응되는 영역에 형성된 블랙 매트릭스(220)와, 블랙 매트릭스(220)가 형성되지 않은 픽셀 영역과 대응되는 영역에 형성된 적색, 녹색, 청색 등의 컬러 필터(230)와, 투명한 도전 물질로 형성된 공통 전극(240)을 포함한다.
- <39> 블랙 매트릭스(220)는 픽셀 영역 이외의 영역에 대응되는 영역에 형성되어 픽셀 영역 이외의 영역으로 빛이 새는 것과 인접한 화소 영역들 사이의 광 간섭을 방지한다. 또한, 블랙 매트릭스(220)는 제 1 픽셀 전극(190a)의 브리지 영역과 제 2 픽셀 영역(190b) 사이의 영역, 즉 절개부(194)에 대응하는 부분까지 연장되어 형성된다. 이렇게 블랙 매트릭스(220)가 절개부(194)까지 형성되면, 하부 기관(100)의 픽셀이 오버레이 마진을 벗어나게 되거나, 하부 기관(100)과 상부 기관(200)의 합작 공정에서 미스 얼라인이 발생되더라도 제 1 픽셀 전극(190a)의 브리지 영역이 블랙 매트릭스(220) 밖으로 노출되지 않기 때문에 표시 불량 발생되지 않는다. 한편, 블랙 매트릭스(220)는 통상 검은색 안료가 첨가된 감광성 유기 물질로 이루어진다. 검은색 안료로는 카본 블랙이나 티타늄 옥사이드 등을 이용한다.
- <40> 컬러 필터(230)는 블랙 매트릭스(220)를 경계로 하여 적색, 녹색 및 청색 필터가 반복되어 형성된다. 컬러 필터(230)는 광원으로부터 조사되어 액정층(300)을 통과한 빛에 색상을 부여하는 역할을 한다. 컬러 필터(230)는 감광성 유기 물질로 형성될 수 있다.
- <41> 공통 전극(240)은 블랙 매트릭스(220) 및 컬러 필터(230)의 전체 상부에 형성되며, ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전 물질로 형성된다. 공통 전극(240)은 하부 기관(100)의 제 1 및 제 2 픽셀 전극(190a 및 190b)과 함께 액정층(300)에 전압을 인가한다. 한편, 공통 전극(240)은 복수 절개부(241, 242 및 243)를 갖는다. 절개부(241, 242 및 243)는 제 1 및 제 2 픽셀 전극(190a 및 190b)을 분리하는 게이트 라인(121)에 대하여 45°를 이루는 절개부(191 및 193)와 평행하게 형성되는 것이 바람직하다. 또한, 절개부(241, 242 및 243)는 제 1 및 제 2 픽셀 전극(190a 및 190b)의 변과 중첩되며 게이트 라인(121)과 평행한 가로 방향의 단부와 데이터 라인(171)과 평행한 세로 방향의 단부를 포함한다. 또한, 도메인 규제 수단인 절개부(241, 242 및 243)는 잘록하게 패인 노치를 포함하는데, 삼각형, 사각형, 사다리꼴, 반원형의 모양을 가질 수 있으며, 노치는 불록하게 또는 오목하게 이루어질 수 있다. 노치는 절개부(241, 242, 243)에 대응하는 도메인 경계에 위치하는 액정층(300)의 배열 방향을 결정해준다. 따라서, 도메인의 경계에 배열되어 있는 액정층(300)은 노치를 통하여 안정적이고 규칙적으로 배열할 수 있어 도메인 경계에서 얼룩이나 잔상이 발생하는 것을 방지

할 수 있고, 절개부(241, 242, 243)의 폭을 좁힐 수 있어 휘도를 증가시킬 수 있다. 이때, 노치는 하나의 도메인 규제 수단에 하나 또는 둘 이상으로 배치할 수 있으며, 오목한 노치와 볼록한 노치를 번갈아 다수로 배치할 수도 있다. 또한, 본 실시예에서는 공통 전극(240)의 절개부(241, 242, 243)에만 노치를 배치하였지만, 제 1 및 제 2 픽셀 전극(190a 및 190b)의 절개부(191, 192 및 193)에도 노치가 배치할 수 있으며, 하부 기판(100) 또는 상부 기판(200) 양쪽에 모두 배치할 수도 있다.

<42> 한편, 블랙 매트릭스(220)는 픽셀 영역의 둘레 뿐만 아니라 공통 전극(240)의 절개부(241, 242 및 243)와 중첩하는 부분에도 형성할 수 있다. 이는 절개부(251, 252, 253)로 인해 발생하는 빛샘을 방지하기 위함이다.

도면의 간단한 설명

<43> 도 1은 본 발명의 일 실시 예에 따른 하부 기관의 평면도.

<44> 도 2는 본 발명의 일 실시 예에 따른 상부 기관의 평면도.

<45> 도 3은 본 발명의 일 실시 예에 따른 액정 표시 패널의 평면도.

<46> 도 4는 도 3의 I-I' 라인을 따라 절취한 상태의 단면도.

<47> <도면의 주요 부분에 대한 부호의 설명>

<48> 121 : 게이트 라인 171 : 데이터 라인

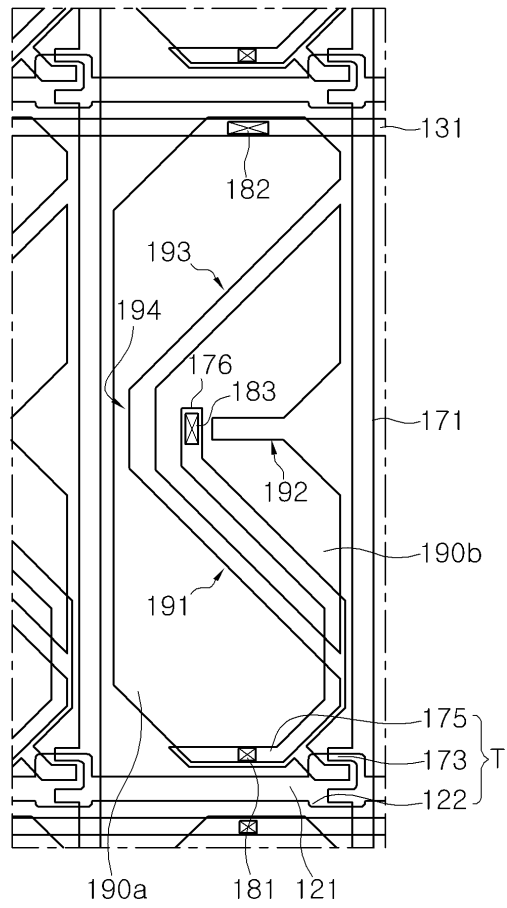
<49> 190a 및 190b : 제 1 및 제 2 픽셀 전극

<50> 220 : 블랙 매트릭스 230 : 컬러 필터

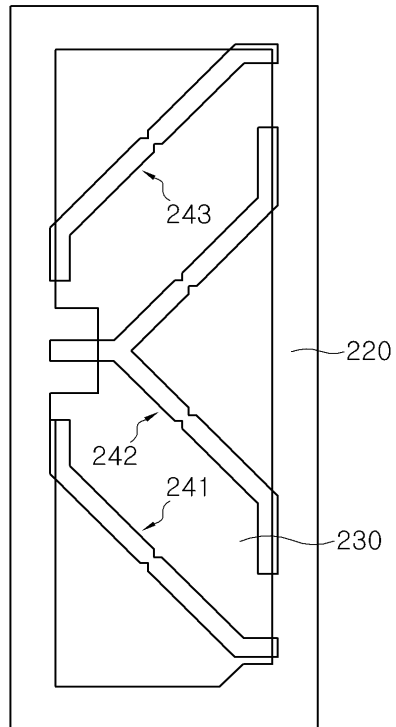
<51> 240 : 공통 전극

도면

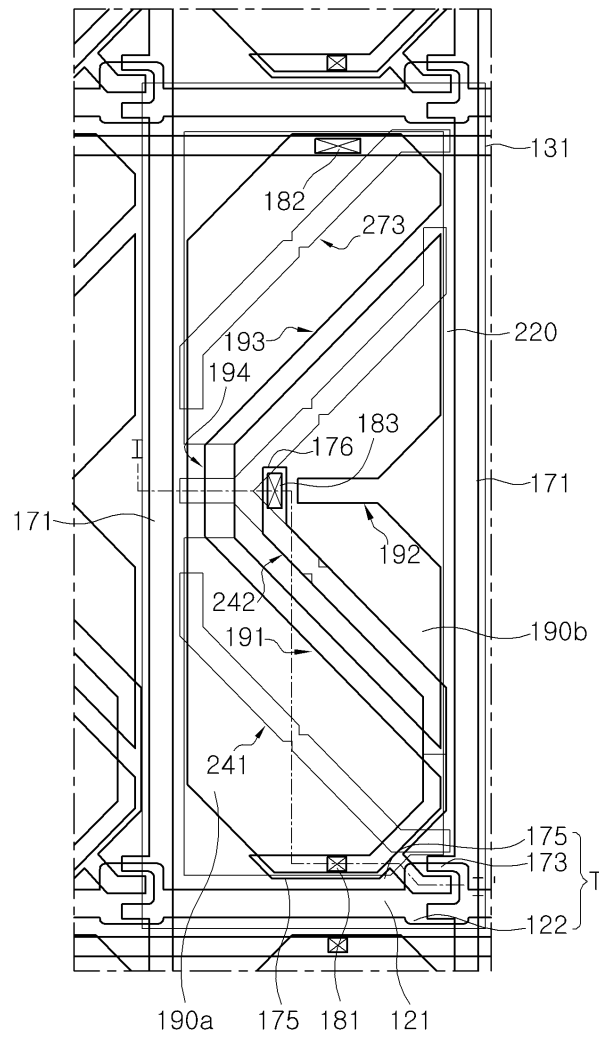
도면1



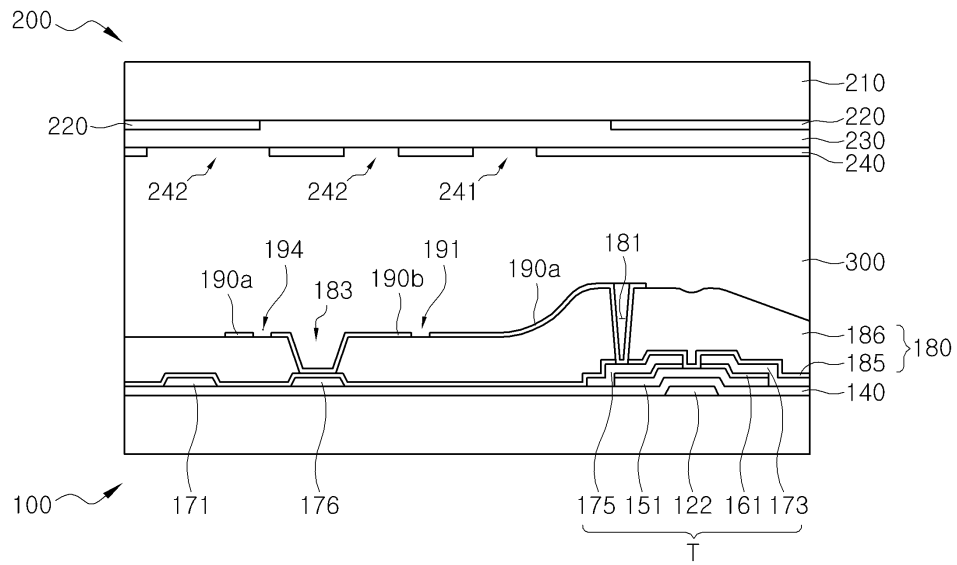
도면2



도면3



도면4



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 液晶显示器 | | |
| 公开(公告)号 | KR1020090005863A | 公开(公告)日 | 2009-01-14 |
| 申请号 | KR1020070069241 | 申请日 | 2007-07-10 |
| [标]申请(专利权)人(译) | 三星电子株式会社 | | |
| 申请(专利权)人(译) | 三星电子有限公司 | | |
| 当前申请(专利权)人(译) | 三星电子有限公司 | | |
| [标]发明人 | PARK JAE HYUN 박재현 KIM KYUNG WOOK 김경욱 YOON YEO GEON 윤여건 | | |
| 发明人 | 박재현 김경욱 윤여건 | | |
| IPC分类号 | G02F1/1335 | | |
| CPC分类号 | G02F1/136286 G02F1/133512 G02F1/1343 G02F2201/123 | | |
| 外部链接 | Espacenet | | |

摘要(译)

提供一种液晶显示装置，通过不将第一像素电极的桥接区域暴露于黑矩阵的外部来防止显示故障。LCD面板包括下板，其中形成有薄膜晶体管（T）和第一和第二像素电极（190a，190b），以及形成有滤色器和公共电极的上板和液晶层（300）在这些基板之间形成。由于绝缘电路任务的第一上部，多条栅极线（121）延伸。多条数据线（171）延伸到与栅极线交叉的另一方向。第一和第二像素电极形成在由栅极线和数据线限定的像素区域中。薄膜晶体管连接到栅极线，数据线和第一像素电极（190a）。

