



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0001112
(43) 공개일자 2008년01월03일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0059236

(22) 출원일자 2006년06월29일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

손미영

경기 의정부시 호원동 121 건영아파트 112- 204
(29동5반)

박준호

경북 청곡군 석적면 154-7번지 태양하이츠 306호

(74) 대리인

김용인, 심창섭

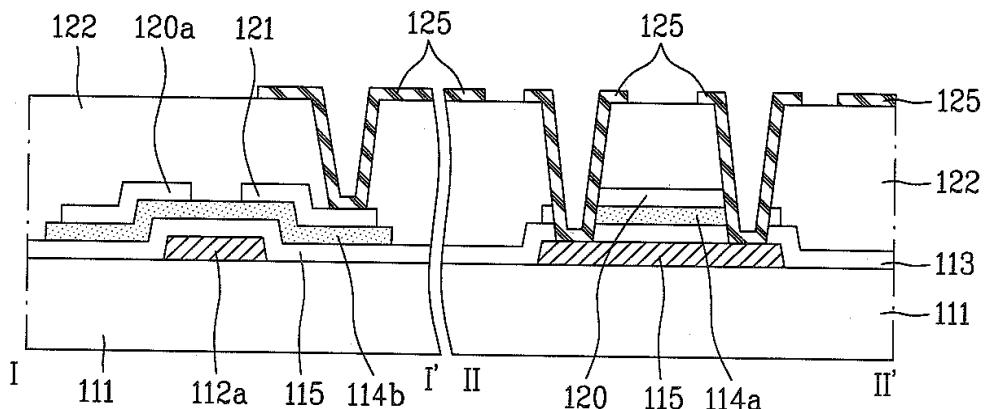
전체 청구항 수 : 총 11 항

(54) 액정표시장치 및 이의 제조방법

(57) 요 약

본 발명은 액정표시장치 및 이의 제조방법에 관한 것으로, 특히 액정표시장치는 기판상에 일정한 간격을 갖고 일방향으로 형성되는 게이트 라인 및 이에 돌출되는 게이트 전극, 상기 게이트 라인과 수직한 방향으로 상기 게이트 라인과 오버랩되지 않으면서 형성되는 더미 패턴, 상기 게이트 라인 및 더미 패턴을 포함한 기판의 전면에 형성되는 게이트 절연막, 상기 게이트 라인에 수직한 방향으로 상기 더미 패턴과 오버랩되면서 상기 게이트 절연막 상에 형성되는 제 1 반도체층, 상기 제 1 반도체층에 돌출되고 상기 게이트 전극 상부의 게이트 절연막 상에 형성되는 제 2 반도체층, 상기 제 1 반도체층과 오버랩되면서 상기 게이트 라인과 교차하여 화소영역을 정의하는 데이터 라인 및 이에 돌출되고 상기 제 2 반도체층 양측 단에 일정한 간격을 갖고 형성되는 소스 및 드레인 전극, 상기 드레인 전극과 데이터 라인을 포함하여 데이터 라인 양측의 제 1 반도체층 및 더미 패턴의 표면이 소정부분 노출되도록 콘택홀을 갖고 상기 기판의 전면에 형성되는 보호막, 상기 콘택홀을 통해 상기 데이터 라인, 제 1 반도체층, 더미 패턴에 전기적으로 연결되는 도전 패턴을 포함하여 구성됨에 그 특징이 있다.

대표도 - 도4



특허청구의 범위

청구항 1

기판상에 일정한 간격을 갖고 일방향으로 형성되는 게이트 라인 및 이에 돌출되는 게이트 전극;
 상기 게이트 라인과 수직한 방향으로 상기 게이트 라인과 오버랩되지 않으면서 형성되는 더미 패턴;
 상기 게이트 라인 및 더미 패턴을 포함한 기판의 전면에 형성되는 게이트 절연막;
 상기 게이트 라인에 수직한 방향으로 상기 더미 패턴과 오버랩되면서 상기 게이트 절연막 상에 형성되는 제 1 반도체층;
 상기 제 1 반도체층에 돌출되고 상기 게이트 전극 상부의 게이트 절연막 상에 형성되는 제 2 반도체층;
 상기 제 1 반도체층과 오버랩되면서 상기 게이트 라인과 교차하여 화소영역을 정의하는 데이터 라인 및 이에 돌출되고 상기 제 2 반도체층 양측 단에 일정한 간격을 갖고 형성되는 소스 및 드레인 전극;
 상기 드레인 전극과 데이터 라인을 포함하여 데이터 라인 양측의 제 1 반도체층 및 더미 패턴의 표면이 소정부분 노출되도록 콘택홀을 갖고 상기 기판의 전면에 형성되는 보호막;
 상기 콘택홀을 통해 상기 드레인 전극에 전기적으로 연결되고 상기 화소영역에 형성되는 화소전극; 및
 상기 콘택홀을 통해 상기 데이터 라인, 제 1 반도체층, 더미 패턴에 전기적으로 연결되는 도전 패턴을 포함하여 구성됨을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,
 상기 게이트 라인과 더미 패턴은 동일한 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,
 상기 화소전극과 도전 패턴은 동일한 재료로 형성된 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,
 상기 더미 패턴은 요철 모양으로 생긴 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,
 상기 보호막은 아크릴계 수지(acryl resin), BCB(Benzocyclobutene) 등의 무기절연물질 또는 SiNx, SiO₂ 등의 유기절연물질 중 어느 하나를 사용해서 형성된 것을 특징으로 하는 액정표시장치.

청구항 6

기판상에 일정한 간격을 갖고 일방향으로 게이트 라인 및 이에 돌출된 게이트 전극을 형성하는 단계;
 상기 게이트 라인과 수직한 방향으로 상기 게이트 라인과 오버랩되지 않도록 더미 패턴을 형성하는 단계;
 상기 게이트 라인 및 더미 패턴을 포함한 기판의 전면에 게이트 절연막을 형성하는 단계;
 상기 게이트 라인에 수직한 방향으로 상기 더미 패턴과 오버랩되도록 상기 게이트 절연막 상에 제 1 반도체층 및 상기 제 1 반도체층에서 돌출되어 상기 게이트 전극 상부의 게이트 절연막 상에 제 2 반도체층을 형성하는 단계;
 상기 제 1 반도체층 상부에 상기 게이트 라인과 교차하여 화소영역을 정의하는 데이터 라인, 이에 돌출되고 상

기 제 2 반도체층의 양측단에 일정한 간격을 갖도록 소스 및 드레인 전극을 형성하는 단계;

상기 제 1, 제 2 반도체층, 데이터 라인, 소스/드레인 전극을 포함한 기판 전면에 보호막을 형성하는 단계;

상기 드레인 전극과 상기 데이터 라인을 포함하여 상기 데이터 라인 양측의 더미 패턴 및 제 1 반도체층의 표면이 소정부분 노출되도록 상기 보호막을 선택적으로 제거하여 콘택홀을 형성하는 단계; 및

상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되는 화소전극 및 상기 데이터 라인, 제 1 반도체층 및 더미 패턴이 전기적으로 연결되는 도전 패턴을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시장치의 제조방법.

청구항 7

제 6 항에 있어서,

상기 데이터 라인, 드레인 전극 및 제 1, 제 2 반도체층은 회절 마스크를 사용하여 동시에 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

제 6 항에 있어서,

상기 게이트 라인 및 더미 패턴은 동일한 재료로 동시에 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제 6 항에 있어서,

상기 화소전극 및 도전 패턴은 동일한 재료로 동시에 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

제 6 항에 있어서,

상기 더미 패턴은 요철 모양으로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 11

제 6 항에 있어서,

상기 보호막은 아크릴계 수지(acryl resin), BCB(Benzocyclobutene) 등의 무기질연물질 또는 SiNx, SiO₂ 등의 유기질연물질 중 어느 하나를 사용해서 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<11> 본 발명은 액정표시장치 및 그의 제조방법에 관한 것으로서, 특히 데이터 라인의 저항을 줄이도록 한 액정표시장치 및 이의 제조방법에 관한 것이다.

<12> 정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시 장치로 활용되고 있다.

<13> 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은

이동형의 용도 이외에도 방송 신호를 수신하여 디스플레이 하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

- <14> 일반적인 액정 표시 장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동 신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정 패널은 일정 공간을 갖고 합착된 제 1, 제 2 유리 기판과, 상기 제 1, 제 2 유리 기판 사이에 주입된 액정층으로 구성된다.
- <15> 여기서, 상기 제 1 유리 기판(TFT 어레이 기판)에는 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소 영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 각 화소 전극에 전달하는 복수개의 박막 트랜지스터가 형성된다.
- <16> 그리고, 제 2 유리 기판(칼라 필터 어레이 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 차광층과, 칼라 색상을 표현하기 위한 R, G, B 칼라 필터층과 화상을 구현하기 위한 공통 전극이 형성된다.
- <17> 이와 같은 상기 제 1, 제 2 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 씨일(seal)재에 의해 합착되어 상기 두 기판 사이에 액정이 주입된다.
- <18> 한편, 상기 박막트랜지스터는 활성층으로 반도체막을 이용한다. 상기 반도체막은 비정질 실리콘 또는 결정성 실리콘으로 형성된다. 저온에서 기상 퇴적법으로 비교적 용이하게 제조될 수 있고 따라서 양산에 적합한 비정질 실리콘으로 형성된 반도체막을 가장 널리 사용했다.
- <19> 그러나 상기 결정성 실리콘으로 형성된 반도체막을 포함하는 박막트랜지스터는 고속 동작을 실현하도록 큰 전류에 대한 충분한 구동능력을 가지며, LCD의 주변 구동 회로가 동일 기판상에서 표시부와 일체로 형성될 수 있게 한다. 이러한 이유들 때문에, 결정성 실리콘을 포함하는 박막트랜지스터가 오늘날 주목을 받고 있다.
- <20> 도 1은 일반적인 액정표시장치를 나타낸 평면도이다.
- <21> 도 1에 도시한 바와 같이, 하부 기판(10)상에 화소영역(P)을 정의하기 위하여 일정한 간격을 갖고 일방향으로 복수개의 게이트 라인(11)이 배열되고, 상기 게이트 라인(11)에 수직한 방향으로 일정한 간격을 갖고 복수개의 데이터 라인(12)이 배열된다.
- <22> 그리고 상기 게이트 라인(11)과 데이터 라인(12)이 교차되어 정의된 각 화소영역(P)에는 매트릭스 형태로 형성되는 화소전극(16)과, 상기 게이트 라인(11)의 신호에 의해 스위칭 되어 상기 데이터 라인(12)의 신호를 상기 각 화소전극(16)에 전달하는 복수 개의 박막 트랜지스터가 형성된다.
- <23> 여기서, 상기 박막 트랜지스터는 상기 게이트 라인(11)으로부터 돌출되어 형성되는 게이트 전극(13)과, 전면에 형성된 게이트 절연막(도면에는 도시되지 않음)과, 상기 게이트 전극(13) 상측의 게이트 절연막 위에 형성되는 반도체층(14)과, 상기 데이터 라인(12)으로부터 돌출되어 형성되는 소오스 전극(15a)과, 상기 소오스 전극(15a)에 일정한 간격을 갖고 형성되는 드레인 전극(15b)을 포함하여 구성되어 있다.
- <24> 여기서, 상기 드레인 전극(15b)은 상기 콘택홀(17)을 통해 상기 화소전극(16)과 전기적으로 연결되어 있다.
- <25> 한편, 상기와 같이 구성된 하부 기판(10)은 일정한 공간을 갖고 상부 기판(도시되지 않음)과 합착된다.
- <26> 여기서, 상기 상부 기판에는 하부 기판(10)에 형성된 화소영역(P)과 각각 대응되는 개구부를 가지며 광 차단 역할을 수행하는 블랙 매트릭스(black matrix)층과, 칼라 색상을 구현하기 위한 적/녹/청(R/G/B) 컬러 필터층 및 상기 화소전극(반사전극)(16)과 함께 액정을 구동시키는 공통전극을 포함하여 구성되어 있다.
- <27> 이와 같은 하부 기판(10)과 상부 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 실(seal)재에 의해 합착된 두 기판 사이에 액정이 주입된다.
- <28> 이하, 첨부된 도면을 참고하여 종래의 액정표시장치의 제조방법을 설명하면 다음과 같다.
- <29> 도 2a 내지 도 2f는 종래의 액정표시장치의 제조방법을 나타낸 공정단면도이다.
- <30> 도 2a에 도시한 바와 같이, 투명한 유리 기판(41)상에 Al, Al-Pd, Al-Si, Al-Si-Ti, Al-Si-Cu, Al 합금 등으로 된 금속 중에서 선택하여 스퍼터링법에 의해 200~4000Å의 두께로 금속막을 증착한다.
- <31> 이어, 상기 금속막을 포토 및 식각 공정을 통해 선택적으로 에칭하여 상기 유리 기판(41)상에 게이트 전극(42)

을 형성한다.

<32> 여기서, 상기 게이트 전극(42)이 양극산화 가능한 금속일 경우에는 힐락(hillock) 방지를 위해 게이트 전극(42)을 양극 산화할 수 있다.

<33> 도 2b에 도시한 바와 같이, 상기 게이트 전극(42)을 포함한 유리 기판(41)의 전면에 실리콘 질화막 또는 실리콘 산화막으로 이루어진 게이트 절연막(43)을 형성한다.

<34> 이어, 상기 게이트 절연막(43)상에 비정질 실리콘층(a-Si layer)(44)과 오믹 콘택층(n+)(45)을 차례로 형성한다.

<35> 한편, 상기 비정질 실리콘층(44)을 결정화할 수도 있다.

<36> 도 2c에 도시한 바와 같이, 포토 및 식각 공정을 통해 상기 오믹 콘택층(45) 및 비정질 실리콘층(44)을 선택적으로 제거하여 액티브층(44a)을 형성한다.

<37> 여기서, 상기 액티브층(44a)은 상기 게이트 전극(42)과 대응되면서 상기 게이트 전극(42)을 감싸고 형성되어 있다.

<38> 도 2d에 도시한 바와 같이, 상기 유리 기판(41)의 전면에 금속막을 증착하고, 포토 및 식각 공정을 통해 상기 금속막을 선택적으로 제거하여 전기적으로 분리된 소오스 전극(46)과 드레인 전극(47)을 형성한다.

<39> 여기서, 상기 소오스 전극(46)과 드레인 전극(47)을 형성하기 위해 상기 금속막을 식각하는 공정은 습식 식각(wet etch) 공정을 사용하고 있다.

<40> 또한, 상기 소오스 전극(46) 및 드레인 전극(47)은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo) 등의 도전성 금속막을 사용한다.

<41> 그리고 상기 소오스 전극(46) 및 드레인 전극(47) 사이에 노출된 오믹 콘택층(45)을 건식 식각을 이용하여 선택적으로 제거하여 분리한다.

<42> 여기서, 상기 오믹 콘택층(45)을 제거할 때 그 하부의 액티브층(44a)도 소정 두께만큼 제거된다. 즉, 상기 오믹 콘택층(45)을 제거할 때 상기 액티브층(44a)에 데미지(damage)가 가해진다.

<43> 도 2e에 도시한 바와 같이, 상기 소오스 전극(46) 및 드레인 전극(47)을 포함한 유리 기판(41)의 전면에 보호막(48)을 형성하고, 상기 드레인 전극(47)의 표면이 소정부분 노출되도록 상기 보호막(48)을 선택적으로 제거하여 콘택홀(49)을 형성한다.

<44> 도 2f에 도시한 바와 같이, 상기 콘택홀(49)을 포함한 유리 기판(41)의 전면에 투명한 금속막을 증착한 후, 포토 및 식각 공정을 통해 상기 금속막을 선택적으로 제거하여 상기 콘택홀을 통해 상기 드레인 전극(47)과 전기적으로 연결되는 화소전극(50)을 형성한다.

발명이 이루고자 하는 기술적 과제

<45> 그러나 종래 기술에 의한 액정표시장치 및 그의 제조방법은 다음과 같은 문제점이 있다.

<46> 즉, 최근 집적화 기술의 발달로 인하여 데이터 라인의 선폭이 줄어듦에 따라 저항이 증가하고 있는데, 통상적인 방법으로는 데이터 라인의 저항을 줄이는데 한계가 있다.

<47> 본 발명은 상기와 같은 종래의 문제를 해결하기 위한 것으로 데이터 라인의 하부에 게이트 라인과 동일 물질로 이루어진 더미 패턴을 형성함으로써 데이터 라인의 저항을 줄이도록 한 액정표시장치 및 이의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

<48> 상기와 같은 목적에 따른 본 발명에 의한 액정표시장치는 기판상에 일정한 간격을 갖고 일방향으로 형성되는 게이트 라인 및 이에 돌출되는 게이트 전극, 상기 게이트 라인과 수직한 방향으로 상기 게이트 라인과 오버랩되지 않으면서 형성되는 더미 패턴, 상기 게이트 라인 및 더미 패턴을 포함한 기판의 전면에 형성되는 게이트 절연막, 상기 게이트 라인에 수직한 방향으로 상기 더미 패턴과 오버랩되면서 상기 게이트 절연막 상에 형성되는 제 1 반도체층, 상기 제 1 반도체층에 돌출되고 상기 게이트 전극 상부의 게이트 절연막 상에 형성되는 제 2 반도체층, 상기 제 1 반도체층과 오버랩되면서 상기 게이트 라인과 교차하여 화소영역을 정의하는 데이터 라인

및 이에 돌출되고 상기 제 2 반도체층 양측 단에 일정한 간격을 갖고 형성되는 소스 및 드레인 전극, 상기 드레인 전극과 데이터 라인을 포함하여 데이터 라인 양측의 제 1 반도체층 및 더미 패턴의 표면이 소정부분 노출되도록 콘택홀을 갖고 상기 기판의 전면에 형성되는 보호막, 상기 콘택홀을 통해 상기 드레인 전극에 전기적으로 연결되고 상기 화소영역에 형성되는 화소전극 및 상기 콘택홀을 통해 상기 데이터 라인, 제 1 반도체층, 더미 패턴에 전기적으로 연결되는 도전 패턴을 포함하여 구성됨에 그 특징이 있다.

<49> 상기와 같은 목적에 따른 본 발명에 의한 액정표시장치의 제조 방법은 기판상에 일정한 간격을 갖고 일방향으로 게이트 라인 및 이에 돌출된 게이트 전극을 형성하는 단계, 상기 게이트 라인과 수직한 방향으로 상기 게이트 라인과 오버랩되지 않도록 더미 패턴을 형성하는 단계, 상기 게이트 라인 및 더미 패턴을 포함한 기판의 전면에 게이트 절연막을 형성하는 단계, 상기 게이트 라인에 수직한 방향으로 상기 더미 패턴과 오버랩되도록 상기 게이트 절연막 상에 제 1 반도체층 및 상기 제 1 반도체층에서 돌출되어 상기 게이트 전극 상부의 게이트 절연막 상에 제 2 반도체층을 형성하는 단계, 상기 제 1 반도체층 상부에 상기 게이트 라인과 교차하여 화소영역을 정의하는 데이터 라인, 이에 돌출되고 상기 제 2 반도체층의 양측 단에 일정한 간격을 갖도록 소스 및 드레인 전극을 형성하는 단계, 상기 제 1, 제 2 반도체층, 데이터 라인, 소스/드레인 전극을 포함한 기판 전면에 보호막을 형성하는 단계, 상기 드레인 전극과 상기 데이터 라인을 포함하여 상기 데이터 라인 양측의 더미 패턴 및 제 1 반도체층의 표면이 소정부분 노출되도록 상기 보호막을 선택적으로 제거하여 콘택홀을 형성하는 단계 및 상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되는 화소전극 및 상기 데이터 라인, 제 1 반도체층 및 더미 패턴이 전기적으로 연결되는 도전 패턴을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

<50> 이하, 첨부된 도면을 참고하여 본 발명에 의한 액정표시장치 및 그의 제조방법을 보다 상세히 설명하면 다음과 같다.

<51> 도 3, 도 4는 본 발명의 일 실시예로서, 도 3은 본 발명의 액정표시장치를 나타내는 평면도이고, 도 4는 도 3의 I-I'선 및 II-II'선에 따른 본 발명의 액정표시장치를 나타내는 단면도이다.

<52> 본 발명에 의한 액정표시장치는 도 3, 도 4에 도시된 바와 같이, 투명한 재질의 유리 기판(111), 상기 기판(111)상에 일정한 간격을 갖고 일방향으로 형성되는 게이트 라인(112) 및 이에 돌출되는 게이트 전극(112a), 상기 게이트 라인(112)과 수직한 방향으로 상기 게이트 라인(112)과 오버랩되지 않으면서 형성되는 더미 패턴(125), 상기 게이트 라인(112) 및 더미 패턴(125)을 포함한 기판(111)의 전면에 형성되는 게이트 절연막(113), 상기 게이트 라인(112)에 수직한 방향으로 상기 더미 패턴(125)과 오버랩되면서 상기 게이트 절연막(113) 상에 형성되는 제 1 반도체층(114a), 상기 제 1 반도체층(114a)에 돌출되고 상기 게이트 전극(112a) 상부의 게이트 절연막(113) 상에 형성되는 제 2 반도체층(114b), 상기 제 1 반도체층(114a) 상부에 상기 게이트 라인(112)과 교차하여 형성되면서 화소영역을 정의하는 데이터 라인(120) 및 이에 돌출되고 상기 제 2 반도체층(114b) 양측 단에 일정한 간격을 갖고 형성되는 소스 전극(120a) 및 드레인 전극(121), 상기 데이터 라인(120)을 포함하여 상기 데이터 라인(120) 양측의 제 1 반도체층(114a)과 더미 패턴(115)의 표면이 소정부분 노출되는 제 1 콘택홀(130a)과 상기 드레인 전극(121)의 표면이 소정부분 노출되는 제 2 콘택홀(130b)을 갖고 상기 기판(111)의 전면에 형성되는 보호막(122), 상기 제 2 콘택홀(130b)을 통해 상기 드레인 전극(121)에 전기적으로 연결되고 상기 화소영역에 형성되는 화소전극(123) 및 상기 제 1 콘택홀(130a)을 통해 상기 데이터 라인(120), 제 1 반도체층(114a), 더미 패턴(115)과 전기적으로 연결되는 도전 패턴(125)을 포함하여 구성되어 있다.

<53> 여기서, 상기 더미 패턴(115)은 요철 모양(凸)으로 생긴 것으로 더미 패턴(115)의 가운데 부분은 데이터 라인(120)의 하부에 나란히 배열되고, 양 옆의 부분은 도전 패턴(125)에 의해 데이터 라인(120)과 전기적으로 연결된다.

<54> 도 5a 내지 도 5g는 본 발명에 의한 액정표시장치의 제조방법을 나타낸 공정 단면도이다.

<55> 본 발명에 의한 액정표시장치의 제조방법은 먼저, 도 5a와 같이, 투명한 재질의 유리기판(111) 상에 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 크롬(Cr) 등의 저저항 금속 물질을 적어도 한층 이상으로 증착한다.

<56> 이어, 포토 및 식각 공정을 통해 상기 금속 물질을 선택적으로 패터닝하여 게이트 라인(도시하지 않음) 및 상기 게이트 라인에서 분기 되는 게이트 전극(112a), 상기 게이트 라인과 수직한 방향으로 상기 게이트 라인과 오버랩되지 않도록 더미 패턴(115)을 형성한다.

<57> 이어, 상기 게이트 전극(112a)을 포함한 기판(111) 전면에 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등의 절연물질을 증착하여 게이트 절연막(113)을 형성한다.

- <58> 도 5b와 같이, 상기 게이트 절연막(113) 상부의 전면에 제 1, 제 2 반도체층(114a, 114b)을 증착하고, 그 위에 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-우라늄(MoW) 중 어느 하나로 저저항 금속층(152)를 증착한다.
- <59> 그리고, 상기 저저항 금속층(152) 상에 UV 경화성 수지(Ultraviolet curable resin)인 포토 레지스트(Photo resist)(151)를 도포한 후, 상기 포토 레지스트(151) 상부에 회절마스크(150)를 씌워 UV 또는 x-선 광장에 노출시켜 노광시킨 뒤, 노광된 포토 레지스트(151)를 현상하여 패터닝한다.
- <60> 이 때, 상기 패터닝된 포토 레지스트(151)의 패턴이 이중 단차를 가지도록 하기 위해 회절마스크(150)를 사용하는데, 상기 회절 마스크(150)는 데이터 라인(120) 및 소스/드레인 전극(120a, 121)이 형성될 부분에서 빛을 차광하는 차광부(150a)와, 박막 트랜지스터의 채널영역이 형성될 부분(소스 전극과 드레인 전극 사이)에서 빛을 반만 투과하는 반투과부(150b)와, 나머지 부분에서 빛을 투과하는 투과부로 구성된다.
- <61> 따라서, 상기 회절마스크(150)를 이용하여 상기 포토 레지스트(151)를 노광하고 현상하면, 도 5c와 같이, 차광부(150a)에 상응하는 포토 레지스트(151)는 그대로 남아있고, 투과부에 상응하는 포토 레지스트(151)는 전부 제거되며, 반투과부(150b)에 상응하는 포토 레지스트(151)는 차광부(150a)에 형성되는 것보다 더 얇은 두께로 남게 된다. 즉, 채널영역에 상응하는 부분의 포토 레지스트(151)가 보다 낮은 단차를 갖는다.
- <62> 도 5d와 같이, 상기 패터닝된 포토 레지스트(151)를 마스크로 이용하여 상기 저저항 금속층(152), 제 1, 제 2 반도체층(114a, 114b)을 선택적으로 식각하여 상기 게이트 라인에 수직한 방향으로 제 1 반도체층(114a), 상기 제 1 반도체층(114a)에 돌출되어 게이트 전극(112a) 상부에 제 2 반도체층(114b)을 형성한다.
- <63> 그리고, 상기 패터닝된 포토레지스트(151) 중 낮은 부분을 제거하기 위하여 산소(O2) 애싱(ashing) 공정을 통해 상기 포토 레지스트(151)의 일부를 선택적으로 제거한다.
- <64> 도 5e와 같이, 상기 애싱처리된 포토 레지스트(151)를 마스크로 이용하여 상기 저저항 금속층(152)을 선택적으로 식각하여 상기 제 1 반도체층(114a) 상부에 게이트 라인과 교차하여 화소영역을 정의하는 데이터 라인(120), 이에 돌출되고 상기 제 2 반도체층(114b) 상부의 일측에 소스 전극(120a), 상기 제 2 반도체층(114b) 상부의 타측에 드레인 전극(121)을 형성한다.
- <65> 도 5f와 같이, 상기 제 1, 제 2 반도체층(114a, 114b), 데이터 라인(120), 소스/드레인 전극(120a, 121)을 포함한 기판(111) 전면에 유기재료인 아크릴계 수지(acryl resin)를 도포하여 보호막(122)을 형성한다.
- <66> 다음으로 포토 및 식각공정을 통하여 상기 보호막(122)을 선택적으로 제거하여 상기 더미 패턴(115)의 소정부분이 노출되도록 제 1 콘택홀(130a)을 형성하고, 상기 드레인 전극(121)의 소정부분이 노출되도록 제 2 콘택홀(130b)을 형성한다.
- <67> 여기서 상기 보호막(122)의 재료로 아크릴계 수지(acryl resin)를 사용한 것을 포토아크릴(Photo Acryl)구조에서 데이터 라인(120)이 넓은 점을 고려하여 본 발명에 적합하여 이에 한정하여 설명하였으나, 이에 한정하지 않고 SiNx, SiO₂, BCB(Benzocyclobutene)에도 적용되는 등 다양한 형태의 변형이 가능하고, 이러한 기술적 사상의 여러 실시 형태는 모두 본 발명의 보호범위에 속함은 당연하다.
- <68> 도 5g와 같이, 상기 제 1, 제 2 콘택홀(130a, 130b)을 포함한 기판(111)의 전면에 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등의 투명한 금속을 증착하고, 포토 및 식각 공정을 통해 상기 투명한 금속을 선택적으로 패터닝하여 상기 데이터 라인(120), 제 1 반도체층(114a) 및 더미 패턴(115)이 전기적으로 연결되는 도전 패턴(125)을 형성하고, 상기 드레인 전극(121)에 전기적으로 연결되는 화소전극(123)을 형성한다.
- <69> 한편, 상기 더미 패턴(115)은 요철 모양(凸)으로 상기 더미 패턴(115)의 가운데 부분은 상기 데이터 라인(120)의 하부에 나란히 배열되도록 형성하고, 양 옆의 부분은 상기 도전 패턴(125)에 의해 상기 데이터 라인(120)과 전기적으로 연결되도록 형성한다.
- <70> 또한, 상기에서 화소전극(123)과 데이터 라인(120)은 오버랩 되도록 형성하며, 이 때 더미 패턴(115)과 화소전극(123)이 셀트되지 않도록 형성한다.
- <71> 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

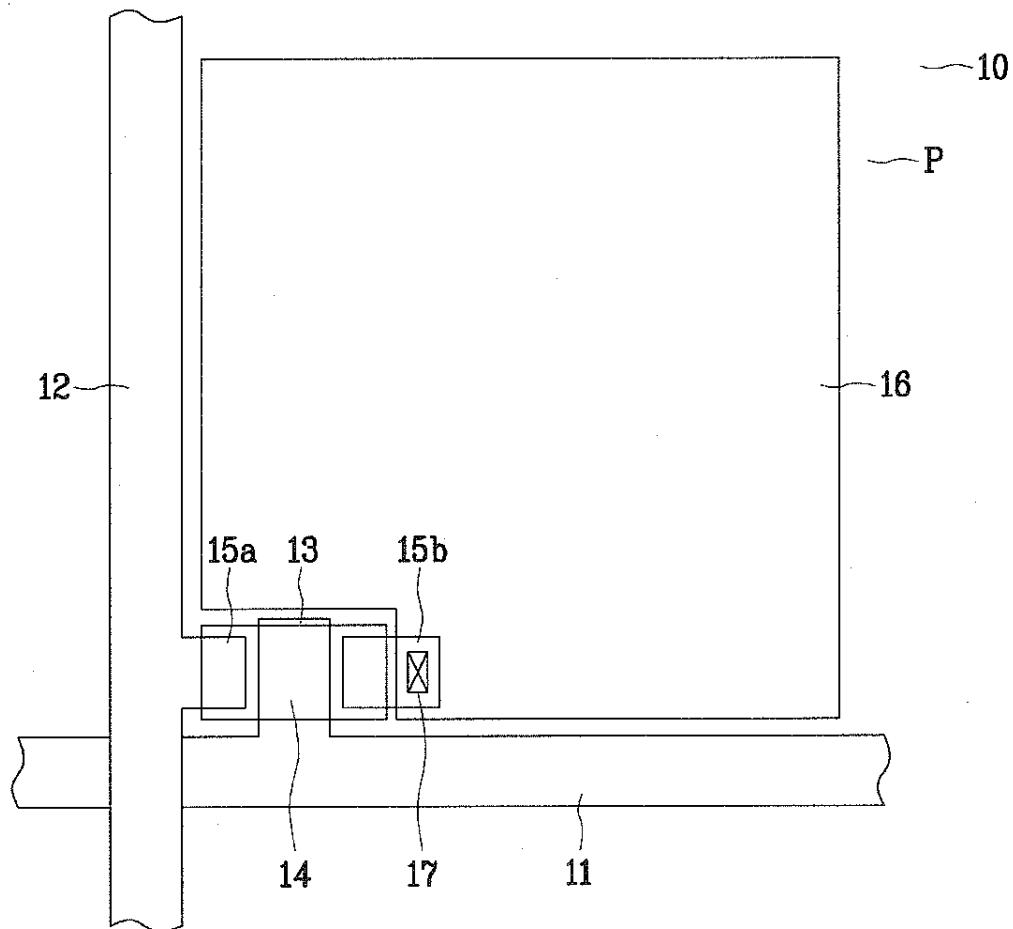
- <72> 상기한 바와 같은 본 발명에 의한 액정표시장치 및 이의 제조방법은 다음과 같은 효과가 있다.
- <73> 첫째, 데이터 라인 하부에 게이트 전극과 동일한 재료로 더미 패턴을 형성하여 병렬연결 시킴으로써 데이터 라인의 저항을 줄일 수 있다.
- <74> 둘째, 데이터 라인 저항 감소로 웨이비 노이즈(wavy noise)를 방지하는 효과가 있다.

도면의 간단한 설명

- <1> 도 1은 일반적인 액정표시장치를 나타내는 평면도
- <2> 도 2a 내지 도 2f는 종래 기술에 의한 액정표시장치의 제조방법을 나타낸 공정단면도
- <3> 도 3은 본 발명의 액정표시장치를 나타내는 평면도
- <4> 도 4는 도 3의 I-I'선 및 II-II'선에 따른 본 발명의 액정표시장치를 나타내는 단면도
- <5> 도 5a 내지 도 5g는 본 발명에 의한 액정표시장치의 제조방법을 나타내는 공정 단면도
- <6> <도면의 주요부분에 대한 명칭>
- | | |
|-----------------------|----------------------------|
| <7> 41, 111 : 기판 | 42, 112a : 게이트 전극 |
| <8> 43, 113 : 게이트 절연막 | 114a, 114b : 제 1, 제 2 반도체층 |
| <9> 115 : 더미패턴 | 46, 120a : 소스 전극 |
| <10> 47, 121 : 드레인 전극 | |

도면

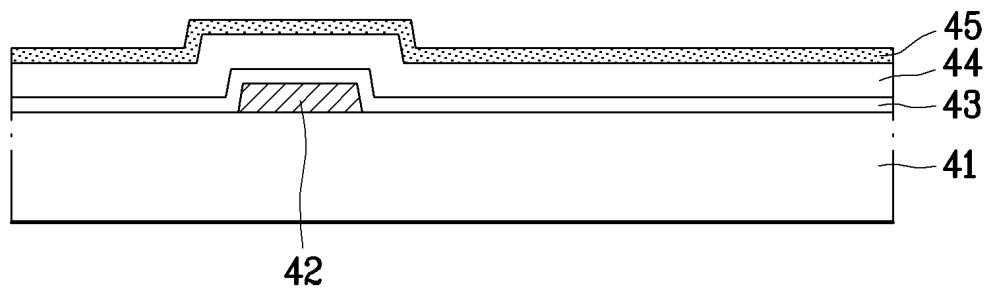
도면1



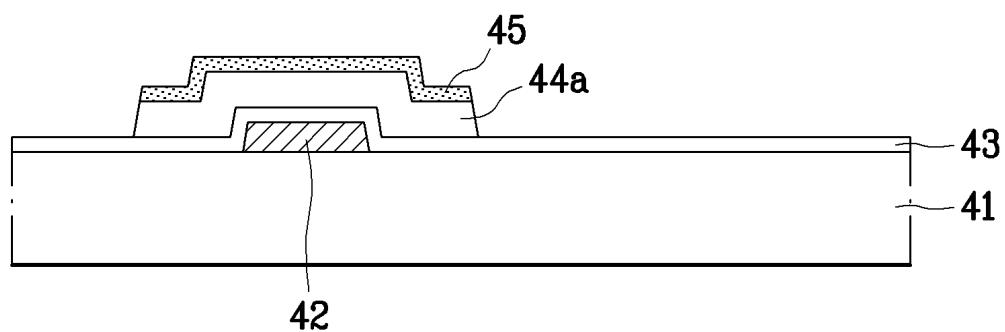
도면2a



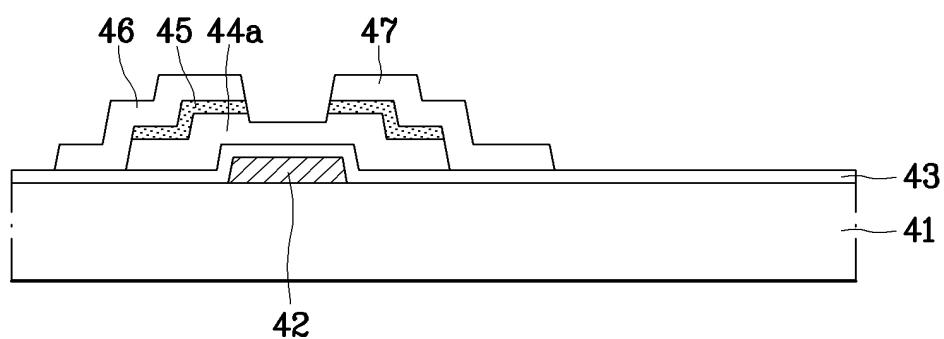
도면2b



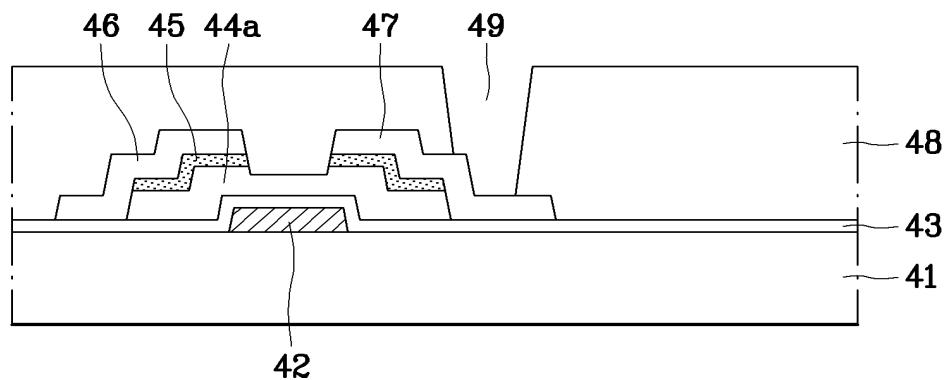
도면2c



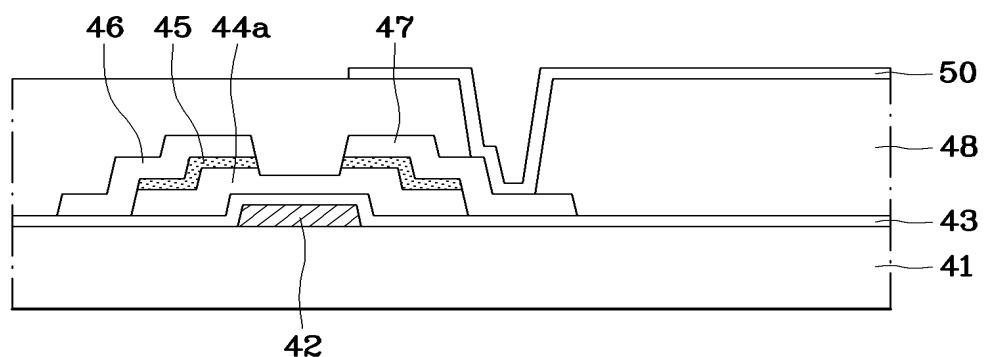
도면2d



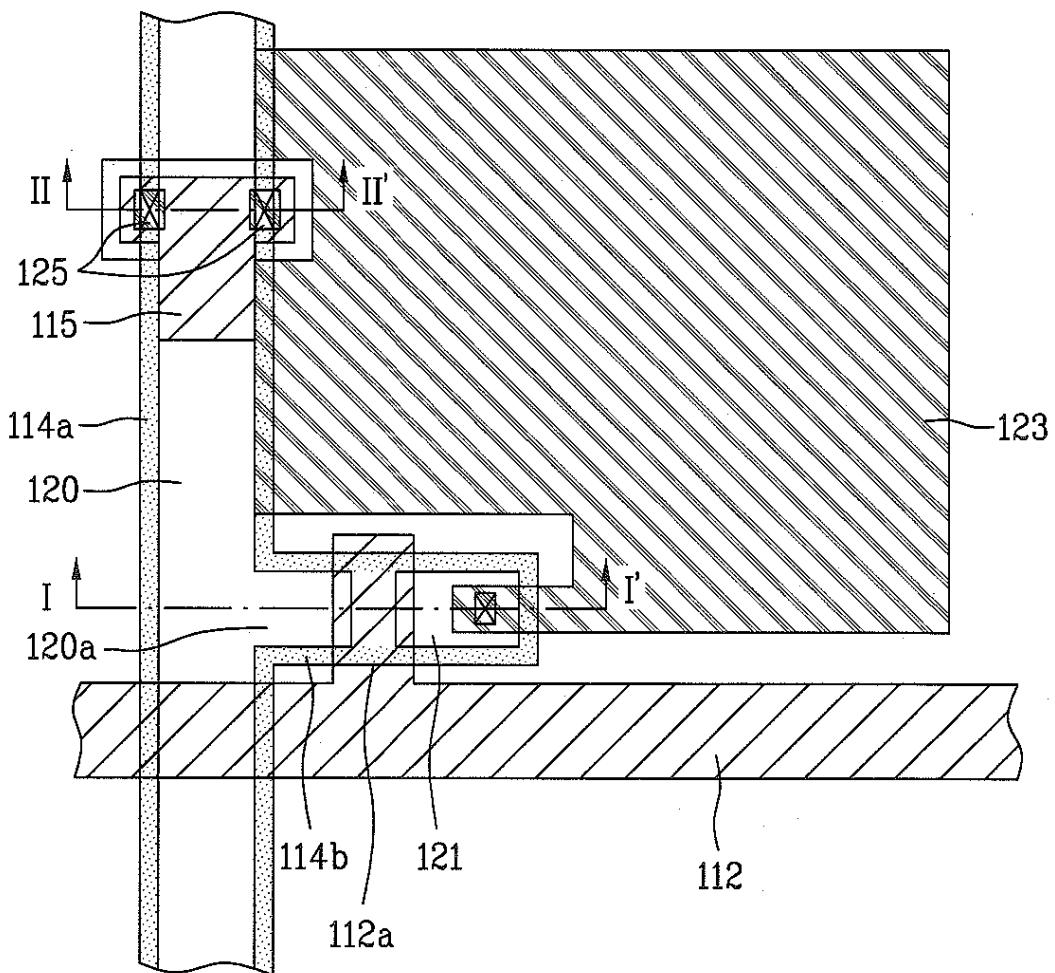
도면2e



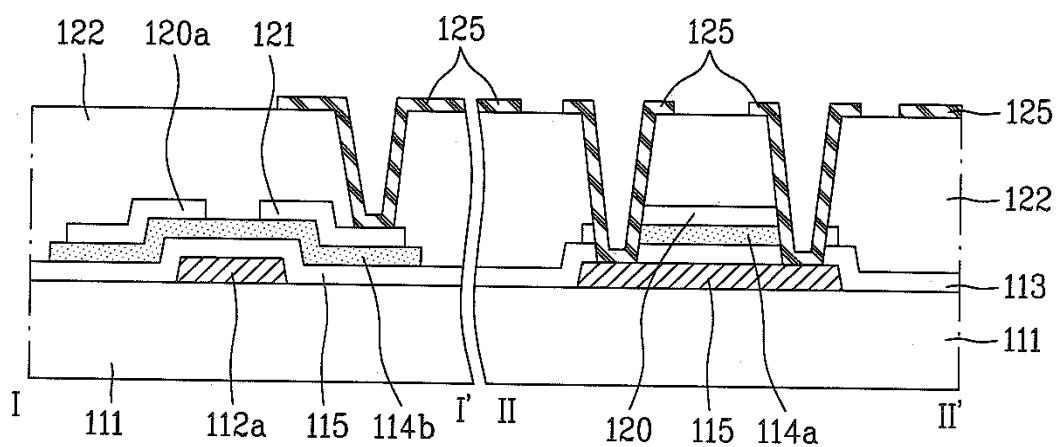
도면2f



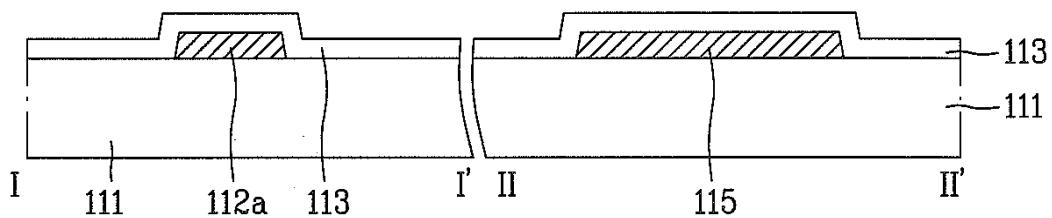
도면3



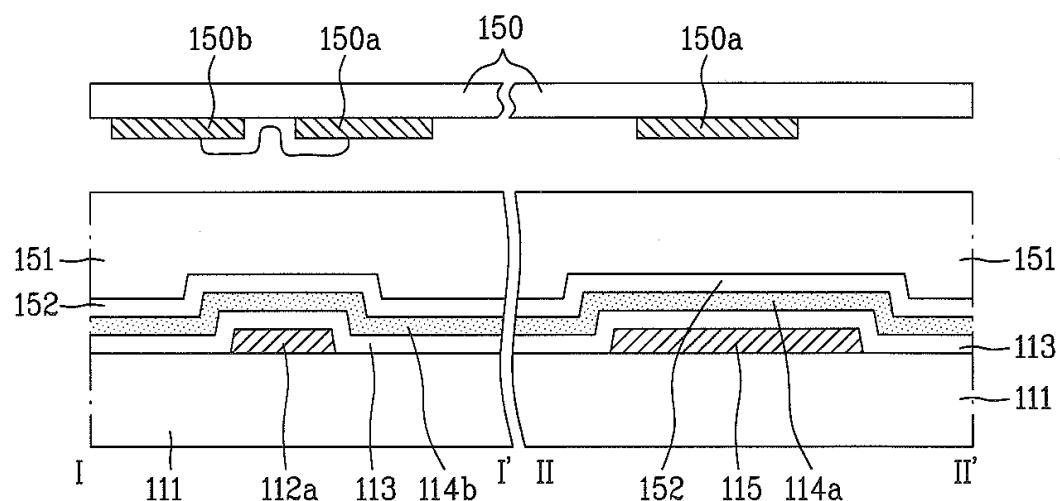
도면4



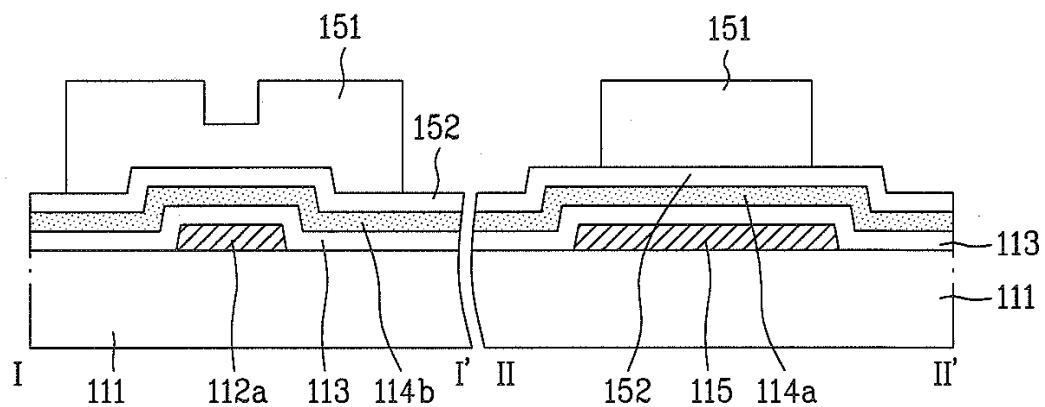
도면5a



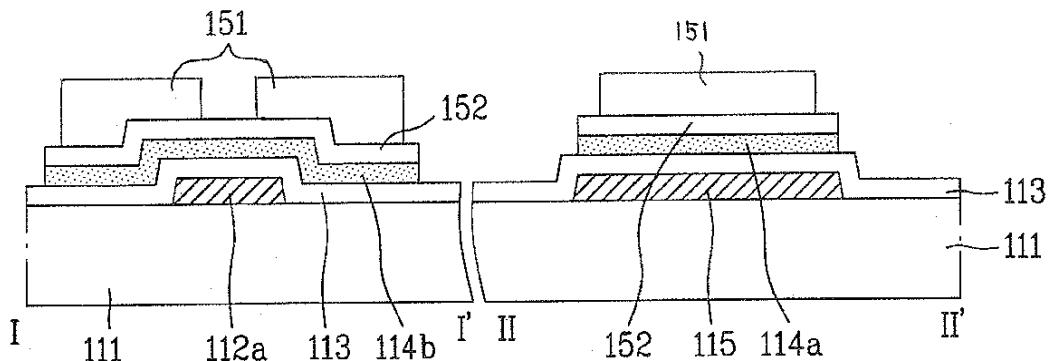
도면5b



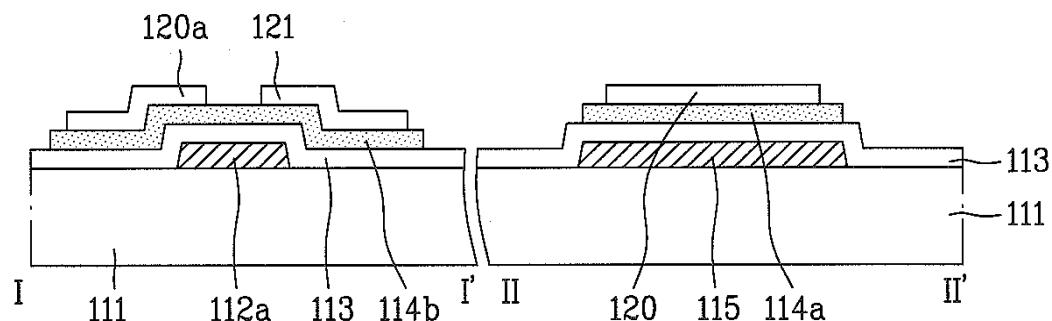
도면5c



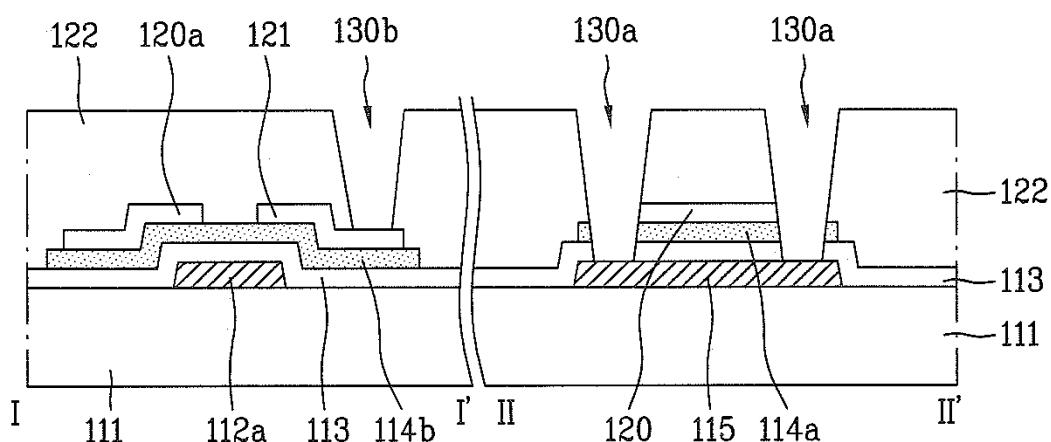
도면5d



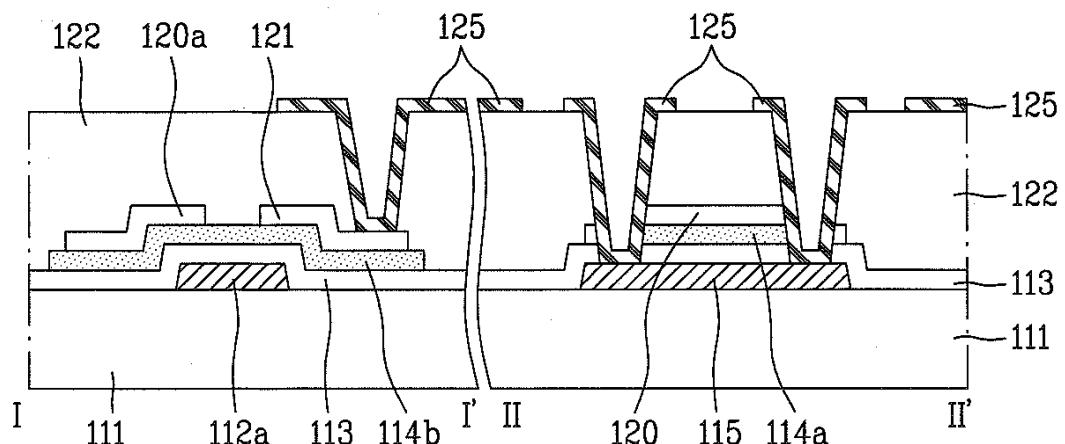
도면5e



도면5f



도면5g



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020080001112A	公开(公告)日	2008-01-03
申请号	KR1020060059236	申请日	2006-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SON MI YOUNG 손미영 PARK JUNE HO 박준호		
发明人	손미영 박준호		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136286 G02F1/1335 G02F1/1345 G02F2201/12		
代理人(译)	金勇 新昌		
外部链接	Espacenet		

摘要(译)

本发明是一种液晶显示装置，以及涉及它们的制备，尤其是液晶显示装置，其具有形成在一个方向上以及栅电极的栅极线在基板上的预定距离时，所述栅极线与栅极线和所述垂直方向突出这栅极绝缘膜形成在包括栅极线和虚设图案的基板的整个表面上，第一绝缘膜形成在栅极绝缘膜上并且在垂直于栅极线的方向上与虚设图案重叠，从第一半导体层突出并形成在栅电极上方的栅极绝缘膜上的第二半导体层，数据线与第一半导体层重叠并与栅极线交叉以限定像素区域，以及多个第二半导体层的保护膜，包括源极和漏极电极，所述被产生的漏电极和数据线是所述半导体层与所述数据线的两侧上的虚设图案的第一表面具有接触孔，以暴露的预定部分的衬底，所述接触孔的整个表面上形成电耦合到所述漏电极和通过像素电极的数据线和形成在像素区中的接触孔，所述第一半导体层，其特征在于所述配置它包括电连接到穿过所述虚设图案的导电图案那里。

