



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0105672  
(43) 공개일자 2007년10월31일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0038156  
(22) 출원일자 2006년04월27일  
심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

오현우

경기 남양주시 도농동 부영아파트5단지 502-1603

정진구

서울 동작구 사당2동 우성아파트 306동 601호

(74) 대리인

남승희

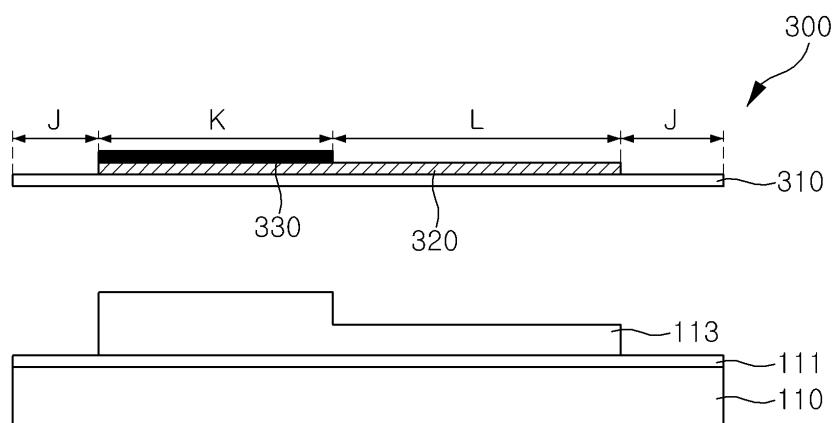
전체 청구항 수 : 총 15 항

(54) 박막 트랜지스터 기판 및 이의 제조 방법과 이를 포함하는 액정 표시 패널의 제조 방법

### (57) 요 약

액티브 패턴과 스토리지 커패시터용 스토리지 전극 패턴을 패터닝하는 공정과 스토리지 전극 패턴에 불순물을 주입하는 공정을 단일의 하프톤 포토 마스크를 이용하여 실시함으로써 제조 공정을 단순화시키고, 상기 액티브 패턴과 스토리지 전극 패턴상에 게이트 절연막을 형성하여 애성 공정시 발생하는 표면 손상을 방지할 수 있는 박막 트랜지스터 기판 및 이의 제조 방법과 이를 포함하는 액정 표시 패널의 제조 방법이 개시된다. 단차를 갖는 감광막 마스크를 형성하여 액티브 패턴과 스토리지 전극 패턴을 패터닝한 다음 스토리지 전극 패턴 상의 감광막 패턴을 제거한 상태에서 이온주입을 실시하여 제조 공정을 단순화시킬 수 있다.

대표도 - 도6



## 특허청구의 범위

### 청구항 1

기판 상에 실리콘 박막을 형성하는 단계;

실리콘 박막 상에 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 식각 마스크로 하는 식각 공정을 통해 상기 실리콘 박막을 제거하여 액티브 패턴 및 스토리지 전극 패턴을 형성하는 단계;

상기 스토리지 전극 패턴 상의 상기 감광막 패턴을 제거하고, 상기 액티브 패턴 상의 상기 감광막 패턴을 잔류시키는 단계;

이온 주입 공정을 실시하여 상기 스토리지 전극 패턴에 불순물 이온을 주입하는 단계; 및

상기 액티브 패턴 상에 잔류된 상기 감광막 패턴을 제거하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

### 청구항 2

청구항 1에 있어서, 상기 감광막 패턴을 형성하는 단계는,

상기 실리콘 박막 상에 감광막을 도포하는 단계;

상기 액티브 패턴이 형성될 상기 실리콘 박막 상부에 잔류되는 상기 감광막의 높이가 상기 스토리지 전극 패턴이 형성될 상기 실리콘 박막 상부에 잔류되는 상기 감광막의 높이보다 낮게 상기 감광막을 노광 및 현상하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

### 청구항 3

청구항 2에 있어서,

단차를 갖는 상기 감광막 패턴은 하프톤 마스크 또는 슬릿 마스크를 이용한 노광 및 현상을 통해 형성되는 박막 트랜지스터 기판의 제조 방법.

### 청구항 4

청구항 2에 있어서,

상기 스토리지 전극 패턴 상의 상기 감광막 패턴을 제거하고, 상기 액티브 패턴 상의 상기 감광막 패턴을 잔류시키는 단계는,

애싱 공정을 통해 상기 감광막 패턴을 상기 스토리지 전극 패턴상의 잔류 감광막 패턴의 높이만큼 제거하는 박막 트랜지스터 기판의 제조 방법.

### 청구항 5

청구항 1에 있어서,

상기 이온주입은 불순물 이온을 10 내지 30KeV의 가속 에너지로  $10^{14}$  내지  $10^{16}/\text{cm}^2$ 의 도즈량 만큼 주입하는 박막 트랜지스터 기판의 제조 방법.

### 청구항 6

청구항 1에 있어서,

상기 액티브 패턴 상의 상기 감광막 패턴을 제거한 후, 상기 기판 전면에 게이트 절연막을 형성하는 단계;

상기 액티브 패턴 상부와 그 일부가 중첩되는 게이트 전극과, 상기 게이트 전극과 접속되어 일 방향으로 연장된 게이트 라인과, 상기 스토리지 전극 패턴과 그 일부가 중첩되는 스토리지 라인을 형성하는 단계; 및

상기 게이트 전극 양측의 상기 액티브 패턴에 불순물 이온을 주입하여 소스 영역 및 드레인 영역을 형성하는 단

계를 더 포함하는 박막 트랜지스터 기판 제조 방법.

### 청구항 7

청구항 1에 있어서,

상기 기판 상에 실리콘 박막을 형성하는 단계 이후에,

상기 실리콘 박막 상에 보호막을 형성하는 단계를 더 포함하고,

상기 액티브 패턴 상에 잔류된 상기 감광막 패턴을 제거하는 단계 이후에,

상기 보호막을 제거하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

### 청구항 8

기판 상에 실리콘 박막 및 제 1 게이트 절연막을 형성하는 단계;

상기 제 1 게이트 절연막 상에 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 식각 마스크로 하는 식각 공정을 통해 상기 제 1 게이트 절연막을 제거하고, 상기 실리콘 박막을 제거하여 액티브 패턴 및 스토리지 전극 패턴을 형성하는 단계;

상기 스토리지 전극 패턴 상부 영역의 상기 감광막 패턴을 제거하고, 상기 액티브 패턴 상부 영역의 상기 감광막 패턴을 잔류시키는 단계;

이온 주입 공정을 실시하여 상기 스토리지 전극 패턴에 불순물 이온을 주입하는 단계;

잔류된 상기 감광막 패턴을 제거하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

### 청구항 9

청구항 8에 있어서, 상기 감광막 패턴을 형성하는 단계는,

상기 제 1 게이트 절연막 상에 감광막을 도포하는 단계;

상기 액티브 패턴이 형성될 상기 제 1 게이트 절연막 상부에 잔류되는 상기 감광막의 높이가 상기 스토리지 전극 패턴이 형성될 상기 제 1 게이트 절연막 상부에 잔류되는 상기 감광막의 높이보다 낮게 상기 감광막을 노광 및 현상하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

### 청구항 10

청구항 9에 있어서,

단차를 갖는 상기 감광막 패턴은 하프톤 마스크 또는 슬릿 마스크를 이용한 노광 및 식각을 통해 형성되는 박막 트랜지스터 기판의 제조 방법.

### 청구항 11

청구항 9에 있어서, 상기 스토리지 전극 패턴 상의 상기 감광막 패턴을 제거하고, 상기 액티브 패턴 상의 상기 감광막 패턴을 잔류시키는 단계는,

애싱 공정을 통해 상기 감광막 패턴을 상기 스토리지 전극 패턴상의 잔류 감광막 패턴의 높이만큼 제거하는 박막 트랜지스터 기판의 제조 방법.

### 청구항 12

청구항 8에 있어서,

상기 액티브 패턴상의 상기 감광막 패턴을 제거한 후, 상기 기판 전면에 제 2 게이트 절연막을 형성하는 단계;

상기 제 2 게이트 절연막 상부에 상기 액티브 패턴 상부와 그 일부가 중첩되는 게이트 전극과, 상기 게이트 전극과 접속되어 일 방향으로 연장된 게이트 라인과, 상기 스토리지 전극 패턴과 그 일부가 중첩되는 스토리지 라인을 형성하는 단계;

상기 게이트 전극 양측의 상기 액티브 패턴에 불순물 이온을 주입하여 소스 영역 및 드레인 영역을 형성하는 단계; 및

상기 게이트 전극이 형성된 상기 기판 전면에 층간 절연막을 형성하는 단계를 더 포함하는 박막 트랜지스터 기판 제조 방법.

### 청구항 13

기판;

상기 기판상에 형성되고, 소스 영역, 드레인 영역 및 채널 영역을 갖는 액티브 패턴 및 스토리지 전극 패턴;

상기 액티브 패턴 및 스토리지 전극 패턴 상에 형성된 제 1 게이트 절연막;

상기 채널 영역과 그 일부가 중첩되는 게이트 전극;

상기 액티브 패턴과 상기 게이트 전극간을 절연하는 제 2 게이트 절연막;

상기 게이트 전극과 접속되어 일 방향으로 연장되는 게이트 라인;

상기 스토리지 전극 패턴과 그 일부가 중첩되는 스토리지 라인;

상기 소스 영역에 접속된 소스 전극;

상기 소스 전극과 접속되어 타 방향으로 연장되는 소스 라인; 및

상기 드레인 영역에 접속되고, 상기 스토리지 라인과 그 일부가 중첩되는 드레인 전극을 포함하는 박막 트랜지스터 기판.

### 청구항 14

기판 상에 형성된 실리콘 박막의 일부를 감광막 마스크를 이용한 패터닝 공정을 통해 제거하여 액티브 패턴과 스토리지 전극 패턴을 형성하는 단계와, 상기 스토리지 전극 패턴 상의 상기 감광막 마스크를 제거한 다음 이온 주입을 실시하여 상기 스토리지 전극 패턴에 불순물 이온을 주입하는 단계를 수행하여, 상기 액티브 패턴 내에 채널 영역이 마련된 박막 트랜지스터와, 상기 박막 트랜지스터에 접속된 화소 전극과, 상기 화소 전극과 상기 스토리지 전극 패턴과 중첩된 스토리지 라인을 포함하는 하부 기판을 마련하는 단계;

상기 하부 기판에 대응하는 컬러 필터와 공통 전극을 포함하는 상부 기판을 마련하는 단계;

상기 화소 전극과 상기 공통 전극이 서로 마주보도록 상기 하부 기판과 상기 상부 기판을 합착 밀봉하고 그 사이에 액정을 마련하는 단계를 포함하는 액정 표시 패널의 제조 방법.

### 청구항 15

청구항 14에 있어서,

상기 실리콘 박막 상에 보호막 또는 게이트 절연막을 형성하는 액정 표시 패널의 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

<12> 본 발명은 박막 트랜지스터 기판 및 이의 제조 방법과 이를 포함하는 액정 표시 패널의 제조 방법에 관한 것으로, 박막 트랜지스터 기판의 제조 공정을 단순화할 수 있는 박막 트랜지스터 기판과 액정 표시 패널의 제조 방법에 관한 것이다.

<13> 일반적으로, 액정 표시 장치(Liquid Crystal Display; LCD)는 화소 전극 및 각 화소를 스위칭하는 박막 트랜지스터(TFT: Thin Film Transistor) 등이 형성된 박막 트랜지스터 기판과, 칼라 필터 및 공통 전극 등이 형성된 공통 전극 기판 및 두 기판 사이에 밀봉된 액정으로 구성된다. 박막 트랜지스터 기판의 화소 전극은 공통 전극

기판의 공통 전극과 함께 액정 커패시터를 형성한다. 액정 표시 장치는 각 화소의 액정 커패시터 각각에 화상 정보에 따른 데이터 신호(계조전압)를 개별적으로 공급하여 액정의 배열을 조절하고, 조절된 액정의 배열에 따라 액정을 투과하는 광량을 조절하여 화상을 표시한다.

- <14> 일 화소에 인가된 상기의 계조 전압은 짧은 시간 동안 액정 커패시터 양단에 충전이 되고, 이 충전된 전압은 다음 계조 전압을 입력받기 전까지 유지되어야 한다. 따라서, 각 화소 내에는 액정 커패시터에 충전된 전압을 일정하게 유지하기 위해 스토리지 커패시터를 액정 커패시터에 연결하여 사용하고 있다.
- <15> 다결정 실리콘으로 구성된 박막 트랜지스터를 포함하는 액정 표시 장치는 다결정 실리콘 박막을 기판상에 형성하고, 이를 패터닝 하여 액티브 패턴과 스토리지 전극 패턴을 형성한다. 이때, 충분한 커패시턴스 확보를 위해 상기의 패터닝 공정 후에 별도의 이온주입 공정을 통해 상기 스토리지 전극 패턴 영역에 불순물 이온을 주입한다. 이러한 이온 주입 공정은 액티브 패턴과 스토리지 전극 패턴이 형성된 기판 상에 감광막을 도포하고, 이를 현상 및 노광하여 감광막 마스크를 형성한다. 이후 상기의 감광막 마스크를 이온 주입 마스크로 하는 이온주입을 하여 스토리지 전극 패턴 영역에 불순물 이온을 주입한다.
- <16> 이와 같이 종래의 경우 이온주입 마스크 패턴을 기판 상에 형성하기 위한 별도의 포토 마스크를 추가로 제작하여야 하는 문제가 있다. 또한, 패터닝 공정 이외에 감광막을 이용한 이온주입 마스크의 제작 및 이의 제거 공정을 추가로 수행하게 됨으로 인해 박막 트랜지스터의 채널 영역으로 사용될 액티브 패턴의 표면 손상을 가져와 소자 동작에 악영향을 미치는 문제가 발생한다. 또한, 공정 단계의 증대로 인한 수율 저하는 물론 생산성의 저하를 가져오는 문제가 발생한다.

### 발명이 이루고자 하는 기술적 과제

- <17> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 도출된 것으로서, 액티브 패턴과 스토리지 전극 패턴을 패터닝하는 패터닝 공정과 스토리지 전극 패턴에 불순물 이온을 주입하는 이온주입 공정을 단일 마스크로 진행하여 제조 공정이 단순해지고, 이온 주입 공정시 공정 조건의 조절이 용이하며, 박막 트랜지스터 특성 열화를 방지할 수 있는 박막 트랜지스터 기판 및 이의 제조 방법과 이를 포함하는 액정 표시 패널의 제조 방법을 제공하는 것을 그 목적으로 한다.

### 발명의 구성 및 작용

- <18> 본 발명에 따른 기판 상에 실리콘 박막을 형성하는 단계와, 실리콘 박막 상에 감광막 패턴을 형성하는 단계와, 상기 감광막 패턴을 식각 마스크로 하는 식각 공정을 통해 상기 실리콘 박막을 제거하여 액티브 패턴 및 스토리지 전극 패턴을 형성하는 단계와, 상기 스토리지 전극 패턴 상의 상기 감광막 패턴을 제거하고, 상기 액티브 패턴 상의 상기 감광막 패턴을 잔류시키는 단계와, 이온 주입 공정을 실시하여 상기 스토리지 전극 패턴에 불순물 이온을 주입하는 단계 및 상기 액티브 패턴 상에 잔류된 상기 감광막 패턴을 제거하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법을 제공한다.
- <19> 여기서, 상기 감광막 패턴을 형성하는 단계는, 상기 실리콘 박막 상에 감광막을 도포하는 단계와, 상기 액티브 패턴이 형성될 상기 실리콘 박막 상부에 잔류되는 상기 감광막의 높이가 상기 스토리지 전극 패턴이 형성될 상기 실리콘 박막 상부에 잔류되는 상기 감광막의 높이보다 낮게 상기 감광막을 노광 및 현상하는 단계를 포함하는 것이 바람직하다. 이때, 단차를 갖는 상기 감광막 패턴은 하프톤 마스크 또는 슬릿 마스크를 이용한 노광 및 현상을 통해 형성되는 것이 효과적이다. 그리고, 상기 스토리지 전극 패턴 상의 상기 감광막 패턴을 제거하고, 상기 액티브 패턴 상의 상기 감광막 패턴을 잔류시키는 단계는, 애성 공정을 통해 상기 감광막 패턴을 상기 스토리지 전극 패턴상의 잔류 감광막 패턴의 높이만큼 제거하는 것이 효과적이다.

- <20> 상기의 이온주입은 불순물 이온을  $10^{14}$  내지  $30\text{KeV}$ 의 가속 에너지로  $10^{14}$  내지  $10^{16}/\text{cm}^2$ 의 도즈량 만큼 주입하는 것이 바람직하다.
- <21> 상기 액티브 패턴 상의 상기 감광막 패턴을 제거한 후, 상기 기판 전면에 게이트 절연막을 형성하는 단계와, 상기 액티브 패턴 상부와 그 일부가 중첩되는 게이트 전극과, 상기 게이트 전극과 접속되어 일 방향으로 연장된 게이트 라인과, 상기 스토리지 전극 패턴과 그 일부가 중첩되는 스토리지 라인을 형성하는 단계 및 상기 게이트 전극 양측의 상기 액티브 패턴에 불순물 이온을 주입하여 소스 영역 및 드레인 영역을 형성하는 단계를 더 포함하는 것이 바람직하다.
- <22> 상기 기판 상에 실리콘 박막을 형성하는 단계 이후에, 상기 실리콘 박막 상에 보호막을 형성하는 단계를 더 포

함하고, 상기 액티브 패턴 상에 잔류된 상기 감광막 패턴을 제거하는 단계 이후에, 상기 보호막을 제거하는 단계를 더 포함하는 것이 바람직하다.

<23> 또한, 본 발명에 따른 기판 상에 실리콘 박막 및 제 1 게이트 절연막을 형성하는 단계와, 상기 제 1 게이트 절연막 상에 감광막 패턴을 형성하는 단계와, 상기 감광막 패턴을 식각 마스크로 하는 식각 공정을 통해 상기 제 1 게이트 절연막을 제거하고, 상기 실리콘 박막을 제거하여 액티브 패턴 및 스토리지 전극 패턴을 형성하는 단계와, 상기 스토리지 전극 패턴 상부 영역의 상기 감광막 패턴을 제거하고, 상기 액티브 패턴 상부 영역의 상기 감광막 패턴을 잔류시키는 단계와, 이온 주입 공정을 실시하여 상기 스토리지 전극 패턴에 불순물 이온을 주입하는 단계와, 잔류된 상기 감광막 패턴을 제거하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법을 제공한다.

<24> 상기 감광막 패턴을 형성하는 단계는, 상기 제 1 게이트 절연막 상에 감광막을 도포하는 단계와, 상기 액티브 패턴이 형성될 상기 제 1 게이트 절연막 상부에 잔류되는 상기 감광막의 높이가 상기 스토리지 전극 패턴이 형성될 상기 제 1 게이트 절연막 상부에 잔류되는 상기 감광막의 높이보다 낮게 상기 감광막을 노광 및 현상하는 단계를 포함하는 것이 바람직하다. 여기서, 단차를 갖는 상기 감광막 패턴은 하프톤 마스크 또는 슬릿 마스크를 이용한 노광 및 식각을 통해 형성되는 것이 효과적이다. 그리고, 상기 스토리지 전극 패턴 상의 상기 감광막 패턴을 제거하고, 상기 액티브 패턴 상의 상기 감광막 패턴을 잔류시키는 단계는, 애싱 공정을 통해 상기 감광막 패턴을 상기 스토리지 전극 패턴상의 잔류 감광막 패턴의 높이만큼 제거하는 것이 효과적이다.

<25> 상기의 액티브 패턴상의 상기 감광막 패턴을 제거한 후, 상기 기판 전면에 제 2 게이트 절연막을 형성하는 단계와, 상기 제 2 게이트 절연막 상부에 상기 액티브 패턴 상부와 그 일부가 중첩되는 게이트 전극과, 상기 게이트 전극과 접속되어 일 방향으로 연장된 게이트 라인과, 상기 스토리지 전극 패턴과 그 일부가 중첩되는 스토리지 라인을 형성하는 단계와, 상기 게이트 전극 양측의 상기 액티브 패턴에 불순물 이온을 주입하여 소스 영역 및 드레인 영역을 형성하는 단계 및 상기 게이트 전극이 형성된 상기 기판 전면에 충간 절연막을 형성하는 단계를 더 포함하는 것이 바람직하다.

<26> 또한, 본 발명에 따른 기판과, 상기 기판상에 형성되고, 소스 영역, 드레인 영역 및 채널 영역을 갖는 액티브 패턴 및 스토리지 전극 패턴과, 상기 액티브 패턴 및 스토리지 전극 패턴 상에 형성된 제 1 게이트 절연막과, 상기 채널 영역과 그 일부가 중첩되는 게이트 전극과, 상기 액티브 패턴과 상기 게이트 전극간을 절연하는 제 2 게이트 절연막과, 상기 게이트 전극과 접속되어 일 방향으로 연장되는 게이트 라인과, 상기 스토리지 전극 패턴과 그 일부가 중첩되는 스토리지 라인과, 상기 소스 영역에 접속된 소스 전극과, 상기 소스 전극과 접속되어 타 방향으로 연장되는 소스 라인 및 상기 드레인 영역에 접속되고, 상기 스토리지 라인과 그 일부가 중첩되는 드레인 전극을 포함하는 박막 트랜지스터 기판을 제공한다.

<27> 또한, 본 발명에 따른 기판 상에 형성된 실리콘 박막의 일부를 감광막 마스크를 이용한 패터닝 공정을 통해 제거하여 액티브 패턴과 스토리지 전극 패턴을 형성하는 단계와, 상기 스토리지 전극 패턴 상의 상기 감광막 마스크를 제거한 다음 이온주입을 실시하여 상기 스토리지 전극 패턴에 불순물 이온을 주입하는 단계를 수행하여, 상기 액티브 패턴 내에 채널 영역이 마련된 박막 트랜지스터와, 상기 박막 트랜지스터에 접속된 화소 전극과, 상기 화소 전극과 상기 스토리지 전극 패턴과 중첩된 스토리지 라인을 포함하는 하부 기판을 마련하는 단계와, 상기 하부 기판에 대응하는 컬러 필터와 공통 전극을 포함하는 상부 기판을 마련하는 단계와, 상기 화소 전극과 상기 공통 전극이 서로 마주보도록 상기 하부 기판과 상기 상부 기판을 합착 밀봉하고 그 사이에 액정을 마련하는 단계를 포함하는 액정 표시 패널의 제조 방법을 제공한다.

<28> 상기 실리콘 박막 상에 보호막 또는 게이트 절연막을 형성하는 것이 바람직하다.

<29> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<30> 도면에서 여러 충 및 각 영역을 명확하게 표현하기 위하여 두께를 확대하여 표현하였으며 도면상에서 동일 부호는 동일한 요소를 지칭하도록 하였다. 또한, 충, 막, 영역, 판 등의 부분이 다른 부분 상부에 또는 위에 있다고 표현되는 경우는 각 부분이 다른 부분의 바로 상부 또는 바로 위에 있는 경우뿐만 아니라 각 부분과 다른 부분의 사이에 또 다른 부분이 있는 경우도 포함한다.

<31> 도 1 내지 도 4는 본 발명의 제 1 실시예에 따른 박막 트랜지스터 기판이 제조 방법을 설명하기 위한 도면들이고, 도 5 내지 도 9는 제 1 실시예에 따른 액티브 패턴 및 스토리지 패턴이 제조 방법을 설명하기 위한 단면 개

념도들이다.

- <32> 하기에서는 도 1 내지 도 9를 참조하여 본 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 설명한다. 하기 도면은 일 화소 전극과 일 박막 트랜지스터를 갖는 단위 화소영역을 도시한 것이다.
- <33> 도 1에 도시된 바와 같이 투광성 절연 기판(110) 상에 액티브 패턴(120)과 스토리지 커패시터용 스토리지 전극 패턴(130)을 형성하고, 상기 스토리지 전극 패턴(130) 영역에 불순물 이온을 도핑하는 것이 바람직하다.
- <34> 이를 도 5 내지 도 9를 참조하여 구체적으로 설명한다.
- <35> 먼저 도 5를 참조하면, 투광성 절연 기판(110) 상에 다결정 실리콘 박막(111)을 형성하고 그 상부에 감광막(112)을 도포한다. 이러한 다결정 실리콘 박막(111)은 기판(110) 상에 비정질 실리콘 박막을 증착한 다음 결정화 공정을 진행하여 형성되는 것이 바람직하다. 즉, 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition; LPCVD) 방법 또는 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PECVD) 방법을 통해 기판(130) 상에 비정질 실리콘 박막(a-Si:H)을 증착한다. 이후, 상기 비정질 실리콘 박막의 수소를 제거하는 탈 수소화(dehydrogenation) 공정을 진행한 다음 열을 이용하여 비정질 실리콘 박막을 결정화하여 다결정 실리콘 박막을 형성한다. 이때, 상기 열을 이용한 결정화 방법으로는 고상 결정화(Solid Phase Crystallization; SPC)방법과 엑시머 레이저 어닐링(Eximer Laser Annealing; ELA)방법을 사용하는 것이 효과적이다. 그리고, 상기 기판(130) 상에 실리콘 산화막 및 실리콘 질화막 중 적어도 어느 하나로 구성된 베퍼층(미도시)을 형성하고, 그 상부에 다결정 실리콘 박막(111)을 형성할 수도 있다.
- <36> 도 6을 참조하면, 하프톤 포토 마스크(300)를 이용한 포토 리소그라피 공정을 실시하여 제 1 감광막 마스크 패턴(113)을 형성한다. 이때, 제 1 감광막 마스크 패턴(113)은 스토리지 전극 패턴(130)이 형성될 영역의 감광막(112) 높이가 액티브 패턴(120)이 형성될 영역의 감광막(112) 높이보다 더 낮게 제작된다.
- <37> 하프톤 포토 마스크(300)는 광을 투과하는 투광영역(J)과, 광을 차폐하는 차광영역(K)과, 광의 일부만을 투과하는 하프톤 영역(L)을 포함한다. 이때, 상기 하프톤 영역(L)은 상기 투광성 절연 기판(110) 상에 형성되는 스토리지 전극 패턴(130)에 대응하는 사이즈로 제작되고, 차광영역(K)은 액티브 패턴(120)과 대응하는 사이즈로 제작되는 것이 바람직하다. 이러한 하프톤 포토 마스크(300)의 제작 방법을 설명하면 다음과 같다. 먼저 투광 기판(310) 상에 하프톤막(320)을 형성한 다음 상기 스토리지 전극 패턴(130) 및 액티브 패턴(120)에 대응하는 영역을 제외한 하프톤막(320)을 제거한다. 이후, 상기 하프톤막(320) 상에 차광막(330)을 형성한 다음 상기 액티브 패턴(120)에 대응하는 영역을 제외한 차광막(330)을 제거한다.
- <38> 상술한 하프톤 포토 마스크(300)를 이용하여 노광 공정을 실시하게 되면 투광영역(J) 하부의 감광막(112)은 완전히 노광이 되고, 차광영역(K) 하부의 감광막(112)은 노광이 되지 않고, 반투과영역(L) 하부의 감광막(112)은 감광막(112) 상측 일부 영역만이 노광된다. 이후 현상공정을 수행하면, 도 6에 도시된 바와 같이 투광영역(J) 하부의 감광막(112)은 완전히 제거되고, 반투과영역(L) 하부의 감광막은 노광된 상측 일부 영역만이 제거되며, 차광영역(K) 하부의 감광막(112)은 제거되지 않고 잔류하게 된다.
- <39> 이를 통해 앞서 설명한 바와 같이 스토리지 전극 패턴(130)이 형성될 다결정 실리콘 박막(111)상부에 잔류하는 감광막(112)의 높이가 액티브 패턴(120)이 형성될 다결정 실리콘 박막(111) 상부에 잔류하는 감광막(112)의 높이보다 낮은 제 1 감광막 마스크 패턴(113)을 형성할 수 있게 된다. 이러한 높이차는 앞서 설명한 하프톤 포토 마스크(300)의 반투과영역(L)에 형성된 하프톤막(320)의 투광율에 따라 다양하게 변화될 수 있다.
- <40> 또한, 본 실시예는 이에 한정되지 않고, 상기 하프톤 포토 마스크(300) 대신, 상기 반투과영역(L)에 슬릿 패턴이 형성된 슬릿 마스크를 사용할 수도 있다.
- <41> 도 7을 참조하면, 제 1 감광막 마스크 패턴(113)을 식각 마스크로 하는 식각 공정을 실시하여 상기 기판(110) 상에 노출된 다결정 실리콘 박막(111)을 제거하여 액티브 패턴(120)과 스토리지 전극 패턴(130)을 형성한다. 여기서, 액티브 패턴(120)은 도 1에 도시된 바와 같이 박막 트랜지스터가 형성될 영역 내에서 수평 방향으로 연장된 대략 직선 형상으로 제작되고, 스토리지 전극 패턴(130)은 상기 액티브 패턴(120)의 일 끝단에서 연장된 대략 판 형상으로 제작되는 것이 바람직하다. 이때, 스토리지 전극 패턴(130)은 개구율과, 스토리지 커패시터(130)의 정전용량에 따라 그 면적과 제작되는 형상 및 제작되는 위치가 다양하게 변화될 수 있다.
- <42> 도 8을 참조하면, 제 1 애칭 공정을 통해 제 1 감광막 마스크 패턴(113)의 일부를 제거하여 스토리지 전극 패턴(130) 영역은 개방하고, 액티브 패턴(120) 영역에는 감광막이 잔류하는 제 2 감광막 마스크 패턴(114)을 형성한다. 이후, 상기 제 2 감광막 마스크 패턴(114)을 이온 주입 마스크로 하는 이온 주입 공정을 실시하여 상기 노

출된 스토리지 전극 패턴(130)에 불순물 이온을 주입한다.

<43> 여기서, 제 1 애싱 공정은 산소 플라즈마를 이용한 건식 식각을 포함한다. 물론 본 실시예는 상술한 애싱 공정에 한정되지 않고, 감광막을 제거할 수 있는 다양한 방법(습식 식각, 감광막 스트립)을 사용하여 감광막을 제거할 수 있다.

<44> 이때, 제 1 애싱 공정을 통해 스토리지 전극 패턴(130) 영역 상부의 감광막을 제거하여 후속 이온 주입 공정 시의 공정 조건의 설정을 용이하게 할 수 있다. 즉, 스토리지 전극 패턴(130)의 표면이 노출되기 때문에 이온 투사 범위( $R_p$ ) 설정이 용이하고, 이온 주입을 위한 가속 에너지를 높게 가져가지 않을 수도 있다. 본 실시예에 따른 상기 이온 주입 공정은 인(P) 또는 비소(As)등의 N 타입 불순물 이온을 10 내지 30KeV의 가속 에너지로  $10^{14}$  내지  $10^{16}/cm^2$ 의 도즈량으로 이온 주입하는 것이 바람직하다. 이때, 상기 가속 에너지보다 낮은 가속 에너지를 사용할 경우 불순물 이온이 스토리지 전극 패턴(130) 내에 주입되지 못하고, 상기 가속 에너지 보다 높은 가속 에너지를 사용할 경우 주입되는 불순물 이온이 스토리지 전극 패턴(130)을 벗어나 기판(110)에 주입되는 문제가 발생한다.

<45> 도 9를 참조하면, 제 2 애싱 공정을 실시하여 제 2 감광막 마스크 패턴(114)을 제거한다.

<46> 상기와 같이 본 실시예는 액티브 패턴(120)과 스토리지 전극 패턴(130)의 형성공정과, 스토리지 전극 패턴(130)에 불순물 이온을 주입하는 공정을 한번의 포토 리소그라피 공정을 통해 수행할 수 있어 공정을 단순화시킬 수 있다. 또한, 제 1 애싱 공정시 액티브 패턴(120) 상부 표면에 감광막을 잔류시켜 애싱 공정으로 인해 액티브 패턴(120) 상부면이 손상되는 것을 방지할 수 있다. 이를 통해 소자 특성 열화를 방지할 수 있다.

<47> 다음으로, 도 2에 도시된 바와 같이, 액티브 패턴(120)이 형성된 기판(110)의 전면에 게이트 절연막(140) 및 제 1 도전성막을 형성하고, 제 1 도전성막을 패터닝 하여 게이트 라인(150) 및 게이트 전극(151)과, 스토리지 라인(160)을 형성하는 것이 바람직하다.

<48> 이때, 게이트 절연막(140)으로는 실리콘 산화막( $SiO_2$ )등의 절연성 물질막을 사용하는 것이 바람직하다. 그리고, 제 1 도전성막은 Mo, Cu, Al, Ti, Cr 및 이들의 합금 중 적어도 어느 하나를 사용하는 것이 바람직하다. 이때, 제 1 도전성막을 단일 층 구조로 형성될 수도 있고, 이중 이상의 다층 구조로 형성될 수도 있다. 이러한 제 1 도전성막을 패터닝 하여 게이트 라인(150), 게이트 전극(151) 및 스토리지 라인(160)을 형성한다. 즉, 제 1 도전성막 상에 감광막을 도포한 다음 포토 리소그라피 공정을 통해 도 2에 도시된 바와 같이 게이트 라인(150), 게이트 전극(151) 및 스토리지 라인(160) 영역을 차폐하는 감광막 마스크 패턴(미도시)을 형성한다. 이후, 상기 감광막 마스크 패턴을 식각 마스크로 하는 식각 공정을 실시하여 노출된 영역의 제 1 도전성막을 식각하고, 상기의 감광막 마스크 패턴을 제거한다. 이를 통해 수평 방향으로 연장된 게이트 라인(150)과, 이로부터 돌출되어 액티브 패턴(120)과 그 일부가 중첩하는 게이트 전극(151)과, 상기 게이트 라인(150)과 동일한 방향으로 연장되고, 스토리지 전극 패턴(130)과 그 일부가 중첩되는 스토리지 라인(160)을 형성한다. 이때, 상기 스토리지 전극 패턴(130)과 스토리지 라인(160)간의 중첩 영역의 면적에 따라 스토리지 커패시터의 커패시턴스가 변화된다. 따라서, 스토리지 전극 패턴(130)과 스토리지 라인(160)간의 중첩 영역의 면적을 조절하여 스토리지 커패시터의 커패시턴스를 변화시킬 수 있다. 상기 스토리지 라인(160)은 도면에 도시된 바와 같이 인접한 화소 영역간을 연결하는 연장부와 스토리지 전극 패턴(130)과 중첩되는 전극부를 포함한다. 연장부는 직선 형상으로 제작되고, 전극부는 관형상으로 제작된다. 상기 전극부는 스토리지 전극 패턴과 동일한 사이즈로 제작되는 것이 효과적이다. 불순물 이온이 도핑된 스토리지 전극 패턴(130)을 통해 스토리지 커패시터의 정전 용량을 향상시킬 수 있다. 이를 통해 다음 번 신호 전압이 액정 커패시터에 인가되기 전까지 액정 커패시터에 인가된 전압을 일정하게 유지할 수 있다.

<49> 상기 게이트 전극(151)은 액티브 패턴(120)의 중앙 영역에 위치하고, 게이트 전극(151)과 중첩되는 액티브 패턴(120)은 채널 영역(121)으로 정의된다.

<50> 게이트 전극(151)을 형성한 다음 이온 주입 공정을 실시하여 게이트 전극(151) 양측의 액티브 패턴(120) 내에 소스 영역(122) 및 드레인 영역(123)을 형성한다.

<51> 상기 이온 주입 공정은 형성되는 트랜지스터의 특성(캐리어 특성)에 따라 N 타입 불순물 이온을 주입하는 공정과 P 타입 불순물 이온을 주입하는 공정을 분리(즉, 각기 다른 마스크를 이용)하여 수행하는 것이 바람직하다. 즉, 제 1 감광막 마스크(미도시)를 이용하여 N 타입 불순물 이온이 주입될 영역을 개방한 다음 N 타입 불순물 이온을 게이트 전극(151) 양측의 액티브 패턴(120)에 주입한다. 이후, 제 2 감광막 마스크(미도시)를 이용하여

P 타입 불순물 이온이 주입될 영역을 개방한 다음 P 타입 불순물 이온을 게이트 전극(151) 양측의 액티브 패턴(120)에 주입한다. 이를 통해 각기 N 타입 트랜지스터와 P 타입 트랜지스터를 단일 기판(110) 상에 제작할 수 있다. 물론 이에 한정되지 않고, 게이트 전극(151) 상에 이온 배리어막(미도시)을 형성하여 이를 이온 주입 마스크로 하는 이온 주입을 실시할 수도 있고, 복수의 이온 주입 즉, 고농도 이온 주입 및 저농도의 이온 주입을 실시할 수도 있다. 예를 들어 제 1 도전성막의 패터닝 전에 이온 배리어막을 형성하여 게이트 전극(151) 상에 이온 배리어막을 잔류시킨다. 이때, 상기 이온 배리어막은 게이트 전극(151) 보다 큰 폭으로 형성하는 것이 바람직하다. 상기 이온 배리어막을 이온 주입 마스크로 하는 고농도 이온 주입 공정을 실시하여 게이트 전극(151) 양측의 액티브 패턴(120)에 고농도 이온 주입층을 형성한다. 이온 배리어막을 제거한 다음 저농도 이온 주입 공정을 실시하여 게이트 전극(151) 양측의 액티브 패턴(120)에 저농도 이온 주입층을 형성한다. 이를 통해 게이트 전극(151) 양측의 액티브 패턴(120)에 고농도 이온 주입층과 저농도 이온 주입층을 갖는 소스 영역(122) 및 드레인 영역(123)을 형성할 수도 있다.

<52> 다음으로, 도 3에 도시된 바와 같이 게이트 전극(151)이 형성된 기판(110)의 전면에 충간 절연막(170)을 형성하고, 상기 충간 절연막(170)을 관통하여 상기 소스 영역(122)과 드레인 영역(123)에 각기 접속되는 소스 전극(181)과 드레인 전극(190)을 형성한다.

<53> 상기의 충간 절연막(170)으로는 실리콘 산화막( $\text{SiO}_2$ ) 또는 실리콘 질화막( $\text{SiN}_x$ )을 포함하는 무기 절연물질을 사용하는 것이 바람직하다. 충간 절연막(170)은 단층으로 형성할 수 있고, 다층막으로 형성할 수도 있다. 전체 구조상에 충간 절연막(170)을 형성한 다음, 충간 절연막(170) 상에 감광막을 도포한다. 마스크를 이용한 포토리소그라피 공정을 실시하여 소스 영역(122) 및 드레인 영역(123)을 개방하는 감광막 마스크 패턴을 형성한다. 상기 감광막 마스크 패턴을 식각마스크로 하는 식각공정을 실시하여 소스 영역(122)의 일부를 개방하는 소스 콘택홀(182)과, 드레인 영역(123)의 일부를 개방하는 드레인 콘택홀(191)을 형성한다.

<54> 충간 절연막(170)이 형성된 기판(110) 전면에 제 2 도전성막을 형성한 다음 이를 패터닝하여 게이트 라인(150)과 직교하는 직선 형상의 소스 라인(180)을 형성하고, 상기 소스 라인(180)에서 돌출되어 상기 소스 콘택홀(182)을 통해 상기 소스 영역(122)과 접속하는 소스 전극(181)을 형성하고, 드레인 콘택홀(191)을 통해 드레인 영역(123)과 접속되고 스토리지 라인(160)과 그 일부가 중첩하는 드레인 전극(190)을 형성한다. 제 2 도전성막은 Mo, Cu, Al, Ti, Cr 및 이들의 합금 중 적어도 어느 하나를 사용한다. 도면에서와 같이 드레인 전극(190)은 액티브 패턴(120)의 드레인 영역(123)과 접속되는 접속부와, 스토리지 전극 패턴(130)과 동일한 형상의 연장부를 포함한다. 이러한 드레인 전극(190)의 연장부를 통해 스토리지 커패시터의 정전용량 값을 증대시킬 수 있다. 그리고, 상기 연장부의 형상을 상술한 설명에 한정시키지 않고 자유롭게 변화시켜 상기 정전용량 값을 자유롭게 변화시킬 수도 있다. 상기 드레인 전극(190)의 연장부는 후속 공정을 통해 화소 전극에 접속된다. 드레인 전극(190)을 스토리지 커패시터의 일 전극판으로 사용하고, 스토리지 전극 라인(160)을 스토리지 커패시터의 다른 전극판으로 사용할 수 있게 되어 두 전극 판 사이의 절연막의 두께가 종래 기술에 비해 얇아지므로 스토리지 커패시터의 정전용량이 증대될 수 있다.

<55> 이를 통해 드레인 전극(190)을 스토리지 커패시터의 일 전극판으로 사용할 수 있게 되어 스토리지 커패시터의 다른 일 전극 판으로 사용하는 스토리지 라인(160)과의 간격을 줄일 수 있다.

<56> 다음으로 도 4에 도시된 바와 같이 소스 전극(181) 및 드레인 전극(190)이 형성된 기판(110)의 전면에 보호막(200)을 형성하고, 보호막(200) 상부에 상기 드레인 전극(190)과 접속되는 화소 전극(210)을 형성한다.

<57> 상기 보호막을 형성한 다음 드레인 전극의 일부를 노출하는 화소 콘택홀을 형성한다. 상기 보호막(200)은 무기 절연 물질 또는 유기 절연 물질을 사용한다. 이후, 전체 구조상에 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 인듐 아연 산화물(Indium Zinc Oxide : IZO)을 포함하는 투광성의 전도성막을 전체 구조상에 증착한다. 상기 투광성의 전도성막을 패터닝하여 화소 콘택홀을 통해 드레인 전극과 연결되는 화소 전극을 형성한다.

<58> 또한, 본 발명은 상술한 설명에 한정되지 않고, 다결정 실리콘 박막 상에 게이트 절연막을 형성한 다음 액티브 패턴과 스토리지 패턴을 형성하고, 스토리지 패턴에 불순물 이온을 주입할 수 있고, 더미 게이트 라인 패턴을 통해 빛샘을 방지할 수도 있다. 하기에서는 본 발명의 제 2 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 설명한다. 후술되는 설명은 상술한 설명과 중복되는 설명은 생략한다. 그리고, 후술되는 실시예의 기술은 앞서 설명한 실시예에 적용될 수 있다.

<59> 도 10 내지 도 13은 본 발명의 제 2 실시예에 따른 박막 트랜지스터 기판이 제조 방법을 설명하기 위한 도면들이고, 도 14 내지 도 18은 제 2 실시예에 따른 액티브 패턴 및 스토리지 패턴이 제조 방법을 설명하기 위한 단

면 개념도들이다.

<60> 하기에서는 도 10 내지 도 18을 참조하여 본 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 설명한다.

<61> 도 10에 도시된 바와 같이 투광성 절연 기판(110) 상에 액티브 패턴(120)과 불순물 이온 도핑된 스토리지 전극 패턴(130)을 형성하고, 상기 패턴(120, 130)을 상부에 게이트 절연막(141, 142)을 형성한다.

<62> 이를 도 14 내지 도 18을 참조하여 구체적으로 설명한다.

<63> 먼저 도 14를 참조하면, 투광성 절연 기판(110) 상에 다결정 실리콘 박막(111)과 제 1 게이트 절연막(141)을 형성하고, 그 상부에 감광막(112)을 도포한다.

<64> 도 15를 참조하면, 하프톤 포토 마스크(300)를 이용한 포토 리소그라피 공정을 실시하여 제 1 감광막 마스크 패턴(113)을 형성한다. 이때, 제 1 감광막 마스크 패턴(113)은 스토리지 전극 패턴(130)이 형성될 영역의 감광막(112) 높이가 액티브 패턴(120)이 형성될 영역의 감광막(112) 높이보다 더 낮게 제작된다.

<65> 도 16을 참조하면, 제 1 감광막 마스크 패턴(113)을 식각 마스크로 하는 식각 공정을 실시하여 상기 기판(110) 상에 노출된 제 1 게이트 절연막(141) 및 다결정 실리콘 박막(111)을 순차적으로 제거하여 액티브 패턴(120)과 스토리지 전극 패턴(130)을 형성한다. 이때, 액티브 패턴(120)과 스토리지 전극 패턴(130) 상부영역에만 제 1 게이트 절연막(140)이 잔류한다.

<66> 여기서, 액티브 패턴(120)은 도 10에 도시된 바와 같이 박막 트랜지스터가 형성될 영역 내에서 수평 방향으로 연장된 대략 직선 형상으로 제작되고, 그 양 끝단에는 소스 전극과 드레인 전극과 접속되기 위한 확장영역이 마련되는 것이 바람직하다. 스토리지 전극 패턴(130)은 상기 액티브 패턴(120)의 일 끝단에서 연장된 대략 판 형상으로 제작되는 것이 바람직하다.

<67> 도 17을 참조하면, 제 1 애싱 공정을 통해 제 1 감광막 마스크 패턴(113)의 일부를 제거하여 스토리지 전극 패턴(130) 상부영역은 개방하고, 액티브 패턴(120) 상부영역에는 감광막이 잔류하는 제 2 감광막 마스크 패턴(114)을 형성한다. 이후, 상기 제 2 감광막 마스크 패턴(114)을 이온 주입 마스크로 하는 이온 주입 공정을 실시하여 상기 노출된 스토리지 전극 패턴(130)에 불순물 이온을 주입한다. 이때, 상기 스토리지 전극 패턴(130) 상부에는 제 1 게이트 절연막(141)이 마련되어 있기 때문에 이온주입으로 인해 스토리지 전극 패턴(130) 상부면이 열화되는 현상을 방지할 수 있다. 앞선 실시예에서는 스토리지 전극 패턴(130)의 표면을 기준으로 이온 주입을 위한 공정 조건을 설정하였다. 하지만, 본 실시예에서는 스토리지 전극 패턴(130) 상부에 마련된 제 1 게이트 절연막(141)으로 인해 제 1 게이트 절연막(141)의 표면을 기준으로 이온 주입을 위한 공정 조건을 설정하는 것이 바람직하다. 예를 들어 제 1 게이트 절연막(141)의 두께를 반영하여 이온 주입을 위한 가속 에너지는 앞선 실시예에 비하여 그 값을 더 중대시키는 것이 효과적이다.

<68> 도 18을 참조하면, 제 2 애싱 공정을 실시하여 제 2 감광막 마스크 패턴(114)을 제거하고, 전체 패턴 상부에 제 2 게이트 절연막(142)을 형성한다.

<69> 상기와 같이 본 실시예는 액티브 패턴(120)과 스토리지 전극 패턴(130)의 형성공정과 스토리지 전극 패턴(130)에 불순물 이온을 주입공정을 단일 마스크를 이용한 한번의 포토 리소그라피 공정을 통해 수행할 수 있어 공정을 단순화 시킬 수 있다. 그리고, 액티브 패턴(120) 상에 제 1 게이트 절연막(140)이 보호막 역할을 하여 애싱 공정시 사용하는 플라즈마에 의한 액티브 패턴(120) 표면의 손상을 방지할 수 있다.

<70> 제 2 감광막 마스크 패턴(114)를 제거한 다음 제 2 게이트 절연막(142)을 전체 구조상에 도포하여 제 1 및 제 2 게이트 절연막(142)으로 구성된 게이트 절연막(141, 142)을 형성한다. 물론 이에 한정되지 않고, 게이트 절연막(141, 142)은 복수의 층을 포함할 수 있다. 이때, 제 1 및 제 2 게이트 절연막(141, 142)은 동일 물질막을 사용할 수도 있고, 다른 물질막을 사용할 수도 있다. 예를 들어 제 1 및 제 2 게이트 절연막(141, 142)으로 실리콘 산화막을 사용하거나, 제 1 게이트 절연막(141)으로 실리콘 산화막을 사용하고, 제 2 게이트 절연막(142)으로 실리콘 질화막을 사용할 수도 있다.

<71> 목표로 하는 게이트 절연막(141, 142)의 두께(게이트 전극과 채널 영역 사이의 두께)를 1로 하였을 경우 제 1 게이트 절연막(141)의 두께는 0.1 내지 0.9일 수 있고, 2 게이트 절연막(142)의 두께는 0.1 내지 0.9일 수 있다. 전체 게이트 절연막의 두께가 증대되는 것을 방지할 수 있다. 여기서, 제 1 게이트 절연막(141)은 액티브 패턴(120)의 손상을 방지하는 역할을 하고, 제 2 게이트 절연막(142)은 게이트 전극(151)과 액티브 패턴(120)간을 절연하는 역할을 한다. 따라서, 상기 제 1 및 제 2 게이트 절연막(141, 142)은 이들 각각의 역할 수

행을 위해 앞서 설명에 한정되지 않고, 다양한 두께 범위를 가질 수 있다.

- <72> 물론 본 실시예는 상술한 설명에 한정되지 않고, 상기 다결정 실리콘 박막(111) 상에 보호막(미도시)을 형성한 다음 액티브 패턴(120)과 스토리지 전극 패턴(130)을 형성하고, 스토리지 전극 패턴(130)에 불순물 이온을 주입한다. 불순물 이온 주입후, 제 2 감광막 마스크 패턴 제거한다. 이때, 상기 보호막은 불순물 이온 주입시 하부 스토리지 전극 패턴(130)의 표면을 보호하는 역할을 하고, 제 2 감광막 마스크 패턴 제거시 액티브 패턴(120)의 표면을 보호하는 역할을 한다. 즉, 앞서 설명한 제 1 게이트 절연막(141)과 동일한 역할을 수행할 수 있다. 이후, 보호막을 제거한 다음 전체 구조상에 게이트 절연막을 증착할 수 있다.
- <73> 다음으로, 도 11에 도시된 바와 같이, 액티브 패턴(120) 상에 제 1 및 제 2 게이트 절연막(141, 142)이 마련된 기판(110)의 전면에 제 1 도전성막을 형성하고, 제 1 도전성막을 패터닝 하여 게이트 라인(150) 및 게이트 전극(151)과, 스토리지 라인(160)을 형성하는 것이 바람직하다. 이때, 빛샘 방지를 위해 화소간의 경계 영역에 더미 패턴(152)을 함께 형성하는 것이 바람직하다.
- <74> 제 2 게이트 절연막 상부의 제 1 도전성막 상에 감광막을 도포한 다음 포토 리소그라피 공정을 통해 도 11에 도시된 바와 같이 게이트 라인(150), 게이트 전극(151), 더미 패턴(152) 및 스토리지 라인(160) 영역을 차폐하는 감광막 마스크 패턴(미도시)을 형성한다. 이후, 상기 감광막 마스크 패턴을 식각 마스크로 하는 식각 공정을 실시하여 노출된 영역의 제 1 도전성막을 식각하고, 상기의 감광막 마스크 패턴을 제거한다.
- <75> 이를 통해 수평 방향으로 연장된 게이트 라인(150)과, 이로부터 돌출되어 액티브 패턴(120)과 그 일부가 중첩하는 게이트 전극(151)과, 상기 게이트 라인(150)과 동일한 방향으로 연장되고, 스토리지 전극 패턴(130)과 그 일부가 중첩되는 스토리지 라인(160)과, 화소의 경계영역에 상기 게이트 라인(150) 및 스토리지 라인(160)과 이격되고 이들에 대해 수직한 방향으로 연장된 더미 패턴(152)을 형성한다. 상기와 같은 더미 패턴(152)의 폭은 화소의 개구율에 따라 다양하게 변화될 수 있다. 바람직하게 상기 더미 배선(152)의 폭은 게이트 라인(150) 또는 소스 라인(180)의 선폭보다 1 내지 3배 더 큰 폭으로 제작한다. 이와 같이 본 실시예에서는 상기 더미 패턴(152)을 통해 화소의 경계 영역에서의 빛샘 현상을 방지할 수 있다. 따라서, 박막 트랜지스터 기판에 대응하는 공통 전극 기판 상에 빛샘 방지 역할을 하는 막을 형성하지 않을 수도 있다.
- <76> 상기 게이트 전극(151)은 도면에 도시된 바와 같이 게이트 라인(150)에서 돌출된 제 1 및 제 2 돌출부를 포함한다. 제 1 및 제 2 돌출부는 액티브 패턴(120)의 중앙 영역에 위치하고, 제 1 및 제 2 돌출부와 액티브 패턴(120) 사이에는 제 1 및 제 2 게이트 절연막(141, 142)이 마련된다. 그리고, 상기 스토리지 라인(160)은 도면에 도시된 바와 같이 인접한 화소 영역간을 연결하는 연장부와 상기 연장부에서 돌출되어 스토리지 전극 패턴(130)과 중첩되는 전극부를 포함한다.
- <77> 상기와 같이 게이트 전극(151)을 형성한 다음 이온 주입 공정을 실시하여 게이트 전극(151) 양측의 액티브 패턴(120) 내에 소스 영역(122) 및 드레인 영역(123)을 형성한다. 상기 소스 영역(122) 및 드레인 영역(123)은 액티브 패턴(120)의 끝단에 사각형 형상으로 확장된 영역 내에 N 타입 또는 P 타입의 불순물 이온을 주입하여 형성되는 것이 바람직하다.
- <78> 그리고, 본 실시예의 이온 주입 공정 후에는 불순물 이온을 활성화시키기 위한 열처리 공정을 더 수행할 수 있다.
- <79> 다음으로, 도 12에 도시된 바와 같이 게이트 전극(151) 및 더미 패턴(152)이 형성된 기판(110)의 전면에 충간 절연막(170)을 형성하고, 상기 충간 절연막(170)의 일부를 식각하여 소스 영역(122) 및 드레인 영역(123)의 일부를 노출하는 소스 콘택홀(182) 및 드레인 콘택홀(191)을 형성한다. 상기의 콘택홀(182, 191)이 형성된 충간 절연막(170) 전면에 제 2 도전성막을 형성한 다음 이를 패터닝하여 게이트 라인(150)과 직교하는 선 형상의 소스 라인(180)을 형성하고, 상기 소스 라인(180)에서 돌출되어 상기 소스 콘택홀(182)을 통해 상기 소스 영역(122)과 접속하는 소스 전극(181)을 형성하고, 드레인 콘택홀(191)을 통해 드레인 영역(123)과 접속되고 스토리지 라인(160)과 그 일부가 중첩하는 드레인 전극(190)을 형성한다. 이를 통해 박막 트랜지스터가 제조된다. 소스 라인(180)의 경우 상기 더미 패턴(152)과 그 일부가 중첩되는 것이 효과적이다. 바람직하게는 빛샘 방지 역할을 하는 더미 패턴(152)의 내측으로 상기 소스 라인(180)이 연장되는 것이 바람직하다.
- <80> 다음으로 도 13에 도시된 바와 같이 소스 전극(181) 및 드레인 전극(190)이 형성된 기판(110)의 전면에 패시베이션막(201)과 보호막(200)을 형성하고, 패시베이션막(201) 및 보호막(200)의 일부를 제거하여 화소 콘택홀(211)을 형성한다. 화소 콘택홀(211)이 형성된 보호막(200) 상에 투광성의 전도성막을 증착하고 패터닝 하여 화소 전극(210)을 형성한다.

- <81> 여기서, 소스 라인(180), 소스 전극(181) 및 드레인 전극(190)이 형성된 충간 절연막(170) 상부 전면에 패시베이션막(201)을 형성하되, 섭씨 300 내지 500도 이상의 온도에서 증착하는 것이 바람직하다. 이러한 패시베이션막(201)과 보호막(200)은 하부에 형성된 박막 트랜지스터를 보호하는 역할을 한다.
- <82> 본 실시예는 상술한 설명에 한정되지 않고, 화소 전극 일부에 반투과 패턴이 형성될 수 있다. 즉, 박막 트랜지스터 영역 및 스토리지 커패시터용 스토리지 배선 영역에 반투과 패턴이 형성되고, 반투과 패턴 상부에 광을 반사하는 광 반사막이 형성될 수도 있다. 이를 통해 박막 트랜지스터 기판은 반투과형 액정 표시 패널에 사용될 수도 있다.
- <83> 또한, 본 발명은 상술한 설명에 한정되지 않고, 반투과 영역을 갖는 마스크를 이용하여 박막 트랜지스터 기판 제조를 위한 마스크의 개수를 줄일 수 있다. 여기에서는 소스 및 드레인 전극과 화소 패턴을 동시에 형성하여 박막 트랜지스터 기판의 제조를 위한 마스크의 개수를 줄인 본 발명의 제 3 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 설명한다. 후술되는 설명은 상술한 설명과 중복되는 설명은 생략한다. 그리고, 후술되는 실시예의 기술은 앞서 설명한 실시예들에 적용될 수 있다.
- <84> 도 19 내지 도 24는 본 발명의 제 3 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 설명하기 위한 단면 개념도이다.
- <85> 도 19를 참조하면, 투광성 절연 기판(410) 상에 다결정 실리콘 박막을 형성한 다음 이를 감광막 마스크 패턴을 이용한 식각을 실시하여 액티브 패턴(420)과 스토리지 전극 패턴(430)을 형성한다. 이때, 투광성 절연 기판(410)으로 유리 기판 및 플라스틱 기판 등을 사용할 수 있다. 애성공정을 통해 스토리지 전극 패턴(430) 상부의 감광막 마스크 패턴을 제거한다. 이후, 스토리지 전극 패턴(430) 상부의 패턴이 제거된 상기 감광막 마스크 패턴을 이용한 이온 주입공정을 실시하여 스토리지 전극 패턴(430)에 불순물 이온을 주입한다.
- <86> 도 20을 참조하면, 상기 액티브 패턴(420)이 형성된 기판(410) 전면에 게이트 절연막(440)과 제 1 도전성막을 형성한다. 상기 제 1 도전성막을 패터닝 하여 수평 방향으로 연장된 게이트 라인(미도시)과, 상기 게이트 라인에서 상기 액티브 패턴(420)의 중심 영역으로 돌출된 게이트 전극(451)과, 게이트 라인과 동일 방향으로 연장되고, 그 일부가 스토리지 전극 패턴(430)과 중첩되는 스토리지 라인(460)을 형성한다. 상기 게이트 전극(451) 양측의 액티브 패턴(420) 영역에 불순물 이온을 주입하여 소스 영역(422) 및 드레인 영역(423)을 형성한다.
- <87> 도 21을 참조하면, 게이트 전극(451)이 형성된 기판(410) 전면에 충간 절연막(470) 및 투광성의 전도성막(481)을 형성한다. 화소 전극(480) 상부에 감광막을 도포한 다음 슬릿 패턴 및 하프톤 패턴의 반투과 영역을 갖는 반투과 포토 마스크를 이용한 포토 리소그라피 공정을 실시하여 제 1 감광막 마스크 패턴(490)을 형성한다. 즉, 화소 전극(480)이 형성될 영역의 감광막은 현상 공정시 제거되지 않고 잔류한다. 소스 영역(422) 및 드레인 영역(423) 상측의 일부(소스 및 드레인 콘택홀(491, 492)이 형성될 영역)의 감광막은 현상 공정시 제거되어 하부의 투광성의 전도성막(481)이 노출된다. 나머지 영역의 감광막은 현상 공정시 그 상부 영역만이 제거되어 화소 전극(480)이 형성될 영역에 잔류하는 감광막의 높이보다 낮은 높이로 잔류 된다.
- <88> 도 22를 참조하면, 제 1 감광막 마스크 패턴(490)을 식각 마스크로 하여 노출된 영역의 투광성의 전도성막(481), 충간 절연막(470) 및 게이트 절연막(440)을 순차적으로 제거하여 각기 소스 영역(422) 및 드레인 영역(423)을 개방하는 소스 콘택홀(491) 및 드레인 콘택홀(492)을 형성한다. 이후, 화소 전극(480)이 형성될 영역 이외의 제 1 감광막 마스크 패턴(490)을 제거하여 제 2 감광막 마스크 패턴(493)을 형성한다. 이는 애성 공정을 통해 제 1 감광막 마스크 패턴(490)의 높이를 전체적으로 낮추게 되면 화소 전극(480)이 형성될 영역에는 감광막이 잔류되고, 나머지 영역의 감광막은 제거된다.
- <89> 도 23을 참조하면, 제 2 감광막 마스크 패턴(493)을 식각 마스크로 하여 노출된 영역의 투광성의 전도성막(481)을 제거하여 화소 전극(480)을 형성한다.
- <90> 도 24를 참조하면, 화소 전극(480)이 형성된 기판(410) 전면에 제 2 도전성막을 형성한다. 제 2 도전성막을 패터닝 하여 상기 게이트 라인에 수직한 방향으로 연장된 소스 라인(510)과, 상기 소스 라인(510)에서 돌출되어 상기 소스 콘택홀(491)을 통해 상기 소스 영역(422)과 접속되는 소스 전극(511)과, 상기 드레인 콘택홀(492)을 통해 상기 드레인 영역(423)과 접속되고, 화소 전극(480)과 접속된 드레인 전극(520)을 형성한다. 이때, 드레인 전극(520)과 화소 전극(480)의 측면 영역이 접속되는 것이 바람직하다. 이때, 상기 화소 전극(480) 상에 형성된 제 2 감광막 마스크 패턴은 소스 전극(511) 및 드레인 전극(520) 형성후에 제거하는 것이 바람직하다. 상술한 공정을 통해 드레인 전극(520)과 화소 전극(480) 간을 연결하기 위한 화소 콘택홀 형성공정을 생략할 수 있어 공정을 단순화 시킬 수 있다.

- <91> 앞서 설명한 실시예의 방법을 통해 기판 상에 박막 트랜지스터와 화소 전극을 형성하고, 이를 이용한 액정 표시 장치용 박막 트랜지스터 기판을 제조할 수 있다. 상술한 설명들에서는 액정 표시 장치에서 사용되는 박막 트랜지스터 기판 상에 형성되는 박막 트랜지스터를 일 예로 설명하였지만, 본 발명은 이에 한정되지 않고, LTPS 및 OLED 등의 다양한 형태의 평판 표시 장치의 구동회로 및 화소 구동용 트랜지스터에 적용될 수 있다.
- <92> 또한, 액정 표시 패널은 상술한 구조의 박막 트랜지스터 기판에 공통 전극 기판을 합착 밀봉한 다음 상기 두 기판 사이 영역에 액정을 주입하여 제작되는 것이 바람직하다. 이때, 상기 공통 전극 기판은 투광성 절연 기판 상에 적색, 녹색 및 청색의 컬러 필터를 형성하고, 그 상부에 공통 전극을 형성하여 제작한다. 이때, 상기 컬러 필터는 박막 트랜지스터 기판의 화소에 각기 대응되는 것이 바람직하다. 그리고, 상기 두 기판의 합착시 두 기판 사이의 셀 캡 유지를 위해 소정의 스페이서를 더 형성할 수도 있다. 그리고, 두 기판의 합착 밀봉은 실란트 등의 실링 부재를 사용하는 것이 바람직하다.
- <93> 물론 이에 한정되지 않고, 박막 트랜지스터 기판과, 공통 전극 기판을 마련한 다음 일 기판 상에는 액정을 적하고, 다른 기판의 가장자리에는 실링 부재를 도포한 후에 상기 두 기판을 합착 밀봉하여 액정 표시 장치를 제작할 수도 있다.

### 발명의 효과

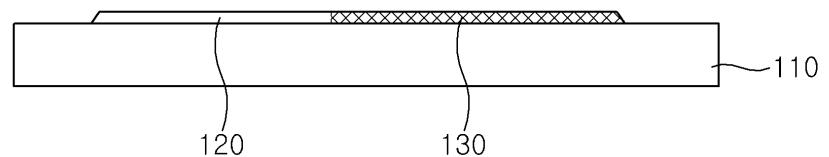
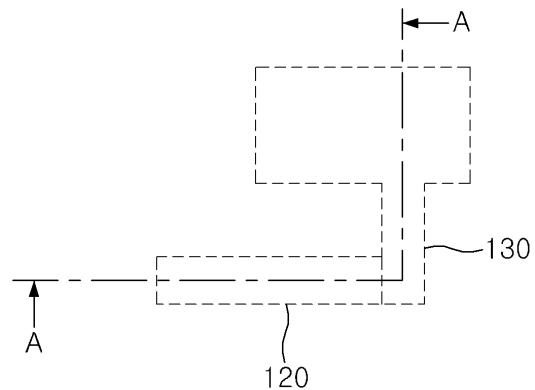
- <94> 상술한 바와 같이, 본 발명은 액티브 패턴과 스토리지 전극 패턴의 패터닝 공정과 스토리지 전극 패턴에 불순물 이온을 주입하는 공정을 단일의 마스크로 진행하여 제조 공정을 단순화시킬 수 있다.
- <95> 또한, 감광막 패턴을 이용하여 액티브 패턴과 스토리지 전극 패턴을 패터닝한 다음 스토리지 전극 패턴 상의 감광막 패턴을 제거한 상태에서 이온주입을 실시하여 이온 주입 공정 조건을 용이하게 설정할 수 있다.
- <96> 또한, 액티브 패턴과 스토리지 전극 패턴 상에 보호막 또는 게이트 절연막을 형성하여 감광막 제거를 위한 애성 공정시 발생하는 상기 패턴 표면의 손상을 방지하여 소자의 동작 특성을 향상시킬 수 있다.
- <97> 또한, 게이트 라인 형성시 화소의 경계 영역에 더미 패드를 형성하여 빛샘을 방지할 수 있다.
- <98> 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 도면의 간단한 설명

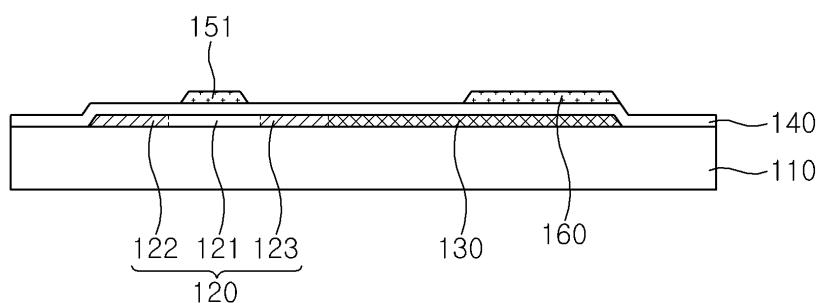
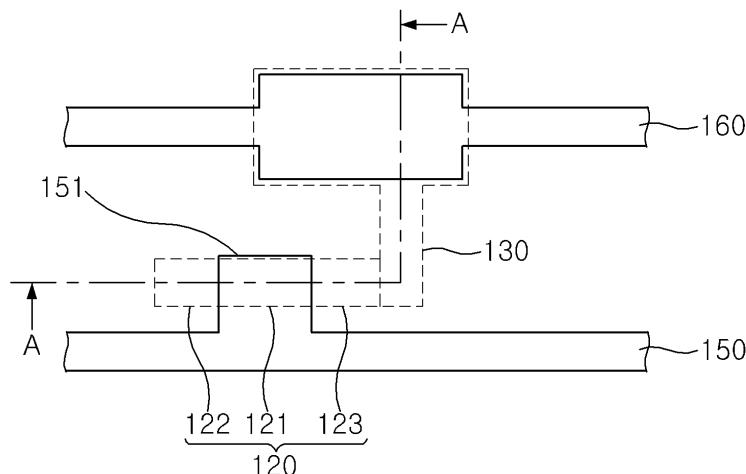
- <1> 도 1 내지 도 4는 본 발명의 제 1 실시예에 따른 박막 트랜지스터 기판이 제조 방법을 설명하기 위한 도면.
- <2> 도 5 내지 도 9는 제 1 실시예에 따른 액티브 패턴 및 스토리지 패턴이 제조 방법을 설명하기 위한 단면 개념도.
- <3> 도 10 내지 도 13은 본 발명의 제 2 실시예에 따른 박막 트랜지스터 기판이 제조 방법을 설명하기 위한 도면.
- <4> 도 14 내지 도 18은 제 2 실시예에 따른 액티브 패턴 및 스토리지 패턴이 제조 방법을 설명하기 위한 단면 개념도.
- <5> 도 19 내지 도 24는 본 발명의 제 3 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 설명하기 위한 단면 개념도.
- <6> <도면의 주요 부분에 대한 부호의 설명>
- <7> 110, 410 : 기판 120, 420 : 액티브 패턴
- <8> 130, 430 : 스토리지 전극 패턴 140, 440 : 게이트 절연막
- <9> 151, 451 : 게이트 전극 160, 460 : 스토리지 라인
- <10> 170, 470 : 층간 절연막 181, 511 : 소스 전극
- <11> 190, 520 : 드레인 전극 210, 480 : 화소 전극

## 도면

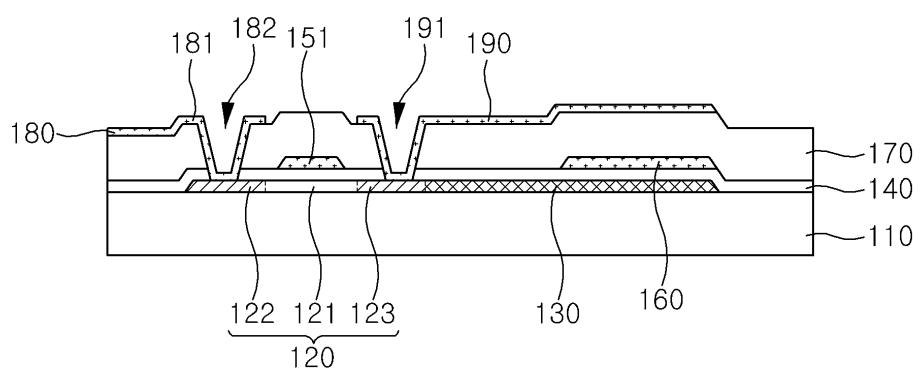
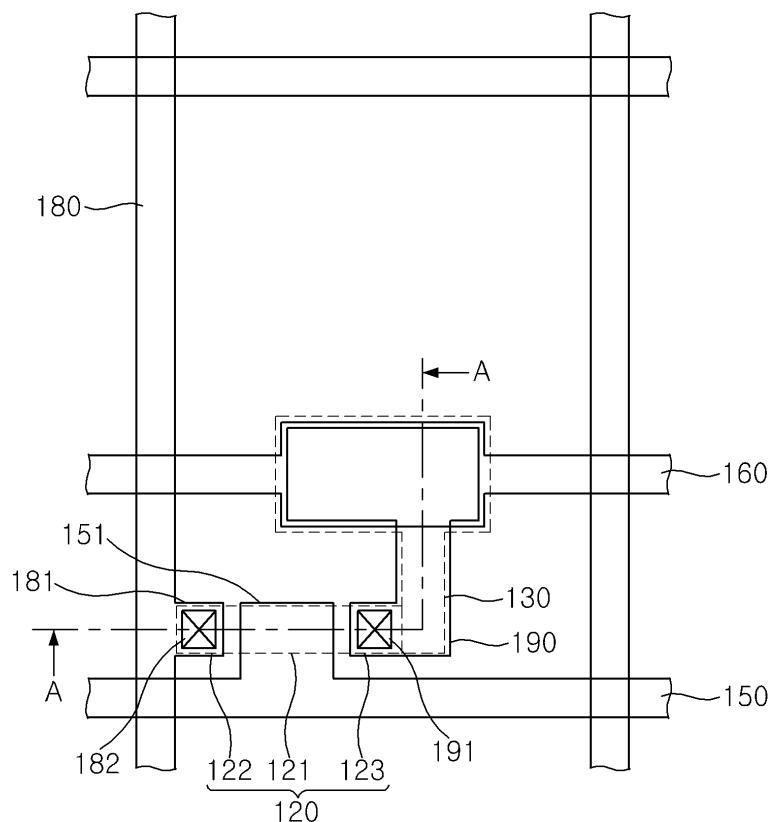
## 도면1



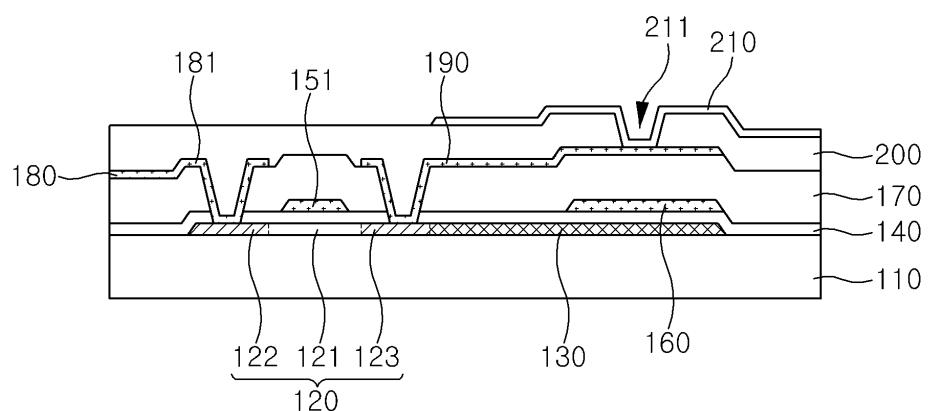
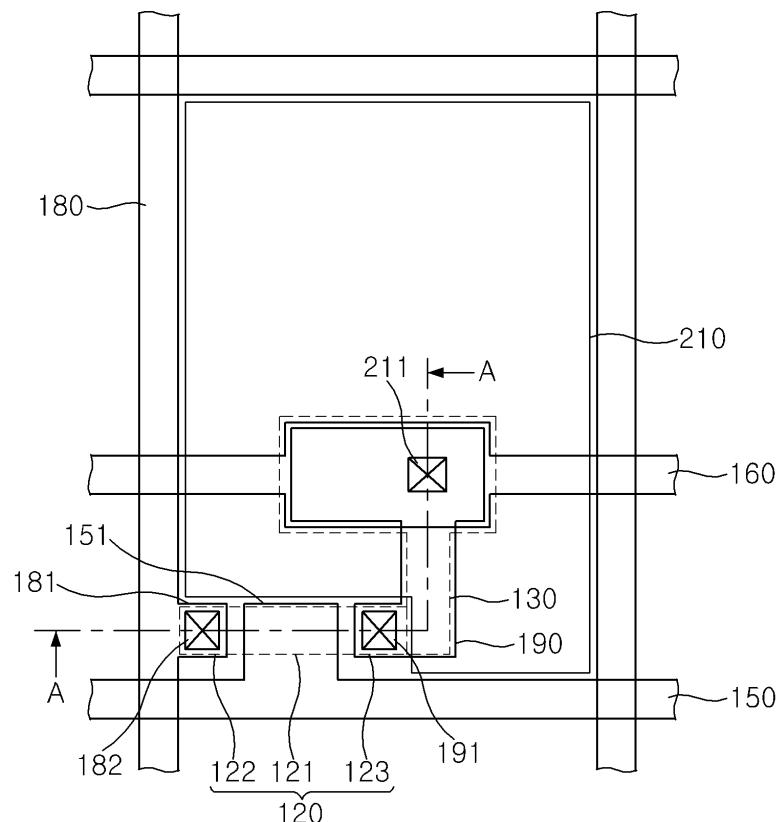
도면2



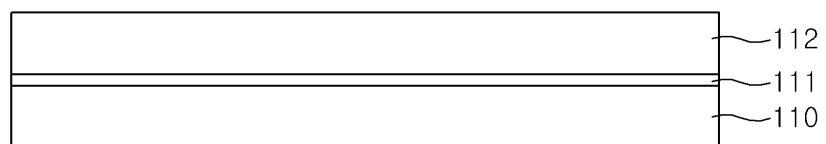
### 도면3



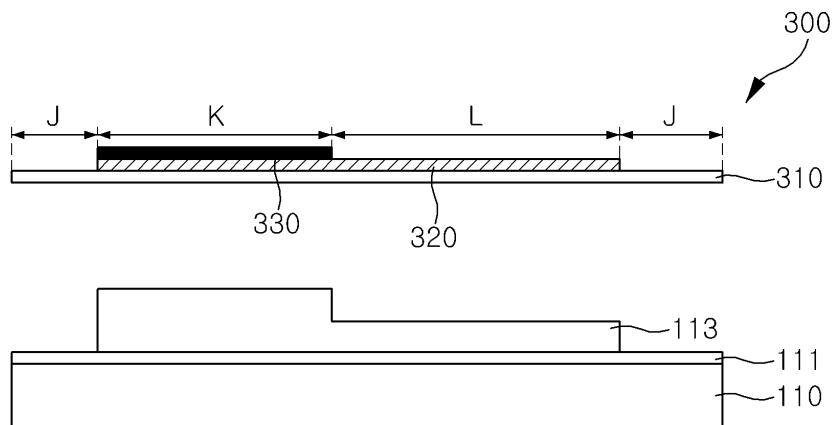
도면4



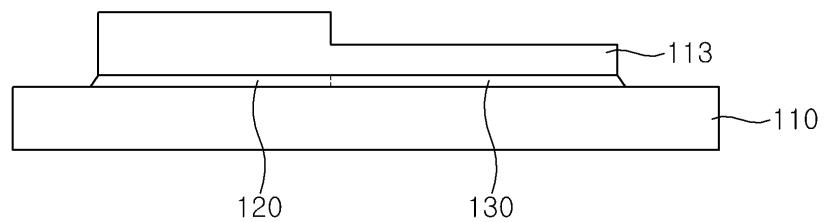
도면5



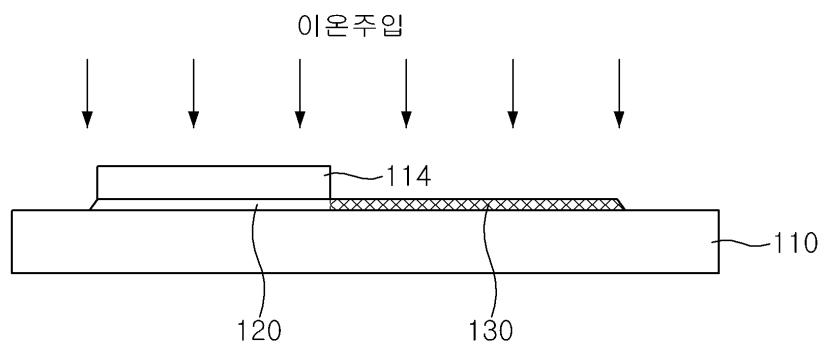
도면6



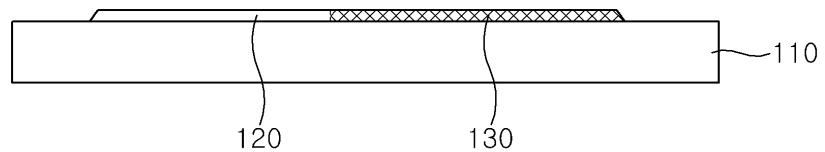
도면7



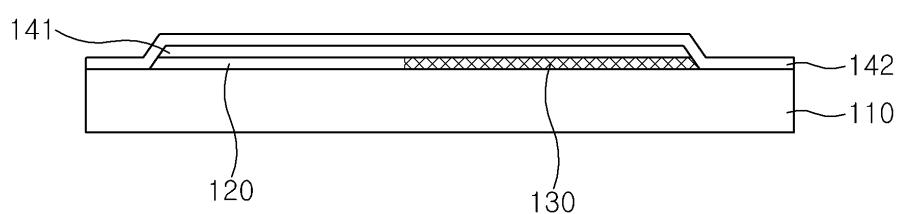
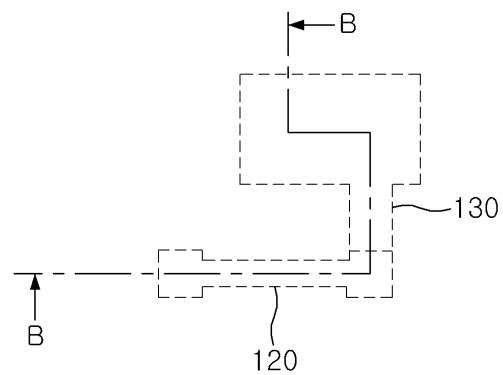
도면8



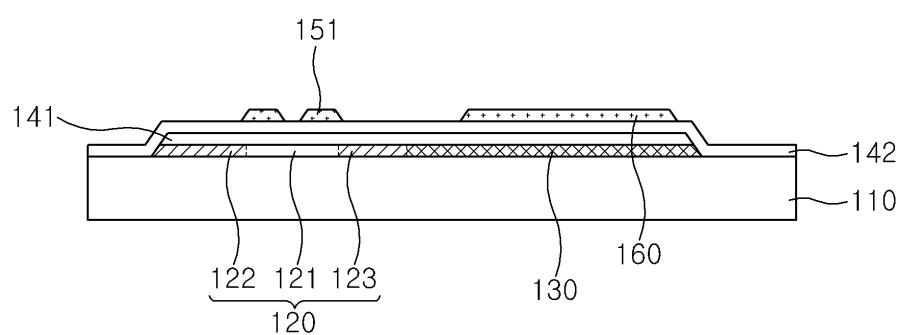
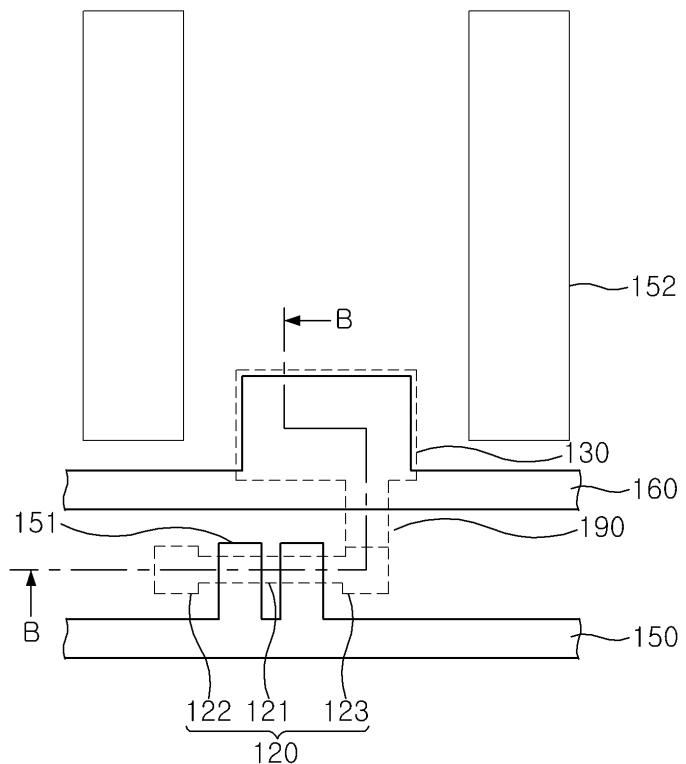
도면9



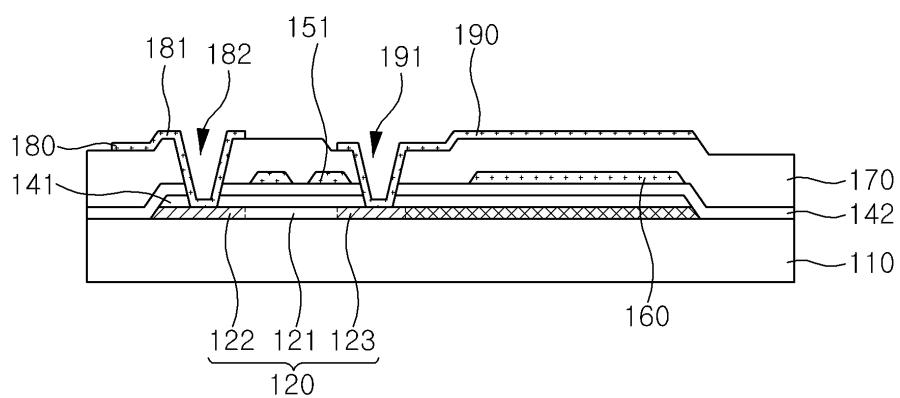
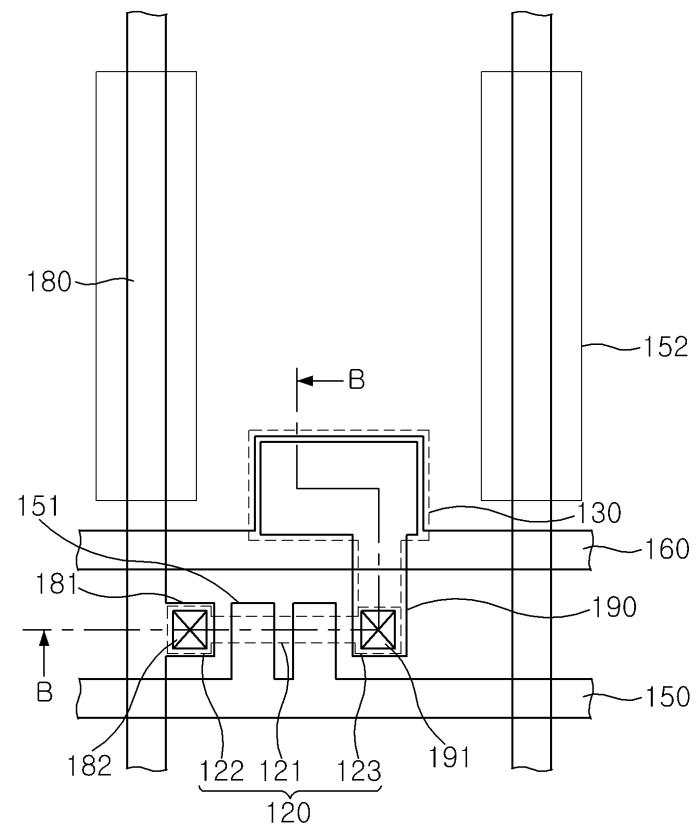
도면10



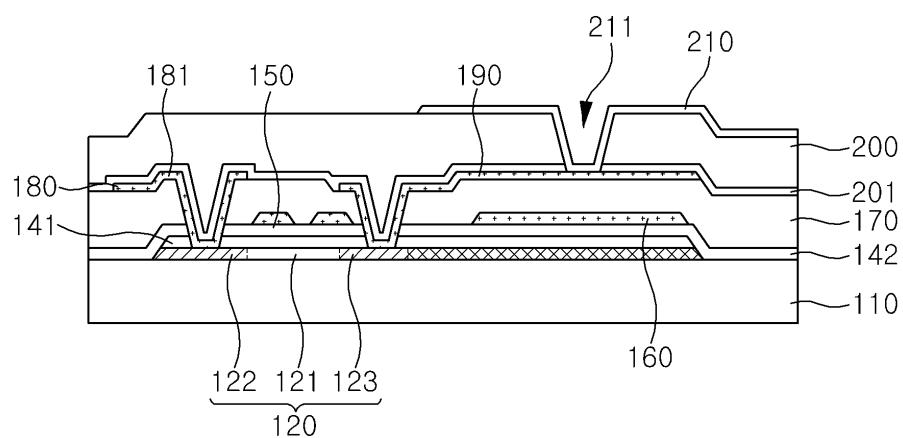
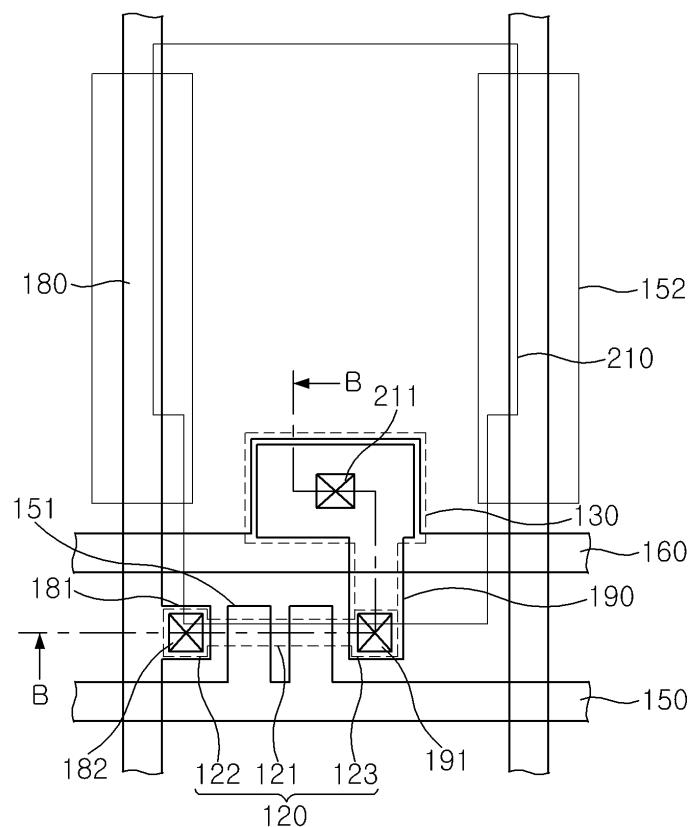
도면11



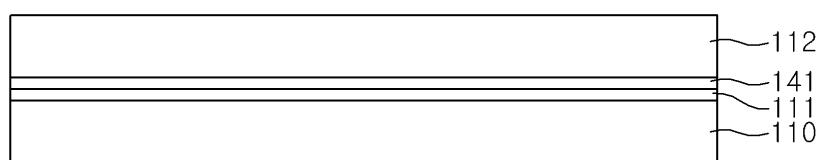
## 도면12



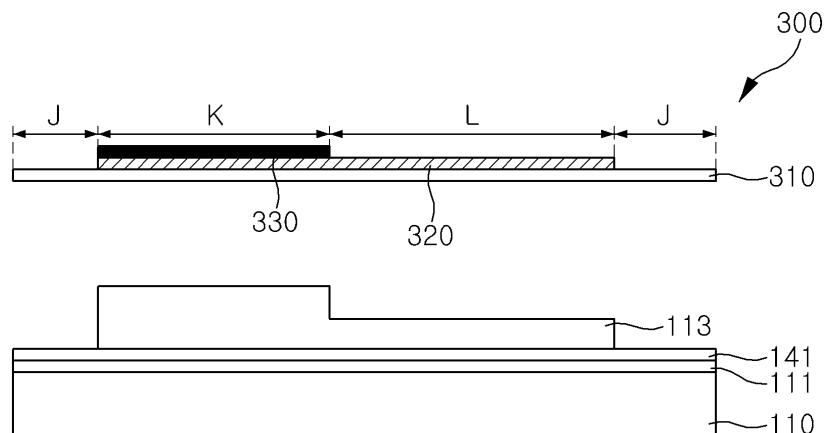
도면13



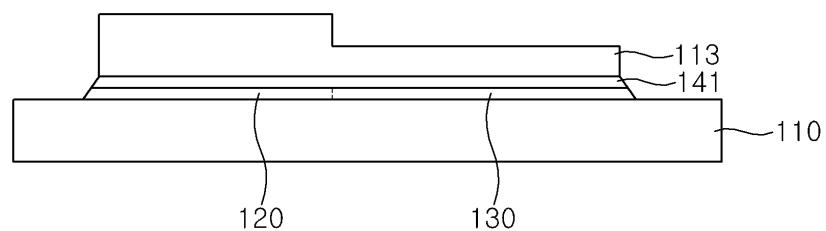
도면14



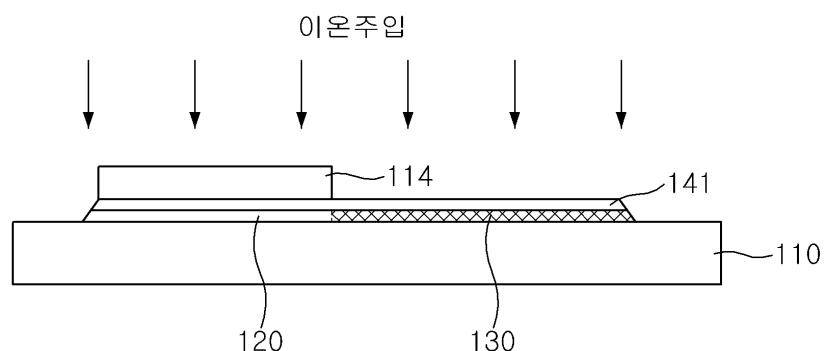
도면15



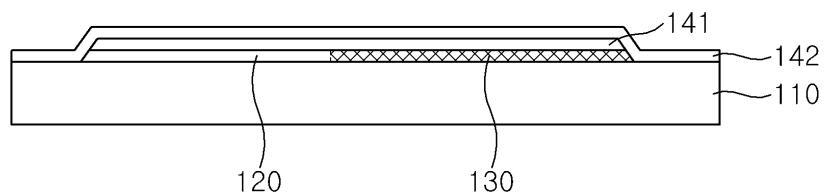
도면16



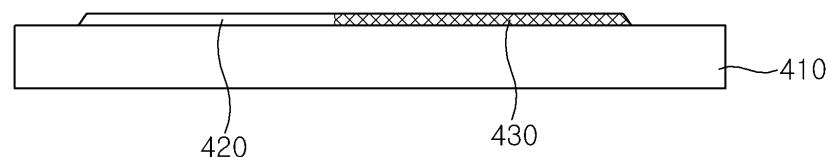
도면17



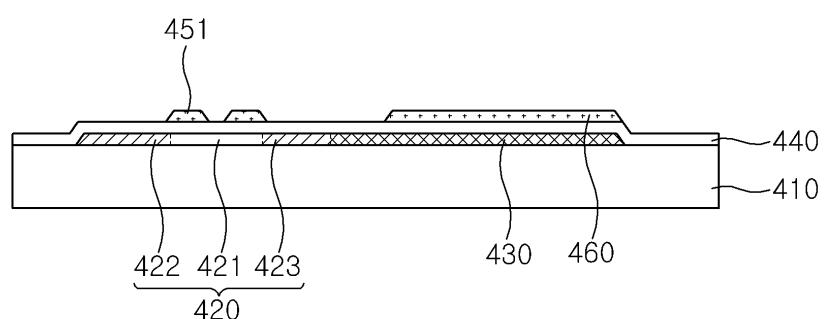
도면18



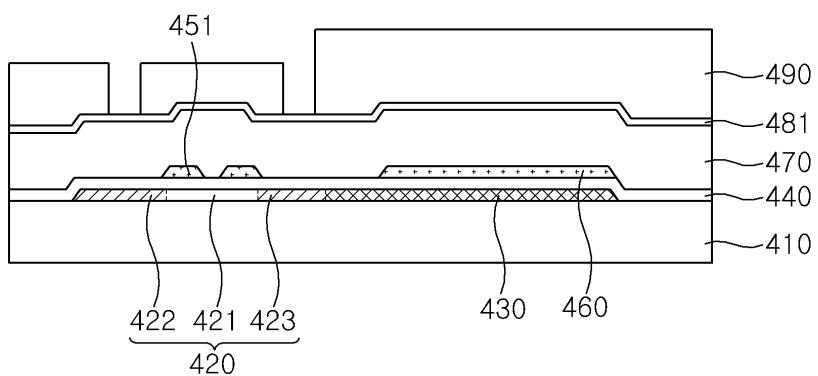
도면19



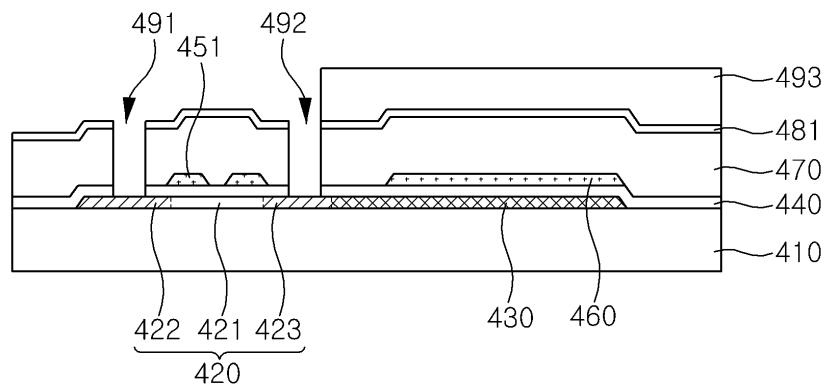
도면20



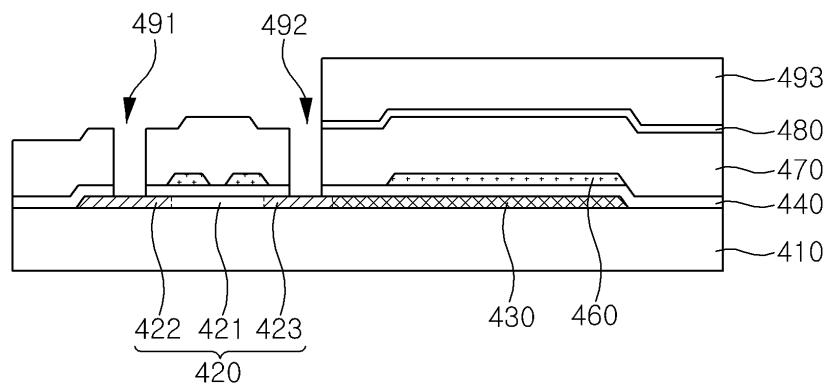
도면21



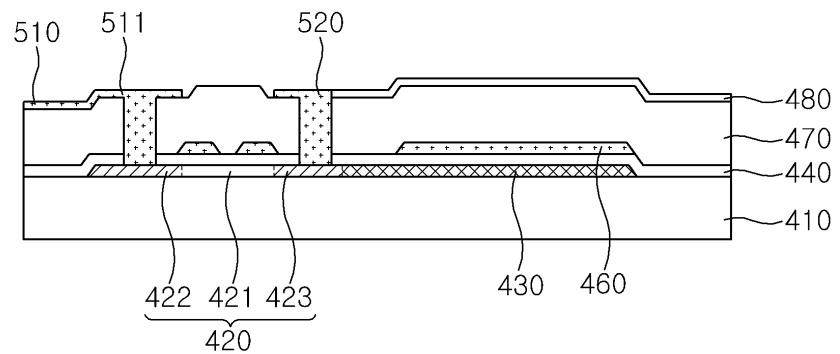
도면22



도면23



도면24



专利名称(译)	薄膜晶体管基板，其制造方法以及包括该基板的液晶显示面板的制造方法		
公开(公告)号	<a href="#">KR1020070105672A</a>	公开(公告)日	2007-10-31
申请号	KR1020060038156	申请日	2006-04-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	OH HYUN UK 오현욱 JUNG JIN GOO 정진구		
发明人	오현욱 정진구		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136 G02F1/1335 H01L27/1288 H01L29/786		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

公开了能够通过执行有源图案来简化制造工艺的表面损坏的薄膜晶体管基板，对存储电容器的存储电极图案进行图案化的工艺以及使用该存储电极图案将杂质注入到存储电极图案中的工艺。单半色调光掩模并且它在有源图案和存储电极图案图像上形成栅极绝缘层并且在灰化工艺中产生并且在其制造方法和包括其的LCD面板的制造方法中产生。形成具有阶梯式滑轮的光致抗蚀剂掩模，并且在有源图案中执行离子注入，并且可以在图案化存储电极图案之后去除存储电极图案图像的感光图案的状态，并且可以简化制造工艺。薄膜晶体管，源电极，漏电极，半色调光掩模，图案化，离子注入，光敏膜掩模图案，灰化工艺。

