



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0125238
G02F 1/136 (2006.01) (43) 공개일자 2006년12월06일

(21) 출원번호 10-2005-0047174
(22) 출원일자 2005년06월02일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이용순
충남 천안시 목천읍 신계리 103-4번지 신도브래뉴 1차 102-803
강남수
경기 안산시 상록구 본오동 877-14번지 대우마이홈 812호
박행원
경기 성남시 중원구 은행2동 주공아파트 117-602
문승환
경기 용인시 상현동 현대6차아파트 205동 1504호(만현마을2단지)

(74) 대리인 유미특허법인

전체 청구항 수 : 총 8 항

(54) 박막 트랜지스터 표시판

(57) 요약

본 발명은 박막 트랜지스터 표시판에 관한 것으로, 이 박막 트랜지스터 표시판은 행렬 형태로 배열되어 있는 복수의 화소 전극과 상기 화소 전극에 연결되어 있는 스위칭 소자를 각각 포함하는 복수의 화소, 상기 스위칭 소자에 연결되어 있고, 행 방향으로 뻗어 있으며 하나의 화소 전극행 당 적어도 두 개씩 배치되어 있는 복수의 게이트선, 그리고 상기 스위칭 소자에 연결되어 있고, 열 방향으로 뻗어 있으며 적어도 두 개의 화소열 당 하나씩 배치되어 있는 복수의 데이터선을 포함하고, 동일한 화소 전극행에서 같은 데이터선에 연결된 한 쌍의 화소 전극과 상기 한 쌍의 화소 전극 각각에 대응하는 스위칭 소자에 각각 연결된 게이트선 사이의 거리는 서로 상이하다. 이로 인해, 한 쌍의 화소 전극 사이에 발생하는 화소 전극 전압 차이에 기인하는 화소 전극과 게이트선 사이의 기생 용량을 감소시켜 전압 차이로 인한 화질 불량을 개선한다.

대표도

도 8

특허청구의 범위

청구항 1.

행렬 형태로 배열되어 있는 복수의 화소 전극과 상기 화소 전극에 연결되어 있는 스위칭 소자를 각각 포함하는 복수의 화소,

상기 스위칭 소자에 연결되어 있고, 행 방향으로 뻗어 있으며 하나의 화소 전극행 당 적어도 두 개씩 배치되어 있는 복수의 게이트선, 그리고

상기 스위칭 소자에 연결되어 있고, 열 방향으로 뻗어 있으며 적어도 두 개의 화소열 당 하나씩 배치되어 있는 복수의 데이터선

을 포함하고,

동일한 화소 전극행에서 같은 데이터선에 연결된 한 쌍의 화소 전극과 상기 한 쌍의 화소 전극 각각에 대응하는 스위칭 소자에 각각 연결된 게이트선 사이의 거리는 서로 상이한

박막 트랜지스터 표시판.

청구항 2.

제1항에서,

동일한 화소 전극행에서 같은 데이터선에 연결된 제1 및 제2 화소 전극 중에서, 상기 데이터선에 가까운 상기 제1 화소 전극과 상기 데이터선에 먼 상기 제2 화소 전극에 대응하는 제2 스위칭 소자에 연결된 제2 게이트선 사이의 제1 거리가 상기 제2 화소 전극과 상기 제1 화소 전극에 대응하는 제1 스위칭 소자에 연결된 제1 게이트선 사이의 제2 거리보다 긴 박막 트랜지스터 표시판.

청구항 3.

제2항에서,

상기 제1 거리는 상기 제2 거리보다 짧아진 제2 거리만큼 긴 박막 트랜지스터 표시판.

청구항 4.

제3항에서,

상기 제1 화소 전극이 상기 제2 화소 전극보다 데이터 전압이 먼저 인가되는 박막 트랜지스터 표시판.

청구항 5.

제1항에서,

인접한 두 데이터선 사이에 행 방향으로 배열되어 있는 적어도 두 개의 화소 (단위 화소군)는 동일한 데이터선에 연결되어 있는 박막 트랜지스터 표시판.

청구항 6.

제5항에서,

열 방향으로 인접한 화소는 서로 다른 데이터선에 연결되어 있는 박막 트랜지스터 표시판.

청구항 7.

제6항에서,

상기 단위 화소군의 스위칭 소자는 상하에 배치되어 있는 게이트선에 연결되어 있는 박막 트랜지스터 표시판.

청구항 8.

제7항에서,

상기 데이터선과 상기 스위칭 소자를 연결하는 단자선은 인접한 두 게이트선 사이를 지나는 박막 트랜지스터 표시판.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 표시판(thin film transistor array panel)에 관한 것이다.

액정 표시 장치는 액정층에 전계를 인가하여 액정 분자의 배향을 제어하여 영상을 표시하는 표시 장치로서, 전계를 생성하기 위한 복수의 전계 생성 전극과 이에 인가하는 전압을 제어하기 위한 스위칭 소자를 구비한다. 액정 표시 장치는 또한 스위칭 소자를 제어하기 위한 게이트 신호를 전달하는 게이트선과 전계 생성 전극에 인가하기 위한 데이터 전압을 전달하는 데이터선, 그리고 게이트 신호와 데이터 전압을 생성하는 게이트 구동부와 데이터 구동부를 구비한다.

발명이 이루고자 하는 기술적 과제

게이트 구동부와 데이터 구동부는 복수의 구동 집적 회로 칩으로 이루어지는 것이 보통인데 이러한 칩의 수효를 될 수 있으면 적게 하는 것이 생산비용을 줄이는 데 중요한 요소이다. 특히 데이터 구동 집적 회로 칩은 게이트 구동 회로 칩에 비하여 가격이 높기 때문에 더욱더 그 수효를 줄일 필요가 있다.

본 발명이 이루고자 하는 기술적 과제는 구동 회로 칩의 수효를 줄여 액정 표시 장치의 생산 가격을 낮추는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 신호 배선과 화소 전극 사이의 기생 용량에 의한 화질 악화를 줄이는 것이다.

발명의 구성

이러한 기술적 과제를 이루기 위한 본 발명의 한 특징에 따른 박막 트랜지스터 표시판은, 행렬 형태로 배열되어 있는 복수의 화소 전극과 상기 화소 전극에 연결되어 있는 스위칭 소자를 각각 포함하는 복수의 화소, 상기 스위칭 소자에 연결되어 있고, 행 방향으로 뻗어 있으며 하나의 화소 전극행 당 적어도 두 개씩 배치되어 있는 복수의 게이트선, 그리고 상기 스위칭 소자에 연결되어 있고, 열 방향으로 뻗어 있으며 적어도 두 개의 화소열 당 하나씩 배치되어 있는 복수의 데이터선을 포함하고, 동일한 화소 전극행에서 같은 데이터선에 연결된 한 쌍의 화소 전극과 상기 한 쌍의 화소 전극 각각에 대응하는 스위칭 소자에 각각 연결된 게이트선 사이의 거리는 서로 상이하다.

동일한 화소 전극행에서 같은 데이터선에 연결된 제1 및 제2 화소 전극 중에서, 상기 데이터선에 가까운 상기 제1 화소 전극과 상기 데이터선에 먼 상기 제2 화소 전극에 대응하는 제2 스위칭 소자에 연결된 제2 게이트선 사이의 제1 거리가 상기 제2 화소 전극과 상기 제1 화소 전극에 대응하는 제1 스위칭 소자에 연결된 제1 게이트선 사이의 제2 거리보다 긴 것이 바람직하다.

상기 제1 거리는 상기 제2 거리보다 짧아진 제2 거리만큼 긴 것이 좋다.

상기 제1 화소 전극이 상기 제2 화소 전극보다 데이터 전압이 먼저 인가되는 것이 좋다.

인접한 두 데이터선 사이에 행 방향으로 배열되어 있는 적어도 두 개의 화소(단위 화소군)는 동일한 데이터선에 연결되어 있는 것이 좋다.

열 방향으로 인접한 화소는 서로 다른 데이터선에 연결되어 있는 것이 바람직하다.

상기 단위 화소군의 스위칭 소자는 상하에 배치되어 있는 게이트선에 연결되어 있는 것이 좋다.

또한 상기 데이터선과 상기 스위칭 소자를 연결하는 단자선은 인접한 두 게이트선 사이를 지날 수 있다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 박막 트랜지스터 표시판 및 액정 표시 장치에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다. 또한 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 구조도이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이에 연결된 게이트 구동부(400)와 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 표시 신호선(G_1-G_{2n} , D_1-D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(Px)를 포함한다. 또한 액정 표시판 조립체(300)는 서로 마주 보는 하부 및 상부 표시판(100, 200)과 둘 사이에 들어 있는 액정층(3)을 포함한다.

표시 신호선(G_1-G_{2n} , D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_{2n})과 데이터 신호를 전달하는 데이터선(D_1-D_m)을 포함한다. 게이트선(G_1-G_{2n})은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(D_1-D_m)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

각 화소는 게이트선(G_1-G_{2n}) 및 데이터선(D_1-D_m)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(C_{LC}) 및 유지 축전기(storage capacitor)(C_{ST})를 포함한다. 유지 축전기(C_{ST})는 필요에 따라 생략할 수 있다.

각 화소의 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등으로 이루어지며, 게이트선(G_1-G_{2n})에 연결되어 있는 제어 단자, 데이터선(D_1-D_m)에 연결되어 있는 입력 단자, 그리고 액정 축전기(C_{LC}) 및 유지 축전기(C_{ST})에 연결되어 있는 출력 단자를 가지는 삼단자 소자이다.

액정 축전기(C_{LC})는 하부 표시판(100)의 화소 전극(190)과 공통 전극 표시판인 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(190, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(190)은 스위칭 소자(Q)에 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(V_{com})을 인가 받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(190, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

액정 축전기(C_{LC})의 보조적인 역할을 하는 유지 축전기(C_{ST})는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(190)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(V_{com}) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(C_{ST})는 화소 전극(190)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

한편, 색 표시를 구현하기 위해서는 각 화소가 원색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소가 시간에 따라 번갈아 원색을 표시하게(시간 분할) 하여 이들 원색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 원색의 예로는 적색, 녹색 및 청색을 들 수 있다.

도 2는 공간 분할의 한 예로서 각 화소가 상부 표시판(200)의 영역에 원색 중 하나를 표시하는 색필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(190) 위 또는 아래에 형성할 수도 있다.

액정 표시판 조립체(300)의 두 표시판(100, 200) 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착되어 있다.

그러면, 본 발명의 한 실시예에 따른 게이트선, 데이터선 및 화소의 배치에 대하여 도 3을 참고로 하여 상세하게 설명한다.

도 3에 도시한 바와 같이, 한 쌍의 게이트선(G_1 및 G_2 , G_3 및 G_4, \dots)은 한 행의 화소 전극(190) 위아래에 배치되어 있다. 또한 데이터선(D_1-D_m)은 두 열의 화소 전극(190) 사이에 하나씩 배치되어 있다. 즉, 한 쌍의 화소열 사이에 하나의 데이터선이 배치되어 있다. 이들 게이트선(G_1-G_{2n}) 및 데이터선(D_1-D_m)과 화소 전극(190) 간의 연결을 좀더 자세히 설명한다.

화소 전극(190)의 위쪽과 아래쪽에 연결된 복수 쌍의 게이트선(G_1-G_{2n})은 각 화소 전극(190)의 위쪽 또는 아래쪽에 배치된 스위칭 소자(Q)를 통해 해당 화소 전극(190)에 연결된다.

즉, 홀수 번째 화소행에서, 데이터선(D_1-D_m)을 중심으로 좌측에 위치한 스위칭 소자(Q)는 위쪽에 위치한 게이트선(G_1, G_5, G_9, \dots)에 연결되어 있고, 데이터선(D_1-D_m)을 중심으로 우측에 위치한 스위칭 소자(Q)는 아래쪽에 위치한 게이트선(G_2, G_6, G_{10}, \dots)에 연결되어 있다. 반면에 짝수 번째 화소행에서 위치한 위쪽 게이트선(G_3, G_7, G_{11}, \dots) 및 아래쪽 게이트선(G_4, G_8, G_{12}, \dots)과 스위칭 소자(Q)와의 연결은 홀수 번째 화소행과 반대이다. 즉, 데이터선(D_1-D_m)을 중심으로 우측에 위치한 스위칭 소자(Q)는 위쪽에 위치한 게이트선(G_3, G_7, G_{11}, \dots)에 연결되어 있고, 데이터선(D_1-D_m)을 중심으로 좌측에 위치한 스위칭 소자(Q)는 아래쪽에 위치한 게이트선(G_4, G_8, G_{12}, \dots)에 연결되어 있다.

홀수 번째 행의 화소 전극(190) 중 데이터선(D_1-D_m)을 중심으로 좌측에 위치한 화소 전극(190)은 스위칭 소자(Q)를 통해 바로 인접한 데이터선(D_1-D_m)에 연결되어 있고, 데이터선(D_1-D_m)을 중심으로 우측에 위치한 화소 전극(190)은 스위칭 소자(Q)를 통해 차인접한 데이터선에 연결되어 있다. 짝수 번째 행의 화소 전극(190) 중 데이터선(D_1-D_m)을 중심으로 좌측에 위치한 화소 전극(190)은 스위칭 소자(Q)를 통해 바로 이전의 데이터선에 연결되어 있고, 데이터선(D_1-D_m)을 중심으로 우측에 위치한 화소 전극(190)은 스위칭 소자(Q)를 통해 바로 인접한 데이터선에 연결되어 있다. 첫 번째 열 짝수 번째 행의 화소 전극(190)은 마지막 데이터선(D_m)에 연결된 별도의 연결선(도시하지 않음)에 연결되어 있을 수 있고, 마지막 열 홀수 번째 행의 화소 전극(190)은 첫 번째 데이터선(D_1)에 연결된 연결선에 연결되어 있을 수 있다.

이미 설명한 것처럼, 각 화소에 형성된 스위칭 소자(Q)는 연결된 데이터선(D₁-D_m)에 좀더 쉽게 연결될 수 있게, 즉, 연결 길이를 가능한 한 짧게 할 수 있는 위치에 형성된다. 따라서 도 3에 도시한 배치에서 스위칭 소자(Q)의 위치는 매 화소행마다 바뀐다. 즉, 홀수 번째 행에 위치한 화소쌍 중 데이터선(D₁-D_m)의 왼쪽에 위치한 화소에는 우측 상단부에 스위칭 소자(Q)가 형성되어 있고, 데이터선(D₁-D_m)의 오른쪽에 위치한 화소에는 우측 하단부에 스위칭 소자(Q)가 형성되어 있다.

반면에 짝수 번째 행에 위치한 화소의 스위칭 소자(Q)의 형성 위치는 인접한 화소행의 형성 위치와 정반대이다. 즉, 짝수 번째 행에 위치한 화소쌍 중 데이터선(D₁-D_m)의 왼쪽에 위치한 화소에는 좌측 하단부에 스위칭 소자(Q)가 형성되어 있고, 데이터선(D₁-D_m)의 오른쪽에 위치한 화소에는 좌측 상단부에 스위칭 소자(Q)가 형성되어 있다.

도 3에 도시한 화소 전극(190)과 데이터선(D₁-D_m)의 연결을 정리하면, 각 화소행에서, 인접한 두 데이터선 사이에 위치한 두 화소의 스위칭 소자(Q)는 동일한 데이터선에 연결되어 있다. 즉, 홀수 번째 화소행에서 두 데이터선 사이에 형성된 두 화소의 스위칭 소자(Q)는 오른쪽에 위치한 데이터선에 연결되어 있고, 짝수 번째 화소행에서 두 데이터선 사이에 형성된 두 화소의 스위칭 소자(Q)는 왼쪽에 위치한 데이터선에 연결되어 있다.

도 3에 도시한 배치는 단지 하나의 예이고, 홀수 번째 행과 짝수 번째 행의 화소 전극(190)과 데이터선(D₁-D_m) 및 게이트선(G₁-G_{2n})의 연결은 서로 바뀔 수 있으며, 또한 다른 연결 관계를 가질 수 있다.

그러면, 이러한 액정 표시판 조립체(300)의 박막 트랜지스터 표시판(100)의 구조에 대하여 도 4 내지 도 6을 참고로 하여 상세하게 설명한다.

도 4는 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이고 도 5 및 도 6은 각각 도 4의 박막 트랜지스터 표시판을 V-V선 및 VI-VI선을 따라 절단한 단면도이다.

투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 게이트선(gate line)(121a, 121b)과 복수의 유지 전극선(storage electrode)(131)이 형성되어 있다.

게이트선(121a, 121b)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 게이트선(121a, 121b)은 아래 또는 위로 돌출하여 게이트 전극(124a, 124b) 및 확장부(125a, 125b)와 다른 층 또는 외부 장치와의 접촉을 위하여 면적이 넓은 끝 부분(129)을 포함한다. 두 개의 게이트선(121a, 121b)은 서로 인접하여 쌍을 이룬다. 맨 위의 게이트선(121b)과 맨 아래의 게이트선(121a)은 쌍을 이루지 않을 수 있다.

게이트 신호를 생성하는 게이트 구동부(400)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 게이트 구동부(400)가 기판(110) 위에 집적되어 있는 경우 게이트선(121a, 121b)이 연장되어 이와 직접 연결될 수 있다.

각 유지 전극선(131)은 게이트선(121a, 121b)과 분리되어 있고, 서로 연결되어 한 쌍의 직사각형을 이루는 복수의 유지 전극(133a-133d) 집합과 한 쌍의 유지 전극 연결부(135a, 135b)를 포함한다.

하나의 유지 전극(133a-133d) 집합은 주로 가로 방향으로 뻗은 제1 유지 전극(133a) 및 제2 유지 전극(133b)을 한 쌍씩 포함하고, 주로 세로 방향으로 뻗은 한 쌍의 제3 유지 전극(133c)과 그 사이에 위치하며 세로 방향으로 뻗은 제4 유지 전극(133d)을 포함한다. 제4 유지 전극(133d)을 중심으로 좌우 양쪽에 제1 내지 제3 유지 전극(133a-133c)이 하나씩 배치되어 제4 유지 전극(133d)을 공유하는 직사각형을 이루고, 이 두 직사각형은 제4 유지 전극(133d) 중앙을 중심으로 180° 회전 대칭 관계를 갖는다.

유지 전극 연결부(135)는 인접한 두 유지 전극(133a-133d) 집합의 인접한 유지 전극(133c)을 연결하며, 유지 전극(133a)은 게이트 전극(124) 부근에서 굽어있다.

유지 전극선(131)에는 액정 표시 장치의 공통 전극 표시판(200)의 공통 전극(270)에 인가되는 공통 전압 등 소정의 전압이 인가된다.

게이트선(121a, 121b)과 유지 전극선(131)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등 은 계열의 금속, 구리(Cu)나 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 이루어진다. 그러나 게이트선(121a, 121b)과 유지 전극선(131)은 물리적 성질이 다른 두 개의 막(도시하지 않음)을 포함하는 다중막을 가질 수 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 게이트선(121a, 121b) 및 유지 전극선(131)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

게이트선(121a, 121b)과 유지 전극선(131)의 측면은 기판(110)의 면에 대하여 경사져 있으며 그 경사각은 30°내지 80°정도인 것이 바람직하다.

게이트선(121a, 121b) 및 유지 전극선(131) 위에는 질화규소(SiN_x) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소 등으로 이루어진 복수의 섬형 반도체(152, 153a, 153b, 154a, 154b, 156a, 156b)가 형성되어 있다.

반도체(153a, 153b)는 게이트선(121a, 121b)과 교차하는 부분에 각각 형성되어 있다. 반도체(154a, 154b)는 각각 게이트 전극(124a, 124b) 위에 위치하며 이들을 덮고 있고 반도체(154a)는 연장되어 이웃하는 게이트선(121a) 및 유지 전극 연결부(135a)를 덮는다. 또한 반도체(152)는 유지 전극 연결부(135b)를 덮고 있다.

또한 반도체(156a, 156b)는 게이트선(121a, 121b)의 확장부(125a, 125b) 일부를 덮고 있다.

반도체(152, 153a, 153b, 154a, 154b, 156a, 156b)의 위에는 복수의 섬형 저항성 접촉 부재(ohmic contact)(162, 163a, 163b, 165a, 165b)가 형성되어 있다. 저항성 접촉 부재(ohmic contact)(162, 163a, 163b, 165a, 165b)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 접촉 부재(163a/163b)와 접촉 부재(165a/165b)는 쌍을 이루어 섬형 반도체(154a/154b) 위에 위치한다.

반도체(152, 153a, 153b, 154a, 154b, 156a, 156b)와 저항성 접촉 부재(162, 163a, 163b, 165a, 165b)의 측면 역시 기판(110)의 면에 대하여 경사져 있으며 경사각은 30°내지 80° 정도이다.

저항성 접촉 부재(162, 163a, 163b, 165a, 165b) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175a, 175b)이 형성되어 있다.

데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121a, 121b) 및 유지 전극 연결부(135a, 135b)와 교차한다. 각 데이터선(171)은 드레인 전극(175a, 175b)을 향하여 오른쪽 방향 또는 왼쪽 방향으로 각각 뻗은 복수의 가지가 소스 전극(source electrode)(173a, 173b)과 다른 층 또는 외부 장치와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동부(500)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 데이터 구동부(500)가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.

드레인 전극(175a, 175b)의 한쪽 끝 부분은 선형이지만 다른쪽 끝 부분은 다른 층과의 접속을 위하여 폭이 확장되어 있으며 유지 전극(133a) 위에 위치한다. 드레인 전극(175a, 175b)은 다른 층과의 접속을 위하여 폭이 확장되어 있는 부분에서 선형 부분과는 반대 방향, 즉 소스 전극(173a, 173b)의 반대쪽 방향으로 선형의 돌출부(176a, 176b)가 뻗어 있다. 이 돌출부(176a, 176b)의 일부는 게이트선(121a, 121b)의 확장부(125a, 125b)와 중첩되어 있다.

소스 전극(173b)은 드레인 전극(175a)의 선형 끝 부분을 일부 감싸도록 휘어져 있으며 소스 전극(173a)은 인접한 두 게이트선(121a, 121b) 사이를 가로질러 차인접 드레인 전극(175a)에 접근하여 드레인 전극(175a)의 선형 끝 부분을 일부 감싸도록 휘어져 있다.

게이트 전극(124a, 124b), 소스 전극(173a, 173b) 및 드레인 전극(175a, 175b)은 섬형 반도체(154a, 154b)와 함께 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173a, 173b)과 드레인 전극(175a, 175b) 사이의 섬형 반도체(154a, 154b)에 형성된다.

위에서 설명한 바와 같이, 드레인 전극(175a, 175b)의 돌출부(176a, 176b)는 게이트선(121a, 121b)의 확장부(125a, 125b)와 중첩하는데, 특히 데이터선(171a, 171b)에서 먼 쪽의 가장자리 부분과 중첩한다. 이와 같이 하면, 데이터선용 감광막을 노광하기 위한 마스크가 정확한 위치에 정렬되지 않아 데이터선 패턴이 좌측 또는 우측으로 이동함에 따라, 드레인 전극(175a, 175b)이 좌측 또는 우측으로 이동하더라도 드레인 전극(175a, 175b) 및 돌출부(176a, 176b)가 게이트 전극(124a, 124b) 및 게이트선(121a, 121b)의 확장부(125a, 125b)와 각각 중첩하는 면적은 일정하게 유지된다. 따라서 게이트 전극(124a, 124b)과 드레인 전극(175a, 175b) 사이에 발생하는 기생 축전기(Cgd)의 용량이 변하지 않는다.

또한 데이터선용 감광막을 노광하는 마스크가 정확한 정렬 위치에서 위쪽 또는 아래쪽으로 이동할 경우에도, 드레인 전극(175a)의 선형 부분과 돌출부(176a) 각각이 데이터선(171)에 실질적으로 수직인 게이트 전극(124a)과 확장부(125a)의 가장자리를 따라 수직 방향으로 이동하여 드레인 전극(175a, 175b)과 게이트 전극(124a, 124) 및 확장부(125a, 125b)가 중첩하는 총 면적이 일정하게 유지되므로, 이 경우에도 기생 축전기(Cgd)의 용량은 변하지 않는다.

데이터선(171)과 드레인 전극(175a, 175b)은 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 따위의 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴(합금) 하부막과 알루미늄(합금) 상부막의 이중막, 몰리브덴(합금) 하부막과 알루미늄(합금) 중간막과 몰리브덴(합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터선(171) 및 드레인 전극(175a, 175b)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

데이터선(171)과 드레인 전극(175a, 175b) 또한 그 측면이 기판(110)의 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.

저항성 접촉 부재(162, 163a, 163b, 165a, 165b)는 그 하부의 반도체(152, 153a, 153b, 154a, 154b, 156a, 156b)와 그 상부의 데이터선(171) 및 드레인 전극(175a, 175b) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다.

이미 설명했듯이, 섬형 반도체(152, 154a, 154b)는 데이터선(171) 또는 드레인 전극(175a, 175b)이 게이트선(121) 및 유지 전극선(133a-133d, 135)과 만나는 부분에 게이트선(121) 및 유지 전극선(133a-133d, 135)의 경계를 덮어 데이터선(171)의 단선을 방지한다. 또한 섬형 반도체(153a, 153b, 156a, 156b) 역시 데이터선(171) 및 드레인 전극(175a, 175b)의 돌출부(176a, 176b)가 게이트선(121a, 121b) 및 게이트선(121a, 121b)의 확장부(125a, 125b)와 만나는 부분에 게이트선(121a, 121b) 및 게이트선(121a, 121b)의 확장부(125a, 125b)의 경계를 덮어 데이터선(171) 및 드레인 전극(175a, 175b)의 돌출부(176a, 176b)의 단선을 방지한다.

데이터선(171) 및 드레인 전극(175a, 175b)과 노출된 반도체(152, 153a, 153b, 154a, 154b, 156a, 156b) 부분의 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등 유전율 4.0 이하의 저유전율 절연 물질, 또는 무기 물질인 질화규소 따위로 이루어진다. 이와는 달리 보호막(180)은 유기물과 질화규소의 이중층으로 이루어질 수 있다.

보호막(180)에는 드레인 전극(175a, 175b) 및 데이터선(171)의 끝 부분(179)을 각각 드러내는 복수의 접촉 구멍(contact hole)(185, 182)이 형성되어 있으며, 게이트 절연막(140)과 함께 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181)이 형성되어 있다.

보호막(180) 위에는 복수의 화소 전극(pixel electrode)(190)과 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

화소 전극(190)은 접촉 구멍(185)을 통하여 드레인 전극(175a, 175b)과 물리적·전기적으로 연결되어 드레인 전극(175a, 175b)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 화소 전극(190)은 공통 전압(V_{com})을 인가 받는 다른 표시판(200)의 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(190, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층(3)을 통과하는 빛의 편광이 달라진다.

이미 설명한 것처럼, 화소 전극(190)과 공통 전극(270)은 액정 축전기(C_{LC})를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기(C_{LC})와 병렬로 연결된 유지 축전기(C_{ST})는 화소 전극(190) 및 이와 이웃하는 유지 전극선(131)의 중첩 등으로 만들어진다.

화소 전극(190)은 드레인 전극(175a, 175b)의 확장된 끝 부분과 유지 전극(133a)을 덮으며 유지 전극(133b, 133c, 133d)과는 일부 중첩되어 화소 전극(190)의 경계선이 유지 전극(133b, 133c, 133d) 위에 위치한다. 이와 같이 게이트선(121a, 121b)과 화소 전극(190)의 경계선 사이에 유지 전극(133b)이 노출되어 있으며 화소 전극(190)과 게이트선(121a) 사이의 기생 용량에 의한 화소 전극(190)의 전압 변동이 줄어든다.

접촉 보조 부재(81, 82)는 접촉 구멍(181, 182)을 통하여 게이트선(121a, 121b)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 각각 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121a, 121b) 및 데이터선(171)의 각 끝 부분(129, 179)과 외부 장치와의 접촉성을 보완하고 이들을 보호하는 역할을 한다. 게이트선(121a, 121b)에 주사 신호를 인가하는 게이트 구동부(도시하지 않음)가 표시판 위에 집적된 경우 접촉 부재(81)는 게이트선(121a, 121b)의 끝 부분(129)과 게이트 구동부를 연결하는 연결 부재의 역할을 할 수 있으며 때에 따라 생략될 수도 있다.

본 발명의 다른 실시예에 따르면 화소 전극(190)의 재료로 투명한 도전성 폴리머(polymer) 등을 사용하며, 반사형(reflective) 액정 표시 장치의 경우 불투명한 반사성 금속을 사용하여도 무방하다. 이때, 접촉 보조 부재(81, 82)는 화소 전극(190)과 다른 물질, 특히 ITO 또는 IZO로 만들어질 수 있다.

화소 전극(190) 위에는 액정층(3)을 배향할 수 있는 배향막(도시하지 않음)이 도포되어 있다.

다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소의 투과율과 관련된 두 별의 복수 계조 전압을 생성한다. 두 별 중 한 별은 공통 전압(V_{com})에 대하여 양의 값을 가지고 다른 한 별은 음의 값을 가진다.

게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(G_1-G_{2n})에 연결되어 외부로부터의 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_{2n})에 인가한다.

데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1-D_m)에 연결되어 계조 전압 생성부(800)로부터의 계조 전압을 선택하여 데이터 신호로서 화소에 인가한다.

게이트 구동부(400) 또는 데이터 구동부(500)는 복수의 구동 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착될 수도 있다. 이와는 달리, 게이트 구동부(400) 또는 데이터 구동부(500)가 표시 신호선(G_1-G_{2n} , D_1-D_m)과 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다.

신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어한다.

그러면 이러한 액정 표시 장치의 표시 동작에 대하여 상세하게 설명한다.

신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(V_{sync})와 수평 동기 신호(H_{sync}), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)의 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성

한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다. 여기에서 영상 신호(R, G, B)의 처리는 도 3에 도시한 액정 표시판 조립체(300)의 화소 배열에 따라 영상 데이터(R, G, B)를 재배열하는 동작을 포함한다.

게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(V_{on})의 출력 시간을 제어하는 적어도 하나의 클럭 신호를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(V_{on})의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 포함할 수 있다.

데이터 제어 신호(CONT2)는 일군의 화소에 대한 데이터의 전송의 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D_1-D_m)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클럭 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(V_{com})에 대한 데이터 전압의 극성(이하 공통 전압에 대한 데이터 전압의 극성을 줄여 데이터 전압의 극성이라 함)을 반전시키는 반전 신호(RVS)를 포함할 수 있다.

신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행의 화소 중 반에 대한 영상 데이터(DAT) 집합을 차례로 수신하고 계조 전압 생성부(800)로부터의 계조 전압 중 각 영상 데이터(DAT)에 대응하는 계조 전압을 선택함으로써 영상 데이터(DAT)를 해당 데이터 전압으로 변환한 후, 이를 해당 데이터선(D_1-D_m)에 인가한다.

게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(V_{on})을 게이트선(G_1-G_{2n})에 차례로 인가하여 이 게이트선(G_1-G_{2n})에 연결된 스위칭 소자(Q)를 턴온시킨다. 이에 따라 데이터선(D_1-D_m)에 인가된 데이터 전압이 턴온된 스위칭 소자(Q)를 통하여 해당 화소에 인가된다.

화소에 인가된 데이터 전압과 공통 전압(V_{com})의 차이는 액정 축전기(C_{LC})의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광자(도시하지 않음)에 의하여 빛의 투과율 변화로 나타난다.

1/2 수평 주기(또는 "1/2H") [수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 데이터 구동부(500)와 게이트 구동부(400)는 동일한 동작을 반복한다. 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선(G_1-G_{2n})에 대하여 차례로 게이트 온 전압(V_{on})을 인가하여 모든 화소에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전").

이러한 프레임 반전 외에도 데이터 구동부(500)는 한 프레임 내에서 이웃하는 데이터선(D_1-D_m)을 타고 내려가는 데이터 전압의 극성을 반전시키며 이에 따라 데이터 전압을 인가받은 화소 전압의 극성 역시 변화한다. 그런데 도 3에 도시한 바와 같이 화소와 데이터선(D_1-D_m)의 연결이 다양하므로 데이터 구동부(500)에서의 극성 반전 패턴과 액정 표시판 조립체(300)의 화면에 나타나는 화소 전압의 극성 반전 패턴이 다르게 나타난다. 아래에서는 데이터 구동부(500)에서의 반전을 구동부 반전(driver inversion)이라고 하고, 화면에 나타나는 반전을 겉보기 반전(apparent inversion)이라 한다.

다시 도 3을 참고로 하여, 본 발명의 한 실시예에 따른 반전 형태에 대하여 상세하게 설명한다.

도 3에서 구동부 반전은 열 반전으로서 하나의 데이터선에 흐르는 데이터 전압은 항상 동일 극성이고 이웃한 두 데이터선에 흐르는 데이터 전압은 반대 극성이며, 겉보기 반전은 1×2 도트 반전이다.

이처럼, 겉보기 반전이 도트 반전이 되면 화소 전압이 정극성일 때와 부극성일 때에 킥백 전압으로 인해서 나타나는 휘도의 차가 분산되어 나타나므로 세로줄 불량이 줄어든다.

다음, 구동부 반전이 열반전인 도 3에 도시한 액정 표시 장치의 각 화소에 데이터 전압을 인가하는 방법에 대하여 도 7을 참고로 하여 상세하게 설명한다.

도 7은 본 발명의 실시예에 따른 액정 표시 장치에 인가되는 데이터 신호와 데이터 전압을 시간에 따라 나타낸 도면이다.

도 7에서, $g_j(j=1, 2, \dots)$ 는 j 번째 게이트선(G_j)에 인가되는 게이트 신호를 나타내고, d_1, d_2, \dots 는 도 3에서 첫 번째 데이터 선(D_1, D_2, D_3, \dots)에서부터 차례로 인가되는 데이터 전압을 나타낸다.

각 게이트선(G_1-G_{2n})에 게이트 온 전압(V_{on})을 인가하는 시간이 $1H$ 이며, 인접한 두 게이트선(G_1-G_{2n})에 게이트 온 전압(V_{on})을 인가하는 시간은 $1/2H$ 동안 중첩된다. 이때, 각 게이트선(G_1-G_{2n})에 연결된 화소에 인가할 목표 데이터 전압은 후반 $1/2 H$ 동안 인가된다.

이로 인해, 상부 게이트선(G_{2i-2})에 게이트 온 전압(V_{on})이 인가된 후 $t=1/2H$ 인 시점에서 하부 게이트선(G_{2i-1})에 게이트 온 전압(V_{on})이 인가되면, 하부 게이트선(G_{2i-1})에 연결되어 있는 화소에는 이전(상부) 게이트선(G_{2i-2})에 연결되어 있는 화소에 인가되는 데이터 전압이 인가되어, 하부 게이트선(G_{2i-1})에 연결되어 있는 화소는 예비 충전이 이루어진다.

다음 상부 게이트선(G_{2i-2})에 게이트 온 전압(V_{on})이 인가된 후 $t=1H$ 인 시점이 되면, 상부 게이트선(G_{2i-2})에는 게이트 온 전압(V_{on})이 인가되지 않고 게이트 오프 전압(V_{off})이 인가되고 하부 게이트선(G_{2i-1})에는 계속 게이트 온 전압(V_{on})이 인가된다. 이때, 하부 게이트선(G_{2i-2})에 연결되어 있는 화소에는 비록 자신의 데이터 전압이 인가되어 목표 전압까지의 정상적인 충전 동작이 이루어진다. 하지만 이미 자신의 데이터 전압은 아니지만 이전 $1/2H$ 동안 예비 충전이 이루어진 상태이므로 목표 전압까지의 충전 시간이 줄어든다.

이로 인해, 데이터선이 반감되고 게이트선이 2배로 증가됨에 따라 감소된 화소의 충전 시간을 보상하게 된다.

다음, 본 발명의 다른 실시예에 따라 도 3의 화소 배열을 가지는 액정 표시 장치용 박막 트랜지스터 표시판의 구조에 대하여 도 8 및 도 9를 참고로 하여 상세하게 설명한다. 도 8은 본 발명의 다른 실시예에 따라 도 3에 도시한 화소 배열을 갖는 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 9는 도 8의 박막 트랜지스터 표시판을 IX-IX 선을 따라 절단한 단면도이다.

도 8을 참고로 하면, 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판(100)의 층상 구조는 도 4 내지 도 6에 도시한 구조와 유사하다.

기판(110) 위에 복수의 게이트 전극(124)을 포함하는 복수의 게이트선(121a, 121b)과 유지 전극(133a, 133b, 133c, 133d) 및 유지 전극 연결부(135a, 135b)를 포함하는 복수의 유지 전극선(131)이 형성되어 있고, 그 위에 게이트 절연막(140), 복수의 섬형 반도체(152, 153a, 153b, 154a, 154b, 156a, 156b) 및 복수의 저항성 접촉 부재(162, 163a, 163b, 165a, 165b)가 차례로 형성되어 있다. 저항성 접촉 부재(162, 163a, 163b, 165a, 165b) 및 게이트 절연막(140) 위에는 복수의 데이터선(171) 및 복수의 드레인 전극(175a, 175b)이 형성되어 있고 그 위에 보호막(180)이 형성되어 있다. 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182)이 형성되어 있으며, 보호막(180) 위에는 복수의 화소 전극(190)과 복수의 접촉 보조 부재(82, 81)가 형성되어 있다.

하지만, 도 8 및 도 9에 도시한 바와 같이, 인접한 두 게이트선(121a, 121b) 각각에서 인접한 화소 전극(190)까지의 거리는 서로 상이하다. 즉, 게이트선(121a)과 인접한 화소 전극(190) 사이의 거리(L1)는 게이트선(121b)과 인접한 화소 전극(190) 사이의 거리(L2) 보다 훨씬 길다.

이와 같이, 게이트선(121a)과 화소 전극(190) 사이의 거리(L1)를 게이트선(121b)과 화소 전극(190) 사이의 거리(L2)보다 길게 하여 이들(121a, 190) 사이에 발생하는 기생 용량을 감소시킴으로써, 이로 인한 인접한 데이터선 사이에서 동일한 데이터선에 연결되어 있는 두 화소간의 충전 전압 차이로 인한 세로줄 불량률이 줄어든다. 이에 대하여, 도 10을 참고로 하여 좀더 상세하게 설명한다.

도 10은 본 발명의 실시예에 따라 게이트 신호가 인가될 때 동일한 데이터선에 연결되어 있고 행 방향으로 인접한 한 쌍의 화소 전극 각각에 대한 화소 전극 전압의 변화를 나타내는 도면이다.

도 10에 도시한 바와 같이, j번째 데이터선(D_j)에 연결되어 있고 행 방향으로 인접한 두 화소 전극(PXa, PXb)에 데이터 전압을 인가할 때, 이들 각 화소 전극(PXa, PXb)에 충전되는 화소 전극 전압(PVa, PVb)에 대한 변화를 살펴본다. 이때, 데이터선(D_j)을 통해 인가되는 데이터 전압의 극성은 정(+) 극성으로 가정한다.

먼저, 게이트선(G_j)을 통해 인가되는 게이트 신호(g_j)가 도 10에 도시한 것처럼, 게이트 온 전압(V_{on})을 인가하면, 게이트선(G_j)에 연결된 스위칭 소자(Q1)가 턴온된다. 이로 인해, 전반 1/2H 동안에는 이전 화소행의 데이터선(D_j)에 연결된 화소 전극에 인가되는 데이터 전압이 인가되어 예비 충전되고, 후반 1/2H 동안에는 데이터선(D_j)을 통해 인가되는 자신의 데이터 전압이 턴온된 스위칭 소자(Q1)를 통해 화소 전극(PXa)에 인가되므로 화소 전극(PXa)의 화소 전극 전압(PVa)이 서서히 증가하여 목표 전압까지 충전된다.

이때, 즉 후반 1/2H가 시작되면, 다음 행의 게이트선(G_{i+1})에 인가되는 게이트 신호(g_{i+1})에 게이트 온 전압(V_{on})이 인가되어 게이트선(G_{i+1})에 연결된 스위칭 소자(Q2)가 턴온되어 화소 전극(PXb)에도 화소 전극(PXa)용 데이터 전압이 인가되어 예비 충전된다. 따라서 화소 전극(PXb)의 화소 전극 전압(PVb)도 서서히 증가한다.

후반 1/2H가 경과하여, 게이트 신호(g_j)가 게이트 오프 전압(V_{off})을 인가하면, 게이트 전극과 드레인 전극 사이에 존재하는 기생 용량에 의한 킥백 전압(kickback voltage)의 영향으로 화소 전극 전압(PVb)은 "d1"만큼 감소한다.

이때, 화소 전극(PXb)에 정상적인 데이터 전압을 인가하기 위해, 게이트 신호(g_{i+1})는 이후 1/2H 동안 계속 게이트 온 전압(V_{on})을 게이트선(G_{i+1})을 통해 인가한다. 1/2H가 경과한 후, 게이트 신호(g_{i+1})가 게이트 오프 전압(V_{off})으로 바뀔 때, 킥백 전압의 영향으로 화소 전극(PXb)의 화소 전극 전압(PVb)은 "d2"만큼 감소한다. 하지만 게이트선(G_{i+1})과 화소 전극(PXa)이 인접해 있어 이들 사이에 발생하는 기생 용량의 영향으로 인하여, 이미 충전 동작이 완료된 화소 전극(PXa)의 화소 전극 전압(PVa)이 "d3"만큼 추가로 감소된다.

이로 인해, 변동되는 화소 전극(PXa, PXb)의 전압(PVa, PVb)의 차(d_a, d_b)가 서로 상이하고, 이러한 화소 전극 전압(PVa, PVb)의 차이로 인해, 세로줄 불량 발생한다. 즉 화소 전극(PXb)에 비하여 화소 전극(PXa)은 정극성의 데이터 전압이 인가될 경우 휘도가 좀더 밝아지고 부극성의 데이터 전압이 인가될 경우 휘도는 좀더 어두워진다.

하지만, 도 8 및 도 9에서처럼, 동일한 화소행에서 동일한 데이터선에 연결된 한 쌍의 화소 전극(190) 중 충전 동작이 먼저 일어나는 화소 전극(190)과 인접한 게이트선(121a) 사이의 거리를, 충전 동작이 나중에 일어나는 화소 전극(190)과 인접한 게이트선(121b) 사이의 거리보다 멀게 설계하므로, 이들(190, 121a) 사이에 발생하는 기생 용량의 발생을 감소시켰다. 즉, 도 6에 도시한 것처럼, 본 발명의 첫 번째 실시예에서는 이들(190 및 121a, 190 및 121b) 사이의 거리가 모두 "L"로 동일하지만, 도 9를 살펴보면, 이들 사이의 거리(190 및 121a, 190 및 121b)는 각각 L1과 L2로 상이하다. 이때, 화소 전극(190)과 게이트선(121a) 사이의 거리는 화소 전극(190)과 게이트선(121b) 사이의 짧아지는 거리만큼 길어진다. 이로 인해, 상부 표시판(도시하지 않음)의 차광 부재폭을 증가시킬 필요가 없으므로, 개구율 감소는 발생하지 않는다.

이와 같이 화소 전극과 인접한 게이트선 사이의 거리를 비대칭으로 설계하여, 이들 사이에 발생하는 기생 용량으로 인한 인접한 화소 전압 간의 충전 전압 차이가 줄어든다.

발명의 효과

이상에서 기술한 바와 같이, 이웃한 화소행간에 스위칭 소자가 연결된 데이터선의 위치를 변경하면, 구동부 반전은 열 반전 방식이어도 겹보기 반전은 1×2 도트 반전이 될 수 있다. 따라서 데이터 구동부로부터 열 반전 방식으로 데이터 전압의 극성이 결정되어 인가되므로 데이터선의 재료 선택 폭이 커져, 제조 공정을 단순화하기가 쉽고, 겹보기 반전이 도트 반전이므로 화질이 향상된다. 더욱이 데이터선의 개수가 줄어들므로, 이에 연결된 고가의 데이터 구동 회로 칩의 수효도 감소하여 표시 장치의 제조 비용이 크게 줄어든다.

소스 전극과의 반대 방향으로 게이트선과 중첩하는 드레인 전극의 돌출부를 형성함으로써, 제조 공정 중에 데이터선이 정확한 위치에 패터닝 되지 않고 왼쪽 또는 오른쪽으로 이동하더라도 게이트선과 드레인 전극 간의 중첩 면적이 변하지 않으므로 이들 사이에서 발생하는 기생 용량이 동일하게 유지된다. 따라서 쏫간의 화면 밝기의 차이 또는 화면의 깜박임을 방지하므로 스티치 불량 또는 플리커 등으로 인한 화질 저하가 줄어든다.

또한, 화소 전극과 인접한 게이트선 사이의 거리를 비대칭으로 설계하여, 화소 전압의 충전 전압에 영향을 미쳐 세로줄 불량 등과 같은 화질 악화를 초래하는 화소 전극과 게이트선 사이의 기생 용량의 발생을 감소시켜 화질을 개선한다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 구조도이다.

도 4는 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이다.

도 5 및 도 6은 각각 도 4의 박막 트랜지스터 표시판을 V-V 선 및 VI-VI 선을 따라 절단한 단면도이다.

도 7은 본 발명의 한 실시예에 따른 액정 표시 장치에 인가되는 데이터 신호와 데이터 전압을 시간에 따라 나타낸 도면이다.

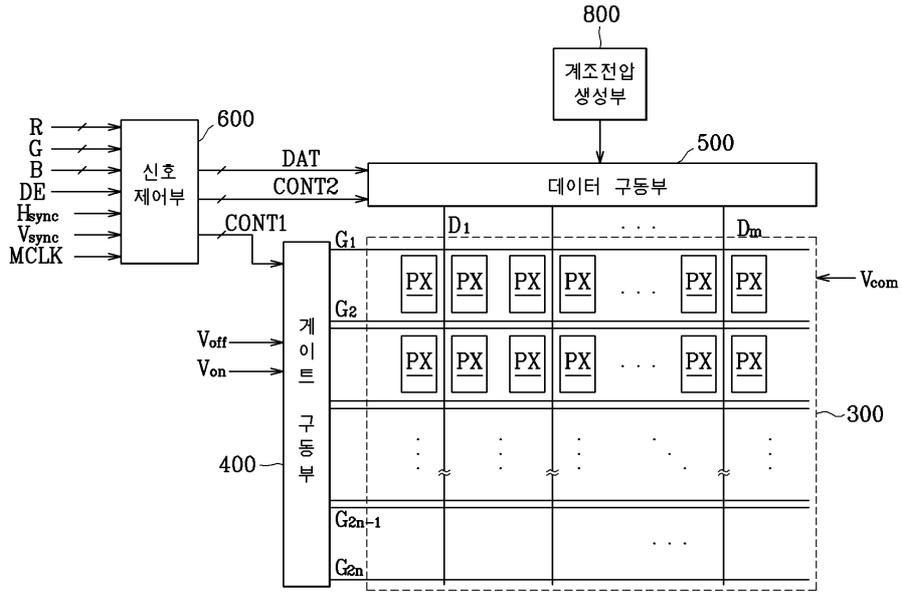
도 8은 본 발명의 다른 실시예에 따라 도 3에 도시한 화소 배열을 갖는 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이다.

도 9는 도 8의 박막 트랜지스터 표시판을 IX-IX 선을 따라 절단한 단면도이다.

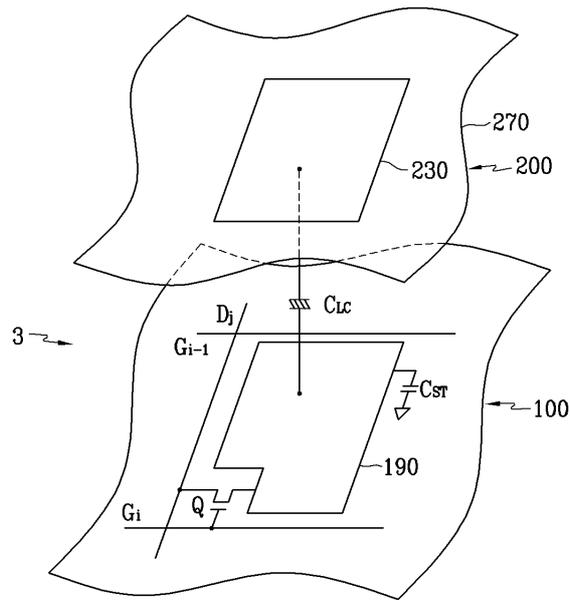
도 10은 본 발명의 실시예에 따라 게이트 신호가 인가될 때 동일한 데이터선에 연결되어 있고 행 방향으로 인접한 한 쌍의 화소 전극 각각에 대한 화소 전극 전압의 변화를 나타내는 도면이다.

도면

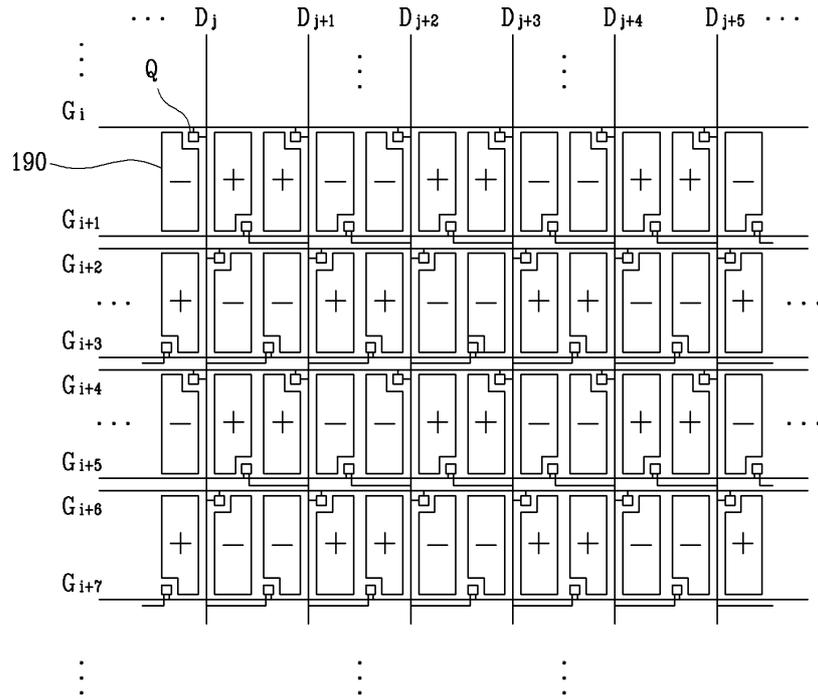
도면1



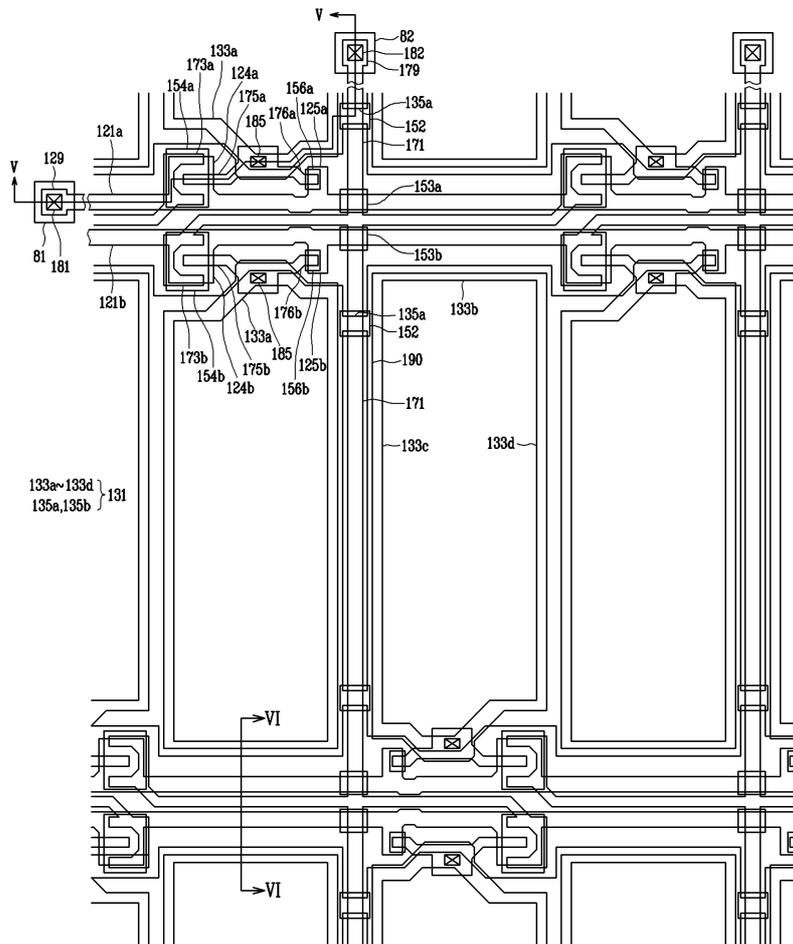
도면2



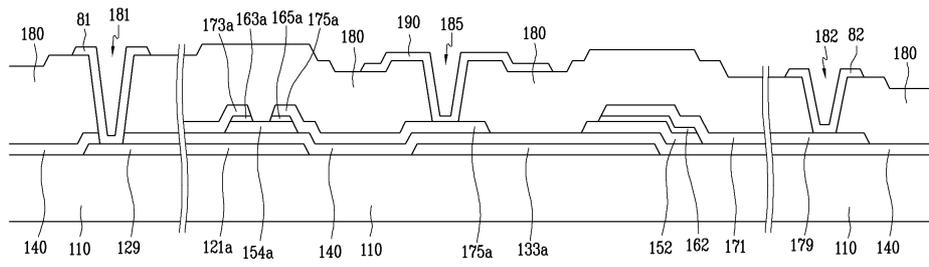
도면3



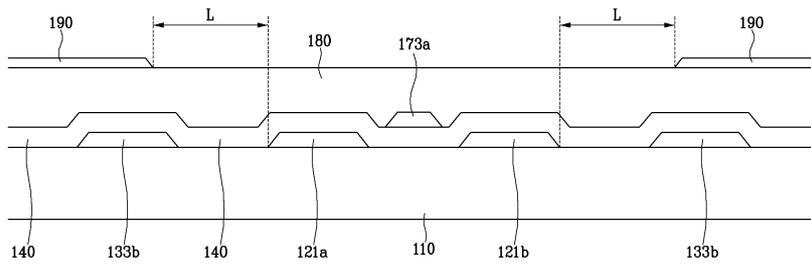
도면4



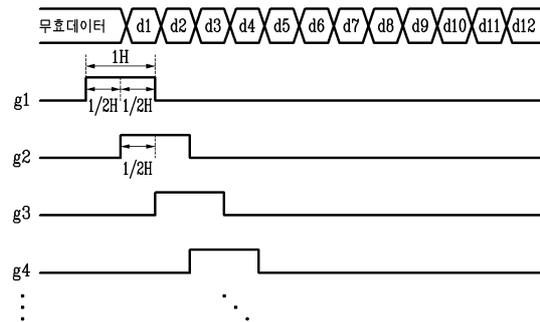
도면5



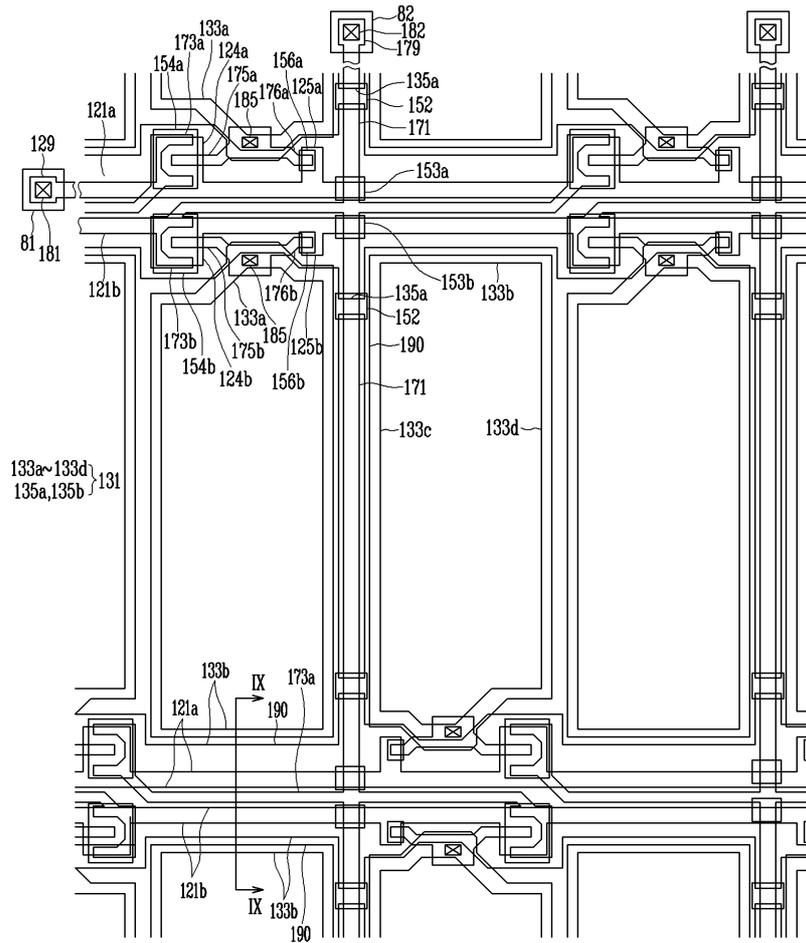
도면6



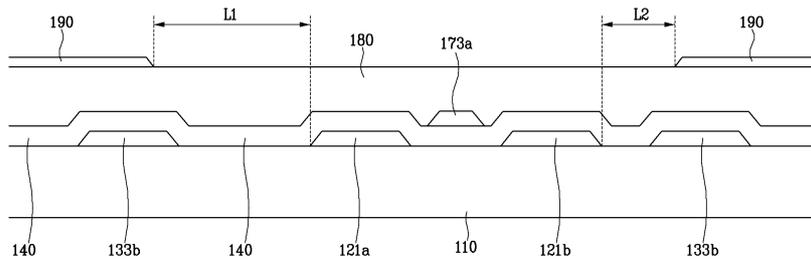
도면7



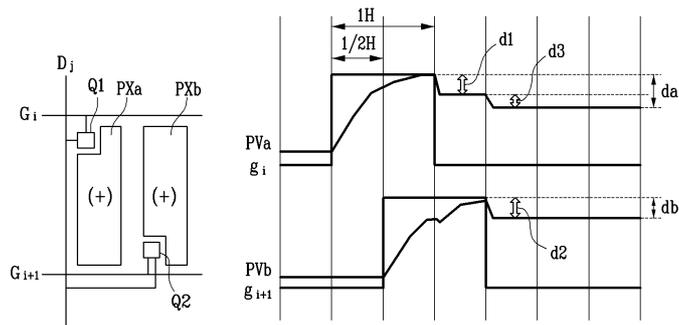
도면8



도면9



도면10



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 薄膜晶体管标志 | | |
| 公开(公告)号 | KR1020060125238A | 公开(公告)日 | 2006-12-06 |
| 申请号 | KR1020050047174 | 申请日 | 2005-06-02 |
| [标]申请(专利权)人(译) | 三星电子株式会社 | | |
| 申请(专利权)人(译) | 三星电子有限公司 | | |
| 当前申请(专利权)人(译) | 三星电子有限公司 | | |
| [标]发明人 | LEE YONG SOON 이용순 KANG NAM SOO 강남수 PARK HAENG WON 박행원 MOON SEUNG HWAN 문승환 | | |
| 发明人 | 이용순 강남수 박행원 문승환 | | |
| IPC分类号 | G02F1/136 | | |
| CPC分类号 | G02F1/136 G02F1/136286 G02F1/1365 G02F2001/13606 G02F2201/12 | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明涉及薄膜晶体管基板。并且它连接到包括像素电极的多个像素和连接到该薄膜晶体管基板中的多个像素电极的开关元件是阵列形式，以及开关元件。它连接到多条栅极线和开关元件，该开关元件至少成对地布置有一个像素电极行，同时朝向线写入方向扩展。包括多个数据线，这些数据线一个接一个地布置有两行或更多行像素，同时朝向列方向扩展。只要它连接到相同的数据线，相应的连接的栅极线之间的距离分别在相应的开关元件中的相同的像素电极行中与像素电极和成对的像素电极对不一致。由此，由一对像素电极和像素电极之间产生的像素电极电压差引起的栅极线之间的寄生电容减小，并且由于电压差引起的清晰度误差得到改善。液晶显示器，闪烁，寄生电容，C_{pg}，像素电极，栅极线，电容器寄生。

