(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G02F 1/1362

(11) 공개번호 특2002-0094242
(43) 공개일자 2002년12월18일

(21) 출원번호 10-2001-0031189
(22) 출원일자 2001년06월04일

(71) 출원인 삼성전자 주식회사
경기 수원시 팔달구 매탄3동 416번지

(72) 발명자 유춘기
경기도용인시기흥읍보라리삼정아파트102-405

(74) 대리인 박영우

심사청구 : 없음

(54) 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법

요약

다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법이 개시되어 있다. 기판 상에 액티브 패턴을 형성한다. 상기 액티브 패턴 및 기판 상에 게이트 절연막 및 게이트막을 차례로 형성한다. 상기 게이트막을 패터닝하여 게이트 전극을 형성하고 이온 도핑을 실시하여 상기 액티브 패턴에 제1 불순물 영역 및 제2 불순물 영역을 형성한다. 상기 제1 및 제2 불순물 영역을 활성화시킨 후, 어닐링을 실시하여 박막 트랜지스터의 문턱전압을 포지티브 쪽으로 이동시킨다. 결과물 상에 보호막을 형성하고 그 위에 상기 제1 불순물 영역과 전기적으로 연결되는 화소 전극을 형성한다. 레이저 등을 이용하여 소오스/드레인 영역을 활성화시키는 단계 후 또는 전에 어닐링을 추가로 실시하여 박막 트랜지스터의 문턱전압(Vth)을 포지티브 쪽으로 이동시킴으로써, 오프-전류(I_{off})를 감소시켜 소비 전류의 증가 및 화상의 먹구름 불량을 방지할 수 있다.

대표도

도 1e

명세서

도면의 간단한 설명

도 1a 내지 도 1g는 본 발명의 제1 실시예에 의한 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법을 설명하기 위한 단면도들이다.

도 2a 내지 도 2c는 본 발명의 제2 실시예에 의한 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법을 설명하기 위한 단면도들이다.

도 3a 내지 도 3c는 본 발명의 제3 실시예에 의한 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법을 설명하기 위한 단면도들이다.

도 4는 종래 방법 및 본 발명에 의해 각각 제조된 다결정실리콘 박막 트랜지스터에 있어서, 게이트 전압이 0V일 때의 오프-전류(I_{off}) 특성을 비교 도시한 그래프이다.

도 5는 종래 방법 및 본 발명에 의해 각각 제조된 다결정실리콘 박막 트랜지스터의 오프-전류(I_{off}) 특성을 비교 도시한 그래프이다.

< 도면의 주요 부분에 대한 부호의 설명>

100, 200, 300 : 투명 기판102, 202, 302 : 차단막

104, 204, 304 : 액티브 패턴106, 206, 306 : 게이트 절연막

108, 208, 308 : 게이트 전극110S, 210S, 310S : 소오스 영역

110D, 210D, 310D : 드레인 영역110C, 210C, 310C : 채널 영역

120, 316 : 층간 절연막127, 322c : 비어홀

122a, 122b, 222a, 222b, 322a, 322b : 콘택홀

124b, 224b, 324b : 드레인 전극124a : 소오스 전극

126, 220, 320 : 보호막318 : 데이터 배선

128, 224a, 324a : 화소 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터-액정표시장치(Thin Film Transistor-Liquid Crystal Display; 이하 TFT-LCD라 한다)의 제조방법에 관한 것으로, 보다 상세하게는 다결정실리콘으로 액티브층을 형성하는 다결정실리콘 TFT-LCD 장치의 제조방법에 관한 것이다.

오늘날과 같은 정보화 사회에 있어서 전자 디스플레이 장치(electronic display device)의 역할은 갈수록 중요해지며, 각종 전자 디스플레이 장치가 다양한 산업 분야에 광범위하게 사용되고 있다.

일반적으로 전자 디스플레이 장치란 다양한 정보를 시각을 통해 인간에게 전달하는 장치를 말한다. 즉, 전자 디스플레이 장치란 각종 전가 기기로부터 출력되는 전기적 정보 신호를 인간의 시각으로 인식 가능한 광 정보 신호로 변환하는 전자 장치라고 정의할 수 있으며, 인간과 전자 기기를 연결하는 가교적 역할을 담당하는 장치로 정의될 수도 있다.

이러한 전자 디스플레이 장치에 있어서, 광 정보 신호가 발광 현상에 의해 표시되는 경우에는 발광형 표시(emissive display) 장치로 불려지며, 반사, 산란, 간섭 현상 등에 의해 광 변조를 표시되는 경우에는 수광형 표시(non-emissive display) 장치로 일컬어진다. 능동형 표시 장치라고도 불리는 상기 발광형 표시 장치로는 음극선관(cathode ray tu

be; CRT), 플라즈마 디스플레이 패널(plasma display panel; PDP), 발광 다이오드(light emitting diode; LED) 및 일렉트로 루미네슨트 디스플레이(electroluminescent display; ELD) 등을 들 수 있다. 또한, 수동형 표시 장치인 상기 수광형 표시 장치에는 액정표시장치(liquid crystal display; LCD), 전기화학 표시장치(electrochemical display; ECD) 및 전기 영동 표시장치(electrophoretic image display; EPID) 등이 해당된다.

텔레비전이나 컴퓨터용 모니터 등과 같은 화상표시장치에 사용되는 음극선관(CRT)은 표시 품질 및 경제성 등의 면에서 가장 높은 점유율을 차지하고 있으나, 무거운 중량, 큰 용적 및 높은 소비 전력 등과 같은 많은 단점을 가지고 있다.

그러나, 반도체 기술의 급속한 진보에 의해 각종 전자 장치의 고체화, 저 전압 및 저 전력화와 함께 전자 기기의 소형 및 경량화에 따라 새로운 환경에 적합한 전자 디스플레이 장치, 즉 얇고 가벼우면서도 낮은 구동 전압 및 낮은 소비 전력의 특징을 갖춘 평판 패널(flat panel)형 디스플레이 장치에 대한 요구가 급격히 증대하고 있다.

현재 개발된 여러 가지 평판 디스플레이 장치 중에서 액정표시장치는 다른 디스플레이 장치에 비해 얇고 가벼우며, 낮은 소비 전력 및 낮은 구동 전압을 갖추고 있을 뿐만 아니라, 음극선관에 가까운 화상 표시가 가능하기 때문에 다양한 전자 장치에 광범위하게 사용되고 있다.

액정표시장치는 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 상기 전극에 전압을 인가하여 상기 액정층의 액정 분자들을 재배열시켜 투과되는 빛의 양을 조절하여 디스플레이 장치이다.

액정표시장치 중에서도 현재 주로 사용되는 것은 두 장의 기판에 각각 전극이 형성되어 있고 각 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 구비하는 장치이며, 상기 박막 트랜지스터는 두 장의 기판 중 하나에 형성되는 것이 일반적이다. 박막 트랜지스터를 능동 소자로 사용하는 TFT-LCD 장치는 저소비 전력, 저전압 구동 및 경박형의 장점을 갖추고 있다. 특히, 다결정실리콘을 액티브층의 재료로 사용하는 다결정실리콘 TFT-LCD 장치는 이동도(mobility)와 온-전류(on-current)가 커서 액티브 매트릭스형 액정표시장치(active matrix LCD; 이하 "AMLCD"라 한다)에 널리 사용되고 있다.

대면적의 다결정실리콘 TFT-LCD 장치를 구현하기 위해서는 레이저 결정화 기술, 게이트 절연막의 증착 기술, 이온도핑 기술 등의 단위 공정뿐만 아니라 높은 콘트라스트(contrast)의 확보를 위해 박막 트랜지스터의 누설 전류를 안정화하여야 한다.

종래의 탑-게이트(top-gate) 구조의 다결정실리콘 TFT-LCD 장치에 있어서, 다결정실리콘 박막 트랜지스터의 제조 방법은 다음과 같다.

먼저, 유리, 석영 또는 사파이어로 이루어진 투명 기판의 전면에 실리콘 산화물로 이루어진 차단막(blocking layer)을 형성한다. 상기 차단막 상에 비정질실리콘막을 증착한 후, 레이저 어닐링 또는 퍼니스 어닐링(furnace annealing)을 실시하여 상기 비정질실리콘막을 다결정실리콘막으로 결정화시킨다. 이어서, 상기 다결정실리콘막을 사진식각 공정으로 패터닝하여 박막 트랜지스터의 액티브 패턴을 형성한다.

상기 액티브 패턴 및 차단막 상에 게이트 절연막 및 게이트 도전막을 차례로 증착한 후, 사진식각 공정으로 p형 박막 트랜지스터의 게이트 전극 및 n형 박막 트랜지스터의 게이트 전극을 형성한다. 계속해서, p형 박막 트랜지스터와 n형 박막 트랜지스터의 소오스/드레인 영역을 형성한 후, 급속 열처리(Rapid Thermal Annealing; RTA) 또는 레이저 어닐링을 실시하여 상기 소오스/드레인 영역을 활성화시킨다.

이어서, 상기 결과물 상에 층간 절연막을 형성하고 그 위에 상기 층간 절연막을 관통하는 콘택홀을 통해 상기 소오스/드레인 영역에 연결되는 소오스/드레인 전극을 형성한다. 계속해서, 상기 결과물 상에 보호막을 형성하고 그 위에 상기 보호막을 관통하는 비어홀을 통해 상기 소오스 전극에 연결되는 화소 전극을 형성함으로써 다결정실리콘 박막 트랜지스터를 완성한다.

상술한 종래 방법에 의하면, n형 박막 트랜지스터의 문턱전압(threshold voltage; Vth)이 네거티브 쪽으로 이동(shift)되어 게이트 전압(Vg)이 0V일 때의 오프-전류(I_{off})가 수만 내지 수십만 pA 정도로 크게 나타난다. 이에 따라, 구동 지연으로 인한 소비 전류의 증가 및 화소 결함(pixel defect)의 다발 발생으로 인한 화상의 먹구름 불량이 유발되어 수율 저하의 원인이 되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 박막 트랜지스터의 문턱전압의 네거티브 이동을 개선할 수 있는 다결정실리콘 TFT-LCD 장치의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은, 기판 상에 액티브 패턴을 형성하는 단계; 상기 액티브 패턴 및 상기 기판 상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 게이트막을 형성하는 단계; 상기 게이트막을 패터닝하여 게이트 전극을 형성하고 이온 도핑을 실시하여 상기 액티브 패턴에 제1 불순물 영역 및 제2 불순물 영역을 형성하는 단계; 상기 제1 및 제2 불순물 영역을 활성화시키는 단계; 어닐링을 실시하여 박막 트랜지스터의 문턱전압을 포지티브 쪽으로 이동시키는 단계; 상기 결과물 상에 보호막을 형성하는 단계; 및 상기 보호막 상에 상기 제1 불순물 영역과 전기적으로 연결되는 화소 전극을 형성하는 단계를 구비하는 것을 특징으로 하는 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법을 제공한다.

또한, 본 발명의 상기 목적은 기판 상에 액티브 패턴을 형성하는 단계; 상기 액티브 패턴 및 상기 기판 상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 게이트막을 형성하는 단계; 상기 게이트막을 패터닝하여 게이트 전극을 형성하고 이온 도핑을 실시하여 상기 액티브 패턴에 제1 불순물 영역 및 제2 불순물 영역을 형성하는 단계; 어닐링을 실시하여 박막 트랜지스터의 문턱전압을 포지티브 쪽으로 이동시키는 단계; 상기 제1 및 제2 불순물 영역을 활성화시키는 단계; 상기 결과물 상에 보호막을 형성하는 단계; 및 상기 보호막 상에 상기 제1 불순물 영역과 전기적으로 연결되는 화소 전극을 형성하는 단계를 구비하는 것을 특징으로 하는 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법에 의해 달성될 수도 있다.

본 발명에 의하면, 레이저 등을 이용하여 소오스/드레인 영역을 활성화시키는 단계 후 또는 전에 어닐링을 추가로 실시하여 게이트 절연막의 플랫-밴드 전압(flat-band voltage; V_{FB})을 포지티브 쪽으로 이동시킨다. 그러면, 박막 트랜지스터의 문턱전압(Vth)도 포지티브 쪽으로 이동되므로 오프-전류(I_{off})를 감소시켜 소비 전류의 증가 및 화상의 먹구름 불량을 방지할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

실시예 1

도 1a 내지 도 1g는 본 발명의 제1 실시예에 의한 다결정실리콘 TFT-LCD 장치의 제조방법을 설명하기 위한 단면도들이다.

도 1a는 액티브 패턴(104)을 형성하는 단계를 도시한다. 유리, 석영 또는 사파이어와 같은 절연 물질로 이루어진 투명 기판(100) 상에 실리콘 산화물을 약 1000Å의 두께로 증착하여 차단막(102)을 형성한다. 상기 차단막(102)은 생략될 수 있지만, 후속의 비정질실리콘막의 결정화 동안에 상기 기판(100) 내의 각종 불순물들이 실리콘막으로 침투하는 것을 방지하기 위해 사용하는 것이 바람직하다.

상기 차단막(102) 상에 비정질실리콘막을 화학 기상 증착(chemical vapor deposition; 이하 CVD라 한다) 방법에 의해 약 500Å의 두께로 증착한 후, 레이저 어닐링 또는 퍼니스 어닐링(furnace annealing)을 실시하여 상기 비정질실리콘막을 다결정실리콘막으로 결정화시킨다. 이어서, 상기 다결정실리콘막을 사진식각 공정으로 패터닝하여 액티브 패턴(104)을 형성한다(제1 마스크).

도 1b는 게이트 전극(108)을 형성하는 단계를 도시한다. 상기 액티브 패턴(104) 및 상기 차단막(102) 상에 실리콘 산화물을 CVD 방법으로 증착하여 게이트 절연막(106)을 형성한다. 상기 게이트 절연막(106) 상에 게이트 도전막을 증착한 후, 사진식각 공정으로 상기 게이트 도전막을 패터닝하여 게이트 전극(108)을 형성한다(제2/제3 마스크). 이와 동시에, 도시하지는 않았으나, 상기 게이트 전극(108)과 연결되고 제1 방향으로 신장되는 게이트 라인 및 상기 게이트 라인의 끝단에 연결되어 외부로부터 주사 신호를 인가받아 상기 게이트 라인으로 전달하는 게이트 패드가 동시에 형성된다.

상기 게이트 도전막은 알루미늄(Al) 또는 알루미늄 내오드뮴(AlNd)과 같은 알루미늄 함유 금속의 단일층이나, 알루미늄 위에 크롬(Cr)이나 몰리브덴(Mo) 합금을 적층한 다중층으로 형성할 수 있다.

도 1c는 소오스/드레인 영역(110S, 110D)을 형성하는 단계를 도시한다. 상기 게이트 전극(108)을 이온주입 마스크로 이용하여 상기 액티브 패턴(104)에 불순물 이온을 주입하여 액티브 패턴(104)을 도핑시킨다. 그러면, 상기 액티브 패턴(104) 중 불순물이 도핑된 영역은 소오스/드레인 영역(110S, 110D)이 되고, 게이트 전극(108)에 의해 가려져서 불순물이 도핑되지 않은 영역은 채널 영역(110C)이 된다. 이때, 드레인 영역(110D)의 근방에서 강한 전계가 형성되어 열 전자의 방출에 의한 누설 전류의 증가를 방지하기 위해 n형 박막 트랜지스터의 소오스/드레인을 LDD(lightly doped drain) 구조를 형성할 수 있다.

여기서, 상술한 게이트 패터닝 공정 및 소오스/드레인 이온주입 공정은 p형 박막 트랜지스터 영역과 n형 박막 트랜지스터 영역에 대해 별도로 진행한다. 예를 들어, 사진식각 공정으로 p형 박막 트랜지스터 영역의 게이트 도전막을 식각하여 p형 박막 트랜지스터의 게이트 전극을 형성한 후, p형 불순물을 이온주입하여 p형 소오스/드레인 영역을 형성한다. 계속해서, 사진식각 공정으로 n형 박막 트랜지스터 영역의 게이트 도전막을 식각하여 n형 박막 트랜지스터의 게이트 전극을 형성한 후, n형 불순물을 이온주입하여 n형 소오스/드레인 영역을 형성한다. 이때, 상기 p형 박막 트랜지스터와 n형 박막 트랜지스터의 게이트 및 소오스/드레인 형성 공정은 그 순서가 바뀌어져도 무방하다.

도 1d는 소오스/드레인 영역(110S, 110D)을 활성화시키는 단계를 도시한다. 상술한 바와 같이 게이트 패터닝 및 소오스/드레인 이온주입 공정을 완료한 후, 도핑된 이온을 활성화시키고 반도체층의 손상을 치유하기 위해 레이저 빔 또는 급속 열처리(RTA) 등을 이용한 어닐링을 실시한다.

도 1e는 박막 트랜지스터의 문턱전압(Vth)을 포지티브 쪽으로 이동시키기 위한 어닐링을 실시하는 단계를 도시한다. 바람직하게는, 상기 어닐링은 질소(N_2) 분위기의 약 450℃ 500℃의 온도에서 30분 1시간 정도 실시한다. 이와 같이 어닐링을 실시하면, 게이트 절연막(106)의 플랫-밴드 전압(V_{FB})이 포지티브 쪽으로 이동되므로 결과적으로 박막 트랜지스터의 문턱전압(Vth)이 포지티브 쪽으로 이동된다.

여기서, 상기 어닐링은 소오스/드레인 영역(110S, 110D)을 활성화시키는 단계 전에 실시할 수도 있다.

도 1f는 소오스/드레인 전극(124a, 124b)을 형성하는 단계를 도시한다. 상술한 바와 같이 어닐링을 실시한 후, 결과물의 전면에 층간 절연막(120)을 수천Å의 두께로 형성한다. 상기 층간 절연막(120)은 실리콘 산화물이나 실리콘 질화물 또는 이들의 조합으로 이루어진 무기 절연물질로 형성될 수도 있고, 아크릴계 감광성 유기물질로 형성될 수도 있다.

감광성 유기막을 사용할 경우, 별도의 식각 공정 없이 노광 공정 중의 현상을 통해 패터닝이 가능해진다. 또한, 유기물질로 이루어진 층간 절연막(120)의 상면에 부분적인 광량을 조절하는 노광을 통해 엠보싱을 형성하고, 그 위에 반사물질로 이루어진 화소 전극을 형성하면 상기 엠보싱 부분이 집광용 마이크로 렌즈의 역할을 하여 화질을 개선할 수 있다.

이어서, 사진식각 공정으로 상기 층간 절연막(120) 및 게이트 절연막(106)을 부분적으로 식각하여 상기 액티브 패턴(104)의 소오스 영역(110S)을 노출시키는 제1 콘택홀(122a) 및 드레인 영역(110D)을 노출시키는 제2 콘택홀(122b)을 형성한다(제4 마스크). 상기 제1 및 제2 콘택홀(122a, 122b)과 층간 절연막(120) 상에 금속막을 증착하고 이를 사진식각 공정으로 패터닝하여 상기 제1 콘택홀(122a)을 통해 소오스 영역(110S)과 연결되는 소오스 전극(124a) 및 상기 제2 콘택홀(122b)을 통해 드레인 영역(110D)과 연결되는 드레인 전극(124b)을 형성한다(제5 마스크).

도 1g는 보호막(126) 및 화소 전극(128)을 형성하는 단계를 도시한다. 상기 소오스/드레인 전극(124a, 124b) 및 층간 절연막(120) 상에 무기 또는 유기 절연물질로 이루어진 보호막(126)을 형성한다. 사진식각 공정에 의해 상기 보호막(126)을 부분적으로 식각하여 상기 소오스 전극(124a)을 노출시키는 비어홀(127)을 형성한다(제6 마스크).

이어서, 상기 비어홀(127) 및 보호막(126) 상에 알루미늄(Al)과 같은 반사 도전막이나 ITO(indium-tin-oxide) 또는 IZO(indium-zinc-oxide)와 같은 투명 도전막을 증착한 후 이를 사진식각 공정으로 패터닝하여 상기 비어홀(127)을 통해 상기 소오스 전극(124a)과 연결되는 화소 전극(128)을 형성한다(제7 마스크). 상기 화소 전극(128)은 상기 박막 트랜지스터의 소오스 영역(110S)으로부터 화상 신호를 전달받아 상판의 전극(도시하지 않음)과 함께 전기장을 생성하는 역할을 한다.

상술한 바와 같이 본 발명의 제1 실시예에 의하면, 레이저 등을 이용하여 소오스/드레인 영역(110S, 110D)을 활성화시키는 단계 후 또는 전에 어닐링을 추가로 실시하여 게이트 절연막(106)의 플랫-밴드 전압(V_{FB})을 포지티브 쪽으로 이동시킨다. 그러면, 박막 트랜지스터의 문턱전압(Vth)도 포지티브 쪽으로 이동되므로 오프-전류(I_{off})를 감소시켜 소비 전류의 증가 및 화상의 먹구름 불량을 방지할 수 있다.

또한, 상기 어닐링은 소오스/드레인 영역(110S, 110D)을 활성화시키는 특성을 갖기 때문에, 도 1d의 레이저 빔을 이용한 활성화 공정의 마진을 증가시킬 수 있다. 또한, 상기 어닐링은 박막 트랜지스터의 채널 영역(110C)을 형성한 후 실시하기 때문에 문턱전압(Vth) 특성을 규칙적으로 이동시키며, 게이트 절연막(106)과 게이트 전극(108) 간의 계면 특성을 향상시킬 수 있다.

실시예 2

도 2a 내지 도 2c는 본 발명의 제2 실시예에 의한 다결정실리콘 TFT-LCD 장치의 제조방법을 설명하기 위한 단면도들이다.

도 2a를 참조하면, 상술한 제1 실시예와 동일한 방법으로 투명 기판(200) 상에 차단막(202), 액티브 패턴(204), 게이트 절연막(206), 게이트 전극(208) 및 소오스/드레인 영역(210S, 210D)을 형성한다(제1/제2/제3 마스크). 이어서, 레이저 빔 등으로 상기 소오스/드레인 영역(210S, 210D)을 활성화시킨 후, 질소(N_2) 분위기에서 약 450℃ 500℃의 온도에서 30분 1시간 정도 어닐링을 실시한다. 그러면, 게이트 절연막(206)의 플랫-밴드 전압(V_{FB})이 포지티브 쪽으로 이동되어 결과적으로 박막 트랜지스터의 문턱전압(Vth)이 포지티브 쪽으로 이동된다. 이때, 상기 어닐링을 소오스/드레인 활성화 단계 전에 실시할 수도 있다.

도 2b를 참조하면, 상술한 바와 같이 어닐링을 실시한 후 결과물의 전면에 무기 또는 유기 절연물질로 이루어진 보호막(220)을 증착한다. 이어서, 상기 보호막(220) 및 게이트 절연막(206)을 부분적으로 식각하여 상기 소오스 영역(210S)을 노출시키는 제1 콘택홀(222a) 및 상기 드레인 영역(210D)을 노출시키는 제2 콘택홀(222b)을 형성한다(제4 마스크).

도 2c를 참조하면, 상기 제1 및 제2 콘택홀(222a, 222b)과 보호막(220) 상에 도전막을 증착한다. 이때, 반사형 액정표시장치의 경우 상기 도전막으로 알루미늄(Al)과 같이 반사율이 높은 금속을 사용하고, 투과형 액정표시장치의 경우에는 ITO 또는 IZO와 같은 투명 도전막을 사용한다.

이어서, 사진식각 공정으로 상기 도전막을 패터닝하여 상기 제1 콘택홀(222a)을 통해 소오스 영역(210S)과 연결되는 화소 전극(224a) 및 상기 제2 콘택홀(222b)을 통해 드레인 영역(210D)과 연결되는 드레인 전극(224b)을 형성한다(제5 마스크).

실시예 3

도 3a 내지 도 3c는 본 발명의 제3 실시예에 의한 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법을 설명하기 위한 단면도들이다.

도 3a를 참조하면, 상술한 제1 실시예와 동일한 방법으로 투명 기판(300) 상에 차단막(302), 액티브 패턴(304), 게이트 절연막(306), 게이트 전극(308) 및 소오스/드레인 영역(310S, 310D)을 형성한다(제1/제2/제3 마스크). 이어서, 레이저 빔 등으로 상기 소오스/드레인 영역(310S, 310D)을 활성화시킨 후, 질소(N_2) 분위기에서 약 450℃ 500℃의 온도에서 30분 1시간 정도 어닐링을 실시한다. 이때, 상기 어닐링을 소오스/드레인 활성화 단계 전에 실시할 수도 있다.

이어서, 결과물의 전면에 층간 절연막(316)을 수천Å의 두께로 형성한 후, 그 위에 도전막을 약 2000Å의 두께로 증착하고 이를 사진식각 공정으로 패터닝하여 데이터 배선(318)을 형성한다(제4 마스크). 상기 데이터 배선(318)은 신호 전달시 손실을 줄이기 위해 도전성이 좋은 금속으로 형성하는 것이 바람직하며, 알루미늄(Al) 또는 알루미늄 내오드뮴(AlNd)과 같은 알루미늄 함유 금속의 단일층이나, 알루미늄 위에 크롬(Cr)이나 몰리브덴(Mo) 합금을 적층한 다중층을 사용할 수 있다.

도 3b를 참조하면, 상기 데이터 배선(318) 및 층간 절연막(316) 상에 보호막(320)을 수천Å의 두께로 형성한다. 이어서, 사진식각 공정으로 상기 보호막(320), 층간 절연막(316) 및 게이트 절연막(306)을 부분적으로 식각하여 상기 액티브 패턴(304)의 소오스 영역(310S)을 노출시키는 제1 콘택홀(322a), 상기 드레인 영역(310D)을 노출시키는 제2 콘택홀(322b) 및 상기 데이터 배선(318)을 노출시키는 제3 콘택홀(322c)을 형성한다(제5 마스크).

도 3c를 참조하면, 상기 제1 내지 제3 콘택홀들(322a, 322b, 322c) 및 보호막(320) 상에 반사 도전막 또는 투명 도전막을 증착한 후 이를 사진식각 공정으로 패터닝한다. 그러면, 상기 제1 콘택홀(322a)을 통해 소오스 영역(310S)과 연결되는 화소 전극(324a)과, 상기 제2 콘택홀(322b) 및 제3 콘택홀(322c)을 통해 상기 데이터 배선(318)과 드레인 영역(310D)을 연결시키는 드레인 전극(324b)이 형성된다.

도 4는 종래 방법 및 본 발명에 의해 각각 제조된 다결정실리콘 박막 트랜지스터에 있어서, 게이트 전압이 0V일 때의 오프-전류(I_{off}) 특성을 비교 도시한 그래프이다.

도 4를 참조하면, 소오스/드레인 영역을 레이저 빔으로 활성화시킨 후 곧바로 층간 절연막을 증착하는 종래 방법에 의해 제조된 다결정실리콘 박막 트랜지스터의 오프-전류(I_{off})는 수백 pA 내지 수만pA로 크게 나타났다. 이에 반하여, 소오스/드레인 영역을 레이저 빔으로 활성화시킨 후 어닐링을 실시하는 본 발명에 의해 제조된 다결정실리콘 박막 트랜지스터의 오프-전류(I_{off})는 수 pA 내지 수백 pA로 나타났다. 따라서, 본 발명에 의하면, 어닐링에 의해 다결정실리콘 박막 트랜지스터의 문턱전압(Vth)이 네거티브 쪽으로 이동되는 것을 방지함으로써 오프-전류(I_{off})를 수백 pA 이하로 감소시킬 수 있다.

도 5는 종래 방법 및 본 발명에 의해 각각 제조된 다결정실리콘 박막 트랜지스터에 있어서, 양산 적용을 위해 단일 n형 박막 트랜지스터로 이루어진 Run을 대량 투입하였을 경우 오프-전류(I_{off}) 특성을 비교 도시한 그래프이다.

도 5를 참조하면, 소오스/드레인 영역을 레이저 빔으로 활성화시킨 후 곧바로 층간 절연막을 증착하는 종래 방법에 의한 다결정실리콘 박막 트랜지스터의 오프-전류(I_{off})는 1.E+02 1.E+06pA로 나타났다. 이에 반하여, 소오스/드레인 영역을 레이저 빔으로 활성화시킨 후 어닐링을 실시하는 본 발명에 의한 오프-전류(I_{off})는 1.E+01 1.E+04pA로 나타나 종래 방법에 비해 오프-전류(I_{off})를 큰 폭으로 감소시킬 수 있음을 알 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 레이저 등을 이용하여 소오스/드레인 영역을 활성화시키는 단계 후 또는 전에 어닐링을 추가로 실시하여 게이트 절연막의 플랫-밴드 전압(V_{FB})을 포지티브 쪽으로 이동시킨다. 그러면, 박막 트랜지스터의 문턱전압(Vth)도 포지티브 쪽으로 이동되므로 오프-전류(I_{off})를 감소시켜 소비 전류의 증가 및 화상의 먹구름 불량을 방지할 수 있다.

또한, 상기 어닐링은 소오스/드레인 영역을 활성화시키는 특성을 갖기 때문에, 레이저 빔을 이용한 활성화 공정의 마진을 증가시킬 수 있다. 또한, 상기 어닐링은 박막 트랜지스터의 채널 영역을 형성한 후 실시하기 때문에 문턱전압(Vth) 특성을 규칙적으로 이동시키며, 게이트 절연막과 게이트 전극 간의 계면 특성을 향상시킬 수 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술분야의 숙련된 당업자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

기판 상에 액티브 패턴을 형성하는 단계;

상기 액티브 패턴 및 상기 기판 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 게이트막을 형성하는 단계;

상기 게이트막을 패터닝하여 게이트 전극을 형성하고 이온 도핑을 실시하여 상기 액티브 패턴에 제1 불순물 영역 및 제2 불순물 영역을 형성하는 단계;

상기 제1 및 제2 불순물 영역을 활성화시키는 단계;

어닐링을 실시하여 박막 트랜지스터의 문턱전압을 포지티브 쪽으로 이동시키는 단계;

상기 결과물 상에 보호막을 형성하는 단계; 및

상기 보호막 상에 상기 제1 불순물 영역과 전기적으로 연결되는 화소 전극을 형성하는 단계를 구비하는 것을 특징으로 하는 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법.

청구항 2.

제1항에 있어서, 상기 액티브 패턴을 형성하는 단계 전에 상기 기판의 전면에 차단막을 형성하는 단계를 더 구비하는 것을 특징으로 하는 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법.

청구항 3.

제1항에 있어서, 상기 액티브 패턴을 형성하는 단계는, 상기 기판 상에 비정질실리콘막을 증착하는 단계;

레이저를 이용하여 상기 비정질실리콘막을 다결정실리콘막으로 결정화시키는 단계; 및

상기 다결정실리콘막을 패터닝하여 액티브 패턴을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법.

청구항 4.

제1항에 있어서, 상기 게이트 전극을 형성하고 이온 도핑을 실시하는 단계는 제1 도전형의 트랜지스터 영역에 제1 게이트 전극을 형성하고 제2 도전형의 불순물을 도핑하는 단계와,

제2 도전형의 트랜지스터 영역에 제2 게이트 전극을 형성하고 제1 도전형의 불순물을 도핑하는 단계를 포함하여 이루어지는 것을 특징으로 하는 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법.

청구항 5.

제1항에 있어서, 상기 어닐링은 450℃ 500℃의 온도에서 실시하는 것을 특징으로 하는 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법.

청구항 6.

제1항에 있어서, 상기 어닐링은 30분 1시간 정도로 실시하는 것을 특징으로 하는 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법.

청구항 7.

제1항에 있어서, 상기 어닐링은 질소(N_2) 분위기에서 실시하는 것을 특징으로 하는 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법.

청구항 8.

제1항에 있어서, 상기 제1 및 제2 불순물 영역을 활성화시키는 단계는 레이저를 이용하여 수행하는 것을 특징으로 하는 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법.

청구항 9.

기판 상에 액티브 패턴을 형성하는 단계;

상기 액티브 패턴 및 상기 기판 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 게이트막을 형성하는 단계;

상기 게이트막을 패터닝하여 게이트 전극을 형성하고 이온 도핑을 실시하여 상기 액티브 패턴에 제1 불순물 영역 및 제2 불순물 영역을 형성하는 단계;

어닐링을 실시하여 박막 트랜지스터의 문턱전압을 포지티브 쪽으로 이동시키는 단계;

상기 제1 및 제2 불순물 영역을 활성화시키는 단계;

상기 결과물 상에 보호막을 형성하는 단계; 및

상기 보호막 상에 상기 제1 불순물 영역과 전기적으로 연결되는 화소 전극을 형성하는 단계를 구비하는 것을 특징으로 하는 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법.

청구항 10.

제9항에 있어서, 상기 어닐링은 450℃ 500℃의 온도에서 실시하는 것을 특징으로 하는 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법.

청구항 11.

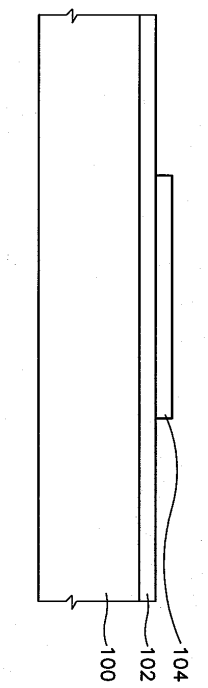
제9항에 있어서, 상기 어닐링은 30분 1시간 정도로 실시하는 것을 특징으로 하는 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법.

청구항 12.

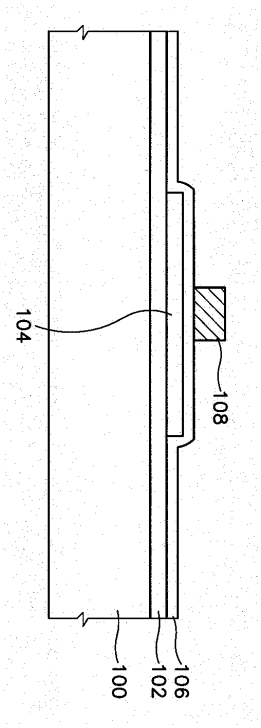
제9항에 있어서, 상기 어닐링은 질소(N_2) 분위기에서 실시하는 것을 특징으로 하는 다결정실리콘 박막 트랜지스터-액정표시장치의 제조방법.

도면

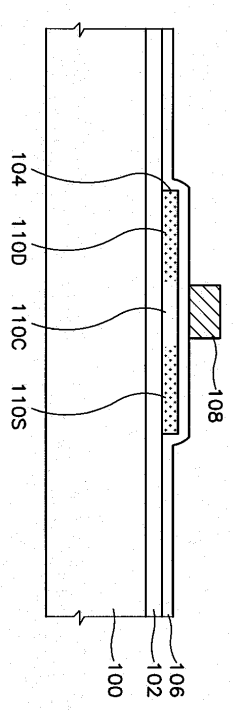
도면 1a



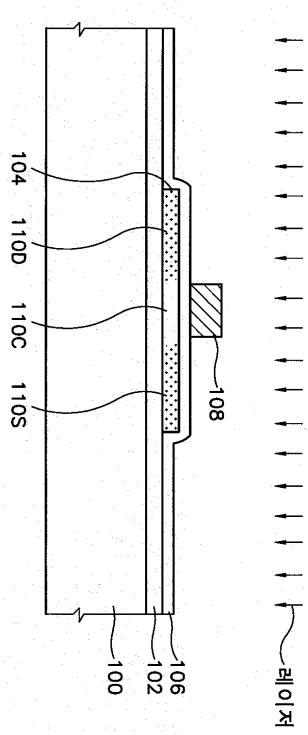
도면 1b



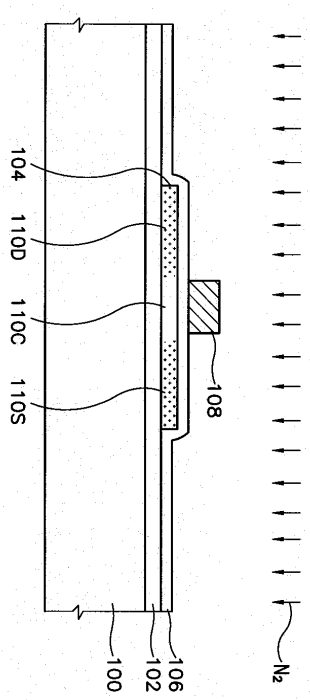
도면 1c



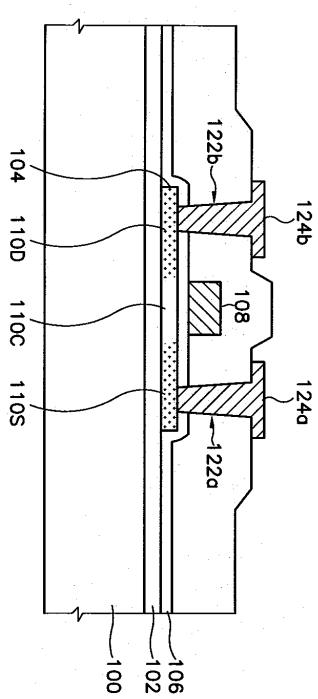
도면 1d



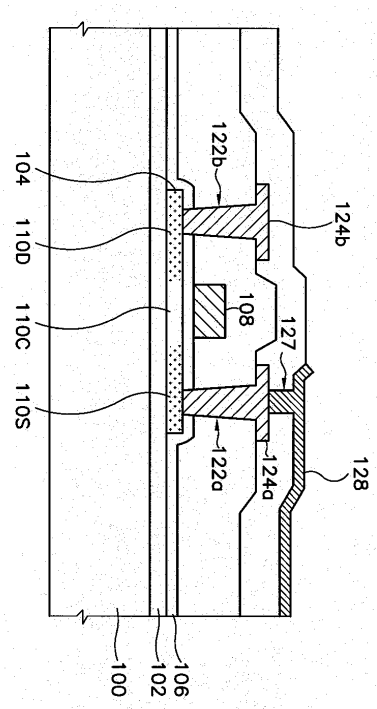
도면 1e



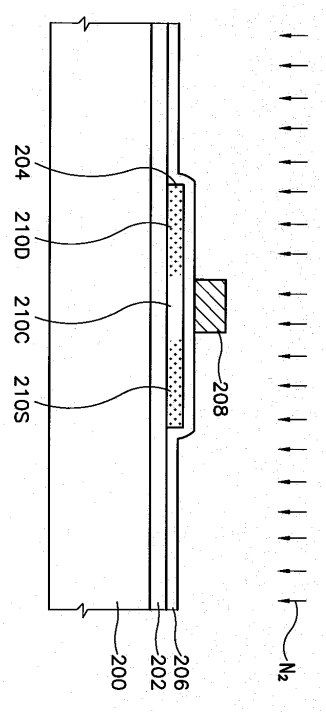
도면 1f



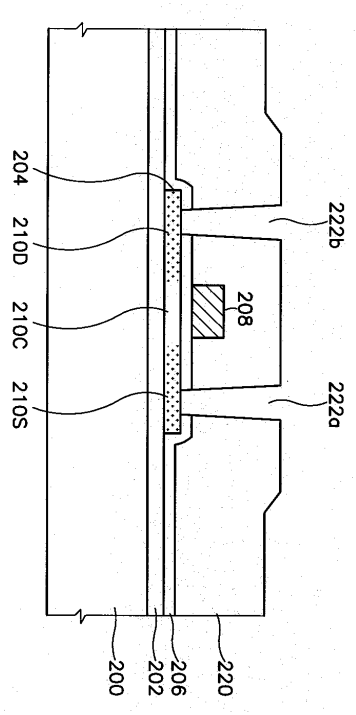
도면 1g



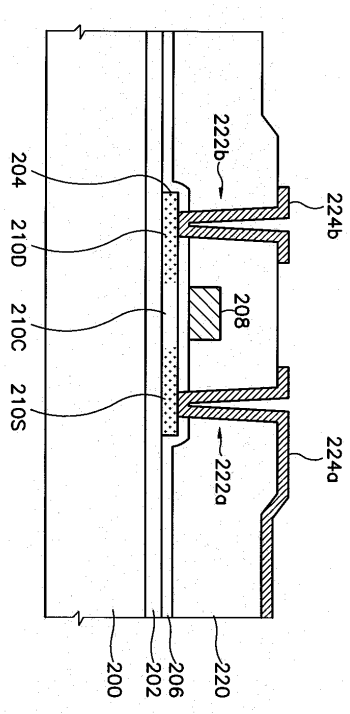
도면 2a



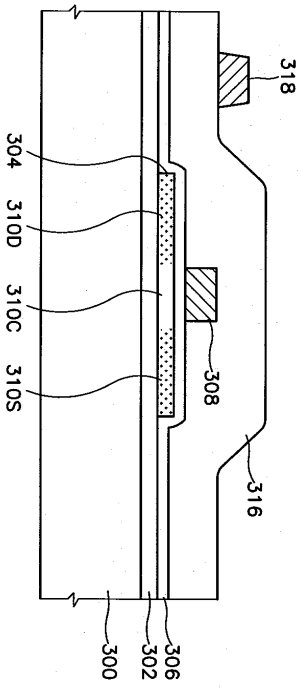
도면 2b



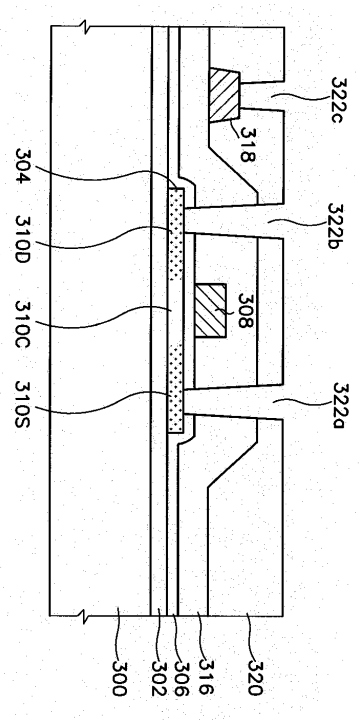
도면 2c



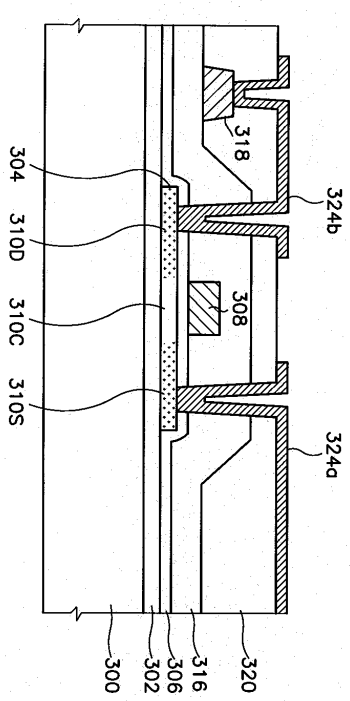
도면 3a



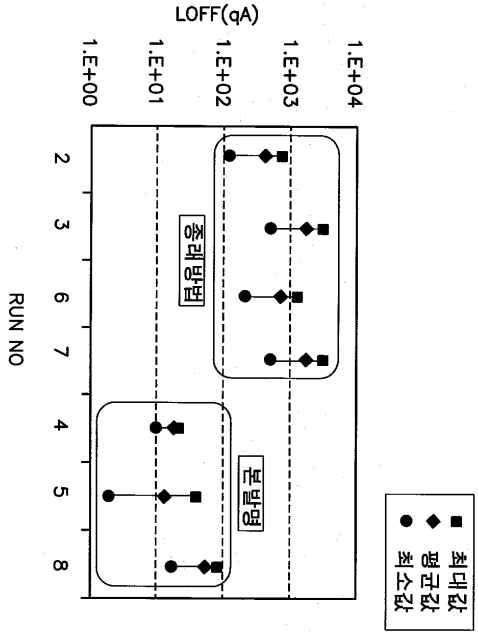
도면 3b



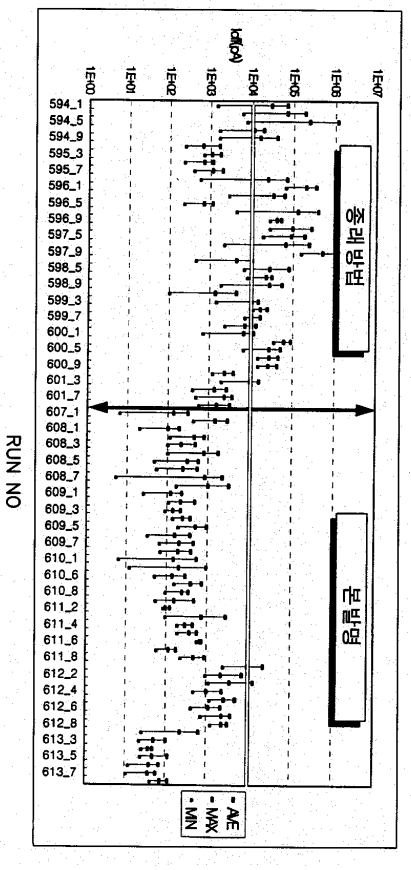
도면 3c


304
310D
310C
310S
318
308
324b
324a
300
302
306
316
320

도면 4


LOFF(qA)
1.E+00
1.E+01
1.E+02
1.E+03
1.E+04
RUN NO
2
3
6
7
4
5
8
종래방법
본발명
최대값
평균값
최소값

도면 5


RUN NO
1E+00
1E+01
1E+02
1E+03
1E+04
1E+05
1E+06
1E+07
594_1
594_5
594_9
595_3
595_7
596_1
596_5
596_9
597_5
597_9
598_5
598_9
599_3
599_7
600_1
600_5
600_9
601_3
601_7
607_1
608_1
608_3
608_5
608_7
609_1
609_3
609_5
609_7
610_1
610_6
610_8
611_2
611_4
611_6
611_8
612_2
612_4
612_6
612_8
613_3
613_5
613_7
- AVE
- MAX
- MIN

专利名称(译)	多晶硅薄膜晶体管 - 液晶显示器件的制造方法		
公开(公告)号	KR1020020094242A	公开(公告)日	2002-12-18
申请号	KR1020010031189	申请日	2001-06-04
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	YOU CHUNGI 유춘기		
发明人	유춘기		
IPC分类号	G02F1/1362		
代理人(译)	PARK，YOUNG WOO		
其他公开文献	KR100706744B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种用于制造多晶硅薄膜晶体管-液晶显示装置的方法，以减少截止电流，从而防止功耗的增加和像素缺陷。 构成：一种用于制造多晶硅薄膜晶体管-液晶显示装置的方法，包括以下步骤：在基板上形成有源图案（104）；在有源图案和基板上形成栅极绝缘膜（106）；以及形成栅极绝缘膜（106）。 通过在栅极绝缘膜上形成栅极膜，通过对栅极膜进行构图并进行离子掺杂来形成栅极电极（108），从而在有源图案中形成第一杂质区（110S）和第二杂质区（110D），从而激活第一杂质区和第二杂质区， 通过进行退火，形成保护膜并在保护膜上形成与第一杂质区电连接的像素电极，使薄膜晶体管的阈值电压向正方向移动。