



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0029396  
(43) 공개일자 2008년04월03일

(51) Int. Cl.

G02F 1/1335 (2006.01)

(21) 출원번호 10-2006-0095468

(22) 출원일자 2006년09월29일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

유단식

경기 용인시 기흥읍 상갈리 금화마을주공아파트  
502-902

강창욱

경기 수원시 영통구 영통동 황골마을1단지아파트  
103-1503

니시오카

경기 수원시 영통구 영통동 동보아파트 622-205

(74) 대리인

남승희

전체 청구항 수 : 총 11 항

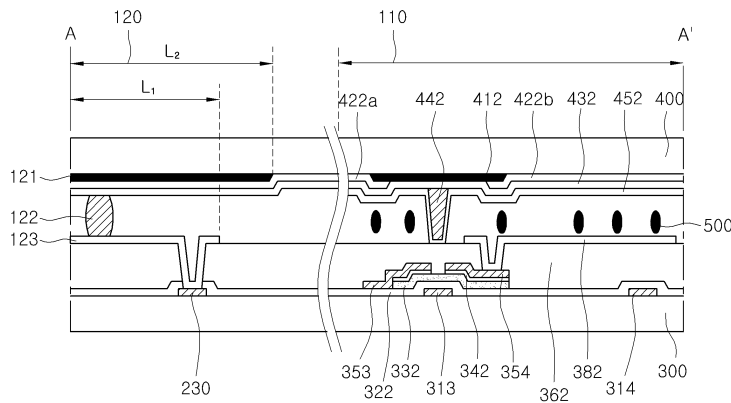
(54) 액정 표시 장치 및 그 제조 방법

(57) 요약

본 발명은, 표시 영역이 유효 영역 및 비유효 영역으로 구분된 액정 표시 패널과, 상기 비유효 영역에 형성되는 외곽 블랙 매트릭스 및 셀라인과, 상기 외곽 블랙 매트릭스의 차광 영역에 형성되어 상기 셀라인의 인근 영역에 전계를 형성하는 도전막 패턴을 포함하는 것을 특징으로 하는 액정 표시 장치 및 그 제조 방법을 제공한다.

이와 같은, 본 발명은 기판의 가장자리에서 전계가 형성된다. 이러한 전계에 의하여 구속된 이온성 불순물들이 외곽 블랙 매트릭스에 의해 광이 차단되는 기판의 가장자리 영역으로 모여들어 갇혀있게 됨으로써, 이 이온성 불순물들이 유효 영역으로 유입되어 발생하는 가장자리 화면 불량을 방지할 수 있다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

표시 영역이 유효 영역 및 비유효 영역으로 구분된 액정 표시 패널과,  
 상기 비유효 영역에 형성되는 외곽 블랙 매트릭스 및 셀라인과,  
 상기 외곽 블랙 매트릭스의 차광 영역에 형성되어 상기 셀라인의 인근 영역에 전계를 형성하는 도전막 패턴을 포함하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 2

청구항 1에 있어서,  
 상기 도전막 패턴으로는 게이트 라인, 데이터 라인, 화소 전극 및 반사막 패턴 중 적어도 어느 하나의 형성시 함께 형성된 단일층 또는 다중층을 사용하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 3

청구항 1에 있어서,  
 상기 표시 영역의 외측으로 연장되어, 일측은 상기 도전막 패턴과 전기적으로 연결되고 타측은 전원과 전기적으로 연결되는 도전막 배선을 더 포함하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 4

청구항 3에 있어서,  
 상기 도전막 패턴으로는 게이트 라인, 데이터 라인, 화소 전극 및 반사막 패턴 중 적어도 어느 하나의 형성시 함께 형성된 단일층 또는 다중층을 사용하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 5

청구항 3에 있어서,  
 상기 도전막 패턴과 상기 도전막 배선은 콘택홀을 통해 전기적으로 연결되는 것을 특징으로 하는 액정 표시 장치.

### 청구항 6

표시 영역이 유효 영역 및 비유효 영역으로 구분된 기판을 마련하는 단계와,  
 상기 기판 상에 게이트 라인을 형성하는 단계와,  
 상기 기판 상에 데이터 라인을 형성하는 단계와,  
 상기 기판 상의 유효 영역에 화소 전극을 형성하는 단계를 포함하고,  
 상기 게이트 라인, 데이터 라인 및 화소 전극 중 적어도 어느 하나의 형성시에는 상기 기판 상의 비유효 영역에 도전막 패턴을 함께 형성하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 7

청구항 6에 있어서,  
 상기 표시 영역의 외측으로 연장되며, 일측은 상기 도전막 패턴과 전기적으로 연결되고 타측은 전원과 전기적으로 연결되는 도전막 배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

### 청구항 8

청구항 7에 있어서,  
 상기 도전막 배선으로는 상기 게이트 라인, 데이터 라인 및 화소 전극 중 적어도 어느 하나의 형성시에 함께 형

성한 단일층 또는 다중층을 사용하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

**청구항 9**

표시 영역이 유효 영역 및 비유효 영역으로 구분된 기판을 마련하는 단계와,

상기 기판 상에 게이트 라인을 형성하는 단계와,

상기 기판 상에 데이터 라인을 형성하는 단계와,

상기 기판 상의 유효 영역에 화소 전극을 형성하는 단계와,

상기 기판 상의 유효 영역에 반사막 패턴을 형성하는 단계를 포함하고,

상기 게이트 라인, 데이터 라인, 화소 전극 및 반사막 패턴 중 적어도 어느 하나의 형성시에는 상기 기판 상의 비유효 영역에 도전막 패턴을 함께 형성하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

**청구항 10**

청구항 9에 있어서,

상기 표시 영역의 외측으로 연장되며, 일측은 상기 도전막 패턴과 전기적으로 연결되고 타측은 전원과 전기적으로 연결되는 도전막 배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

**청구항 11**

청구항 10에 있어서,

상기 도전막 배선으로는 상기 게이트 라인, 데이터 라인, 화소 전극 및 반사막 패턴 중 적어도 어느 하나의 형성시에 함께 형성한 단일층 또는 다중층을 사용하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <16> 본 발명은 액정 표시 장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는 기판의 가장자리에 이온성 불순물들의 구축을 위한 전계가 형성되는 액정 표시 장치 및 그 제조 방법에 관한 것이다.
- <17> 액정 표시 장치는(Liquid Crystal Display)은 액정 분자의 광학적 이방성 및 편광관의 편광 특성을 이용하여 광원으로부터 입사되는 광의 투과량을 조절하여 화상을 구현하는 디스플레이 소자로서, 경량박형, 고해상도, 대화면화를 실현할 수 있고, 소비전력이 작아 최근 그 응용범위가 급속도로 확대되고 있다.
- <18> 이러한 액정 표시 장치는 블랙 매트릭스, 컬러 필터, 공통 전극 등이 형성된 컬러 필터 기판과, 박막 트랜지스터(Thin Film Transistor;TFT), 화소 전극 등이 형성된 박막 트랜지스터 기판 및 두 기판 사이에 충전된 액정층으로 구성되며, 상기 공통 전극과 화소 전극 사이에 형성된 전계에 의해 액정이 구동되어 광의 투과율이 제어됨으로써 화상이 표시된다.
- <19> 한편, 컬러 필터 기판과 박막 트랜지스터 기판은 일측 기판에 형성된 컬럼 스페이서(column spacer)에 의해 두 기판 간의 거리가 일정하게 유지된 상태에서 일측 기판의 가장자리 둘레에 형성된 씰라인(seal line)을 통해 두 기판이 합착되고, 그 사이에 제공되는 공간에 액정이 주입되어 액정셀을 형성하게 된다.
- <20> 일반적으로, 액정셀에는 컬러 필터 기판 및 박막 트랜지스터 기판에 형성된 각종 구성물에서 분리된 이온성 불순물들이 존재하게 된다. 특히, 씰라인과 액정층은 일정 부분 서로 접하게 되는데, 액정 표시 장치의 구동 과정에서 발생하는 열 등의 요인에 의해 두 물질 간의 상호 작용이 촉진되어 액정셀 내부에는 씰라인에서 분리된 불순물들이 이온화 상태로 존재하게 된다. 이러한 이온성 불순물들은 씰라인의 모세관 현상에 의해 액정 표시 장치의 가장자리에 인접한 액정셀에 모여들어 각종 화면 불량 예를 들어, 가장자리 화면 얼룩 등을 발생시킨다.

**발명이 이루고자 하는 기술적 과제**

<21> 본 발명은 상기의 문제점을 해결하기 위해 도출된 것으로, 외곽 블랙 매트릭스에 의해 광이 차단되는 쉘라인의 인접 영역에 소정 전압이 인가되는 도전막 패턴을 형성하여 상기 도전막 패턴에서 발생하는 전계 영역으로 액정 셀에 존재하는 이온성 불순물들이 모여들게 함으로써, 이온성 불순물들이 액정셀로 유입되어 발생하는 각종 화면 불량을 방지할 수 있는 액정 표시 장치 및 그 제조 방법을 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

<22> 상기의 목적을 달성하기 위한 본 발명에 따른 액정 표시 장치는, 표시 영역이 유효 영역 및 비유효 영역으로 구분된 액정 표시 패널과, 상기 비유효 영역에 형성되는 외곽 블랙 매트릭스 및 쉘라인과, 상기 외곽 블랙 매트릭스의 차광 영역에 형성되어 상기 쉘라인의 인접 영역에 전계를 형성하는 도전막 패턴을 포함하는 것을 특징으로 한다. 이때, 상기 도전막 패턴으로는 게이트 라인, 데이터 라인, 화소 전극 및 반사막 패턴 중 적어도 어느 하나의 형성시 함께 형성된 단일층 또는 다중층을 사용하는 것이 바람직하다.

<23> 상기 액정 표시 장치는 상기 표시 영역의 외측으로 연장되어, 일측은 상기 도전막 패턴과 전기적으로 연결되고 타측은 전원과 전기적으로 연결되는 도전막 배선을 더 포함할 수 있다. 이때, 상기 도전막 배선으로는 게이트 라인, 데이터 라인, 화소 전극 및 반사막 패턴 중 적어도 어느 하나의 형성시 함께 형성된 단일층 또는 다중층을 사용하는 것이 바람직하다.

<24> 상기의 목적을 달성하기 위한 본 발명에 따른 액정 표시 장치의 제조 방법은, 표시 영역이 유효 영역 및 비유효 영역으로 구분된 기판을 마련하는 단계와, 상기 기판 상에 게이트 라인을 형성하는 단계와, 상기 기판 상에 데이터 라인을 형성하는 단계 및 상기 기판 상의 유효 영역에 화소 전극을 형성하는 단계를 포함하고, 상기 게이트 라인, 데이터 라인 및 화소 전극 중 적어도 어느 하나의 형성시에는 상기 기판 상의 비유효 영역에 도전막 패턴을 함께 형성하는 것을 특징으로 한다.

<25> 상기의 목적을 달성하기 위한 본 발명에 따른 액정 표시 장치의 제조 방법은, 표시 영역이 유효 영역 및 비유효 영역으로 구분된 기판을 마련하는 단계와, 상기 기판 상에 게이트 라인을 형성하는 단계와, 상기 기판 상에 데이터 라인을 형성하는 단계와, 상기 기판 상의 유효 영역에 화소 전극을 형성하는 단계 및 상기 기판 상의 유효 영역에 반사막 패턴을 형성하는 단계를 포함하고, 상기 게이트 라인, 데이터 라인, 화소 전극 및 반사막 패턴 중 적어도 어느 하나의 형성시에는 상기 기판 상의 비유효 영역에 도전막 패턴을 함께 형성하는 것을 특징으로 한다.

<26> 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

<27> 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상의 동일 부호는 동일한 요소를 지칭한다.

<28> <제 1 실시예>

<29> 먼저, 본 발명의 제 1 실시예에 따른 액정 표시 장치에 대하여 설명한다.

<30> 도 1은 본 발명의 제 1 실시예에 따른 액정 표시 장치를 나타낸 사시도이다.

<31> 도 1을 참조하면, 상기 액정 표시 장치는 화상이 출력되는 표시 영역(100) 및 신호 인가용 회로가 형성되는 실장 영역(200)으로 구분된다.

<32> 상기 표시 영역(100)에는 단위 화소가 배치되는 유효 영역(110) 및 단위 화소가 배치되지 않는 비유효 영역(120)이 형성된다. 여기서, 실제 화상이 표시되지 않는 비유효 영역(120)에는 배면으로부터의 광을 차단하는 블랙 매트릭스(121), 두 기판을 합착시키는 쉘라인(seal line)(122) 및 가장자리 전계 형성을 위한 도전막 패턴(123)이 액자 형상으로 형성된다. 이하에서는, 비유효 영역(120)에 형성되는 액자 형상의 블랙 매트릭스(121)를 유효 영역(110)에 형성되는 격자 형상의 블랙 매트릭스와 구분하여 '외곽 블랙 매트릭스'라고 정의한다.

<33> 상기 실장 영역(200)에는 단위 화소에 구동 신호를 인가하는 구동칩(미도시)이 실장되는 제 1 패드부(210) 및 구동칩에 영상 신호를 인가하는 외부 회로가 실장되는 제 2 패드부(220)가 형성되고, 상기 구동칩 및 외부 회로 중 적어도 어느 하나로부터 인가받은 전원이 전달되는 도전막 배선(230)이 형성된다.

<34> 도 2는 본 발명의 제 1 실시예에 따른 액정 표시 장치를 나타낸 단면도로서, 도 1의 A-A' 선을 따라 절단하여

나타낸 것이다.

- <35> 도 2를 참조하면, 상기 액정 표시 장치는 투과형 방식으로 화상을 구현하며, 이를 위해 대향 배치된 박막 트랜지스터 기관(300)과 컬러 필터 기관(400) 및 두 기관(300,400) 사이에 형성된 액정층(500)을 포함한다.
- <36> 박막 트랜지스터 기관(300)은 일측 및 타측으로 교차되게 연장되는 신호 라인(미도시)과, 상기 신호 라인의 교차 영역에 의해 한정되는 단위 화소(미도시) 및 가장자리에 형성되는 도전막 패턴(123) 등을 포함하는 투광성 절연 기관이다. 상기 단위 화소에는 스위칭 소자, 화소 전극(382) 및 유지 전극(314) 등이 형성된다.
- <37> 상기 스위칭 소자는 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(poly silicon) 등을 채널층(channel layer)으로 하며, 게이트 전극(313), 소오스 전극(353), 드레인 전극(354) 등으로 이루어진 박막 트랜지스터(Thin Film Transistor;TFT)를 사용하는 것이 효과적이다. 이때, 게이트 전극(313)은 일측 신호 라인 즉, 게이트 라인(미도시)에 연결되고, 소오스 전극(353)은 타측 신호 라인 즉, 데이터 라인(미도시)에 연결되며, 드레인 전극(354)은 화소 전극(382)에 연결된다.
- <38> 상기 화소 전극(382)은 콘택홀(contact hole)을 통하여 드레인 전극(354)과 전기적으로 연결되며, 컬러 필터 기관(400)의 공통 전극(452)과 함께 액정 커패시터(C1c)를 구성한다.
- <39> 상기 유지 전극(314)은 게이트 라인 또는 데이터 라인 형성시 동일 단계에서 함께 형성되며, 적어도 그 일부가 상부의 화소 전극(382)과 겹쳐지도록 형성되어 유지 커패시터(Cst)를 구성한다. 이러한 유지 커패시터(Cst)는 특정 화소에 전달된 화상 신호를 일정 프레임(보통 한 프레임) 동안 유지시켜주어 화상의 떨림 등을 방지하는 역할을 수행하는데, 이는 상기 액정 커패시터(C1c)의 보조적인 역할이므로 필요에 따라 생략될 수도 있다.
- <40> 컬러 필터 기관(400)은 입사된 광을 차단하여 인접한 화소 영역 사이의 광 간섭을 방지하도록 격자 형태로 형성된 블랙 매트릭스(412)와, 가장자리의 빛샘을 방지하도록 액자 형태로 형성된 외곽 블랙 매트릭스(121)와, 입사된 광을 채색하여 컬러를 구현하는 적색(R), 녹색(G), 청색(B)의 컬러 필터(422a,422b) 및 대향된 화소 전극(382)과 함께 액정층(500)에 전계를 형성하는 공통 전극(452) 등이 형성된 투광성 절연 기관이다.
- <41> 상기 컬러 필터(422)와 공통 전극(452) 사이에는 계면의 부착성 및 평탄성을 개선하기 위한 오버 코트막(over coat layer)(432)이 형성되고, 상기 오버 코트막(432)의 일부 영역 상에는 셀갭 유지를 위한 소정의 높이를 갖는 컬럼 스페이서(442)가 형성된다. 물론, 상기 오버 코트막(432)은 필요에 따라 생략될 수 있으며, 상기 컬럼 스페이서(442)는 블랙 매트릭스(412), 컬러 필터(422), 오버 코트막(432), 공통 전극(452) 중 어느 하나의 막 상부에 형성될 수 있다.
- <42> 이러한 두 기관(300,400)은 적어도 어느 하나의 기관에 형성된 컬럼 스페이서(442)에 의해 두 기관(300,400) 간의 거리가 일정하게 유지된 상태에서 적어도 어느 하나의 기관의 가장자리에 형성된 쉘라인(122)을 통해 서로 결합되어 액정셀을 형성하게 된다.
- <43> 본 실시예에 따른 액정 표시 장치는 쉘라인(122)의 형성 영역 하부에 도전막 패턴(123)이 형성된다. 이러한 도전막 패턴(123)으로는 게이트 라인, 데이터 라인 및 화소 전극(382) 중 적어도 어느 하나의 형성 단계에서 함께 형성되는 단일층 또는 다중층을 사용할 수 있다. 예를 들어, 본 실시예의 도전막 패턴(123)은 화소 전극(382)의 형성 단계에서 함께 형성되는 ITO 단일층으로 형성된다.
- <44> 상기 도전막 패턴(123)은 표시 영역(100)에서 실장 영역(200)으로 연장되는 도전막 배선(230)과 전기적으로 연결되어 외부로부터 예를 들어, 구동칩으로부터 소정의 전압을 인가받는다. 이로 인해 기관의 가장자리에는 전계가 형성되고, 상기 전계로 인하여 액정셀에 존재하는 이온성 불순물들이 외곽 블랙 매트릭스(121)에 의해 광이 차단되는 영역 즉, 기관의 가장자리 영역으로 모여들어 갇혀있게 됨으로써, 이온성 불순물들이 유효 영역(110)으로 유입되는 것이 방지된다. 그 결과, 이온성 불순물들로 인해 야기되는 각종 화면 불량 예를 들어, 가장자리 화면 얼룩이 나타나지 않는다.
- <45> 상기 도전막 패턴(123)은 대향 기관(400)에 형성되는 외곽 블랙 매트릭스(121)의 대응 영역에 형성되는 것이 바람직하며, 그 폭(L<sub>1</sub>)은 상기 외곽 블랙 매트릭스(121)의 폭(L<sub>2</sub>)보다 약간 작게(L<sub>1</sub><L<sub>2</sub>) 형성하는 것이 바람직하다. 그 결과 상기 도전막 패턴(123)에 소정의 전압이 인가되어 전계가 발생되더라도 유효 영역(110) 상의 액정셀의 구동에는 영향을 미치지 않게 된다.
- <46> 이러한 도전막 패턴(123) 및 도전막 배선(230)으로는 게이트 라인, 데이터 라인, 화소 전극(182) 중 적어도 어느 하나의 형성시 함께 형성된 단일층 또는 다중층을 사용하는 것이 바람직하다. 예를 들어, 본 실시예의 경우

는 화소 전극(182) 형성시 함께 형성된 단일층을 사용하였다.

- <47> 이와 같은 구성을 갖는 본 발명의 제 1 실시예에 따른 액정 표시 장치의 제조 공정에 대하여 설명하면 다음과 같다.
- <48> 도 3a 내지 도 3e는 본 발명의 제 1 실시예에 따른 박막 트랜지스터 기관의 제조 공정을 나타낸 단면도이다.
- <49> 먼저, 도 3a와 같이, 소정의 기관(300) 상에 CVD, PVD 및 스퍼터링(Sputtering) 등의 방식으로 제 1 도전막을 형성한 다음, 제 1 마스크를 이용한 패터닝 공정을 실시하여 게이트 전극(313), 게이트 라인(미도시) 등을 포함하는 게이트 배선을 형성한다. 상기 게이트 배선 형성시에는 유지 전극(314) 및 유지 라인(미도시)이 함께 형성되며, 표시 영역(100)에서 실장 영역(200)으로 연장되는 도전막 배선(230)이 함께 형성된다. 이때, 상기 제 1 도전막으로는 Al, Mo, Cr, Ti, Ta, Ag 및 Nd 중 적어도 어느 하나를 포함하는 금속으로 형성한 단일층 또는 다중층을 사용하는 것이 바람직하다.
- <50> 이어, 도 3b와 같이, 상기 게이트 배선을 포함하는 전체 구조 상에 PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 방식으로 제 1 절연막(322), 활성층(332), 오믹 콘택층(342)을 순차적으로 적층하여 반도체층을 형성한 다음, 제 2 마스크를 이용한 패터닝 공정을 실시하여 게이트 전극(313) 상부에 고립된 섬 형태의 반도체층을 형성한다. 이때, 상기 제 1 절연막(322)으로는 산화 실리콘( $SiO_x$ ) 및 질화 실리콘( $SiN_x$ ) 중 적어도 어느 하나를 포함하는 무기 절연 물질로 형성한 단일층 또는 다중층을 사용하는 것이 바람직하다. 상기 산화 실리콘 및 질화 실리콘은 절연성이 우수함과 동시에 부착성이 우수하여 후속층의 증착 및 성장에 도움이 된다. 또한, 상기 활성층(332)으로는 비정질 실리콘층(Amorphous Silicon:a-Si)을 사용하고, 상기 오믹 콘택층(342)으로는 실리사이드 또는 n형 불순물이 고농도로 도핑된 비정질 실리콘층(n+ a-Si)을 사용하는 것이 바람직하다.
- <51> 이어, 도 3c와 같이, 상기 반도체층을 포함하는 전체 구조 상에 CVD, PVD 및 스퍼터링(Sputtering) 등의 방식으로 제 2 도전막을 형성한 다음, 제 3 마스크를 이용한 패터닝 공정을 실시하여 소오스 전극(353), 드레인 전극(354), 데이터 라인(미도시) 등을 포함하는 데이터 배선을 형성한다. 또한, 상기 소오스 전극(353) 및 드레인 전극(354)을 배리어(barrier)로 하여 그 사이의 오믹 콘택층(342)을 분리하면, 상기 기관(300)에는 각 단위 화소에 대응하여 격자 형태로 배열되는 박막 트랜지스터가 형성된다. 이때, 상기 제 2 도전막으로는 Al, Mo, Cr, Ti, Ta, Ag 및 Nd 중 적어도 어느 하나를 포함하는 금속으로 형성한 단일층 또는 다중층을 사용하는 것이 바람직하다.
- <52> 이어, 도 3d와 같이, 상기 데이터 배선을 포함하는 전체 구조 상에 제 2 절연막(362)을 형성한 다음, 제 4 마스크를 이용한 패터닝 공정을 실시하여, 상기 제 2 절연막(362)의 일부를 제거하여 하부 배선의 일부를 드러내는 콘택홀(363a, 363b)을 형성한다. 상기 제 2 절연막(362)으로 무기 절연 물질 및 유기 절연 물질 중 적어도 어느 하나를 포함하는 절연 물질로 형성된 단일층 또는 다중층을 사용할 수 있다. 이때, 상기 무기 절연 물질로는 절연성 및 부착성이 우수한 산화 실리콘( $SiO_x$ ), 질화 실리콘( $SiN_x$ ) 등을 사용하는 것이 바람직하며, 상기 유기 절연 물질로는 유전율이 낮은 BCB(Benzene Cyclo Butane), SOG(Siloxane Polymer), 폴리이미드계 수지 등을 사용하는 것이 바람직하다. 유전율이 낮은 유기 절연 물질을 후막으로 사용하면, 신호 라인과 화소 전극(382) 사이에 발생하는 기생 용량이 줄어들어 신호 라인과 화소 전극(382)을 일정 부분 겹쳐지게 형성할 수 있으므로 개구율 향상에 도움이 된다.
- <53> 이어, 도 3e와 같이, 상기 제 2 절연막을 포함하는 전체 구조 상에 투광성 도전막을 형성한 다음, 제 5 마스크를 이용한 패터닝 공정을 실시하여 제 1 콘택홀(363a)을 통하여 노출된 드레인 전극(354)에 연결되는 화소 전극(382) 및 제 2 콘택홀(363b)을 통하여 노출된 도전막 배선(230)에 연결되는 도전막 패턴(123)을 형성한다. 이때, 상기 투광성 도전막으로는 인듐 틴 옥사이드(indium tin oxide: ITO) 또는 인듐 징크 옥사이드(indium zinc oxide: IZO) 등을 사용할 수 있다.
- <54> 상기 제 5 마스크 공정에서, 화소 전극(382)은 유효 영역(110) 내에서 단위 화소가 형성될 영역 상에 형성되며, 도전막 패턴(123)은 비유효 영역(120) 내에서 셀라인(122)이 형성될 영역 상에 형성된다. 이때, 상기 도전막 패턴(123)은 대향 기관(400)에 형성되는 외곽 블랙 매트릭스(121)의 대응 영역에 형성되는 것이 바람직하며, 그 폭은 상기 외곽 블랙 매트릭스(121)의 폭보다 약간 작게 형성하는 것이 바람직하다.
- <55> 이상, 본 실시예에서의 박막 트랜지스터 기관(300)은 5단계의 마스크 공정을 실시하여 형성하였지만, 이에 한정되지 않고, 5단계 이상의 마스크 공정 또는 5단계 이하의 마스크 공정을 실시하여 형성할 수도 있다.
- <56> 또한, 본 실시예에서는 도전막 배선(230)으로 게이트 라인 형성시 함께 형성되는 단일층을 사용하고, 도전막 패

턴(123)으로 화소 전극(382) 형성시 함께 형성되는 단일층을 사용하였으나, 이에 한정되지 않는다. 예를 들어, 상기 도전막 배선(230) 및 도전막 패턴(123)으로 게이트 라인, 데이터 라인, 화소 전극(382) 중 적어도 어느 하나의 형성 단계에서 함께 형성되는 단일층 또는 다중층을 사용할 수도 있다. 만일, 상기 도전막 배선(230) 및 도전막 패턴(123)이 동일 단계에서 함께 형성되는 경우라면, 상하 배선 간의 전기적 연결을 위한 콘택홀(363b)은 생략될 수도 있다.

- <57> 도 4a 내지 도 4d는 본 발명의 제 1 실시예에 따른 컬러 필터 기관의 제조 공정을 나타낸 단면도이다.
- <58> 먼저, 도 4a와 같이, 소정의 기관(400) 상에 블랙 매트릭스용 차광막을 도포한 다음 이를 패터닝하여 유효 영역(110)에는 격자 형태로 배열되는 블랙 매트릭스(412)를 형성하고, 비유효 영역(120)에는 액자 형태로 배치되는 외곽 블랙 매트릭스(121)를 형성한다.
- <59> 이어, 도 4b와 같이, 상기 블랙 매트릭스(412, 121)를 포함하는 전체 구조 상에 컬러 필터용 유기막을 도포한 다음 이를 패터닝하여 상기 블랙 매트릭스(412)와 그 일부가 중첩되는 R, G, B 컬러 필터(422)를 형성한다.
- <60> 이어, 도 4c와 같이, 상기 컬러 필터(422)를 포함하는 전체 구조 상에 오버 코트막(432)을 형성하고, 그 위에 투광성 유기막을 도포한 다음 이를 패터닝하여 셀갭 유지를 위한 컬럼 스페이서(442)를 형성한다. 이때, 컬럼 스페이서(442)는 전술한 박막 트랜지스터 기관(300)에 형성할 수 있고, 후술할 셀 공정에서 소정의 입경을 갖는 볼(ball)을 산포하는 방식으로 대체할 수 있다.
- <61> 이어, 도 4d와 같이, 상기 컬럼 스페이서(442)를 포함하는 전체 구조 상에 투광성 도전막을 형성하고, 이를 패터닝하여 공통 전극(452)을 형성한다. 이때, 상기 투광성 도전막으로는 인듐 틴 옥사이드(indium tin oxide: ITO) 또는 인듐 징크 옥사이드(indium zinc oxide: IZO) 등을 사용할 수 있다.
- <62> 이상, 본 실시예에서의 컬러 필터 기관(400)은 오버 코트막(432) 상에 컬럼 스페이서(442)를 형성하였으나, 이에 한정되지 않으며, 블랙 매트릭스(412), 컬러 필터(422), 오버 코트막(432), 공통 전극(452) 중 어느 하나의 막 상에 형성할 수 있다.
- <63> 이후, 상기 두 기관(300, 400)에 액정 분자의 배향을 위해 배향막(미도시)을 각각 도포하여 러빙(rubbing) 처리를 실시하고, 일측 기관의 가장자리를 따라 열경화성 수지 또는 자외선 경화성 수지 등의 씰란트(sealant)를 도포하여 액자 형상의 씰라인(122)을 형성한 다음 가열 압착하여 두 기관(300, 400)을 합착시키고, 상기 씰라인(122)의 일측에 형성된 개구를 통해 액정을 주입한 다음 봉지하는 셀 공정을 실시하여 액정 표시 장치를 제조한다. 물론, 상술한 액정 주입 방식이 아닌 액정 적하 방식을 통해서도 액정층(500)을 형성할 수도 있다.
- <64> 상기 방법을 통해 제조된 액정 표시 장치는 기관의 가장자리에 형성되는 도전막 패턴(123)으로 인하여 기관의 가장자리에 전계가 형성된다. 이러한 전계로 인하여 액정셀에 존재하는 이온성 불순물들이 기관의 가장자리에 갇혀있게 됨으로써, 이온성 불순물들이 유효 영역(110)으로 유입되는 것이 방지된다. 그 결과, 이온성 불순물들로 인해 야기되는 가장자리 화면 얼룩이 나타나지 않는다.
- <65> <제 2 실시예>
- <66> 다음, 본 발명의 제 2 실시예에 따른 액정 표시 장치에 대하여 설명한다. 이때, 전술한 실시예와 중복되는 설명은 생략하거나 간략히 설명한다.
- <67> 도 5는 본 발명의 제 2 실시예에 따른 액정 표시 장치를 나타낸 단면도로서, 도 1의 A-A' 선을 따라 절단하여 나타낸 것이다.
- <68> 도 5를 참조하면, 상기 액정 표시 장치는 반투과형 방식으로 화상을 구현하며, 이를 위해 대향 배치된 박막 트랜지스터 기관(300)과 컬러 필터 기관(400) 및 두 기관(300, 400) 사이에 형성된 액정층(500)을 포함한다.
- <69> 상기 박막 트랜지스터 기관은 단위 화소 내에 반사막 패턴(392)이 마련된다. 상기 반사막 패턴(392)은 상부 방향에서 입사된 광은 반사시키고, 하부 방향에서 입사된 광은 투과시켜 입사된 광들이 대향 기관(400) 방향으로 출력되게 한다. 그 결과, 상기 액정 표시 장치는 내부의 자체 광원에서 생성된 광 및 외부의 자연 광원에서 생성된 광을 모두 이용하여 화상을 표시하는 반투과형 모드로 구동된다.
- <70> 상기 반사막 패턴(392)에는 요철이 형성되는 것이 바람직하다. 상기 요철은 상부 방향에서 입사된 광의 난반사를 유도하면서 이를 소정 영역으로 집광시켜 광의 이용 효율을 높여준다. 이러한 반사막 패턴(392)은 상부 방향에서 입사된 광이 반사되도록 광 반사율이 우수한 Ag, Al, Au, Nd 및 Cu 등과 같은 금속 물질을 사용하여 형성하는 것이 바람직하며, 하부 방향에서 입사된 광이 투과되도록 얇은 두께로 형성하는 것이 바람직하다.

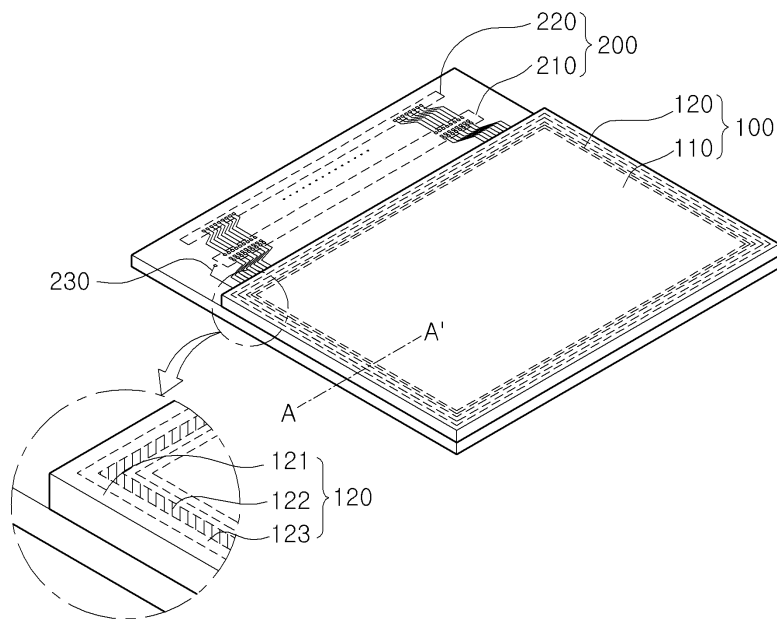
- <71> 상기 박막 트랜지스터 기관(300)의 비유효 영역(120)에는 도전막 패턴(123) 및 도전막 배선(230)이 형성된다. 상기 도전막 패턴(123)은 대향 기관(400)에 형성되는 외곽 블랙 매트릭스(121)의 대응 영역에 형성되는 것이 바람직하며, 그 폭(L<sub>1</sub>)은 상기 외곽 블랙 매트릭스(121)의 폭(L<sub>2</sub>)보다 약간 작게(L<sub>1</sub><L<sub>2</sub>) 형성하는 것이 바람직하다.
- <72> 상기 도전막 패턴(123)은 표시 영역(100)에서 실장 영역(200)으로 연장되는 도전막 배선(230)과 전기적으로 연결되어 외부로부터 예를 들어, 구동칩으로부터 소정의 전압을 인가받는다. 이로 인해 기관의 가장자리에는 전계가 형성되어 액정셀이 존재하는 이온성 불순물들을 전계 영역에 갇혀있게 됨으로써, 이온성 불순물들이 유효 영역(110)으로 유입되는 것이 방지된다.
- <73> 이러한 도전막 패턴(123) 및 도전막 배선(230)으로는 게이트 라인, 데이터 라인, 화소 전극(182), 반사막 패턴(392) 중 적어도 어느 하나의 형성시 함께 형성된 단일층 또는 다중층을 사용하는 것이 바람직하다. 예를 들어, 본 실시예의 경우는 반사막 패턴(239) 형성시 함께 형성된 단일층을 사용하였다.
- <74> 이와 같은 구성을 갖는 본 발명의 제 2 실시예에 따른 액정 표시 장치의 제조 공정에 대하여 설명하면 다음과 같다. 이때, 컬러 필터 기관(300)의 제조 공정은 전술한 제 1 실시예의 경우와 동일하므로 생략한다.
- <75> 도 6a 내지 도 6f는 본 발명의 제 2 실시예에 따른 박막 트랜지스터 기관의 제조 공정을 나타낸 단면도이다.
- <76> 먼저, 도 6a와 같이, 소정의 기관(300) 상에 CVD, PVD 및 스퍼터링(Sputtering) 등의 방식으로 제 1 도전막을 형성한 다음, 제 1 마스크를 이용한 패터닝 공정을 실시하여 게이트 전극(313), 게이트 라인(미도시) 등을 포함하는 게이트 배선을 형성한다. 상기 게이트 배선 형성시에는 유지 전극(314) 및 유지 라인(미도시)이 함께 형성되며, 표시 영역(100)에서 실장 영역(200)으로 연장되는 도전막 배선(230)이 함께 형성된다. 이때, 상기 제 1 도전막으로는 Al, Mo, Cr, Ti, Ta, Ag 및 Nd 중 적어도 어느 하나를 포함하는 금속으로 형성한 단일층 또는 다중층을 사용하는 것이 바람직하다.
- <77> 이어, 도 6b와 같이, 상기 게이트 배선을 포함하는 전체 구조 상에 PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 방식으로 제 1 절연막(322), 활성층(332), 오믹 콘택층(342)을 순차적으로 적층하여 반도체층을 형성한 다음, 제 2 마스크를 이용한 패터닝 공정을 실시하여 게이트 전극(313) 상부에 고립된 섬 형태의 반도체층을 형성한다. 이때, 상기 제 1 절연막(322)으로는 산화 실리콘(SiO<sub>x</sub>) 및 질화 실리콘(SiN<sub>x</sub>) 중 적어도 어느 하나를 포함하는 무기 절연 물질로 형성한 단일층 또는 다중층을 사용하는 것이 바람직하다. 상기 산화 실리콘 및 질화 실리콘은 절연성이 우수함과 동시에 부착성이 우수하여 후속층의 증착 및 성장에 도움이 된다. 또한, 상기 활성층(332)으로는 비정질 실리콘층(Amorphous Silicon:a-Si)을 사용하고, 상기 오믹 콘택층(342)으로는 실리사이드 또는 n형 불순물이 고농도로 도핑된 비정질 실리콘층(n+ a-Si)을 사용하는 것이 바람직하다.
- <78> 이어, 도 6c와 같이, 상기 반도체층을 포함하는 전체 구조 상에 CVD, PVD 및 스퍼터링(Sputtering) 등의 방식으로 제 2 도전막을 형성한 다음, 제 3 마스크를 이용한 패터닝 공정을 실시하여 소오스 전극(353), 드레인 전극(354), 데이터 라인(미도시) 등을 포함하는 데이터 배선을 형성한다. 또한, 상기 소오스 전극(353) 및 드레인 전극(354)을 베리어로 하여 그 사이의 오믹 콘택층(342)을 분리하면, 상기 기관(300)에는 각 단위 화소에 대응하여 격자 형태로 배열되는 박막 트랜지스터가 형성된다. 이때, 상기 제 2 도전막으로는 Al, Mo, Cr, Ti, Ta, Ag 및 Nd 중 적어도 어느 하나를 포함하는 금속으로 형성한 단일층 또는 다중층을 사용하는 것이 바람직하다.
- <79> 이어, 도 6d와 같이, 상기 데이터 배선을 포함하는 전체 구조 상에 제 2 절연막(362)을 형성한 다음, 제 4 마스크를 이용한 패터닝 공정을 실시하여, 그 상부에 요철 패턴을 형성하고, 상기 제 2 절연막(362)의 일부를 제거하여 하부 배선의 일부를 드러내는 콘택홀(363a,363b)을 형성한다.
- <80> 즉, 상기 데이터 배선을 포함하는 전체 구조 상에 제 2 절연막(362)을 형성하고, 그 위에 감광막을 형성한다. 상기 제 2 절연막으로는 질화 실리콘(SiN<sub>x</sub>), 산화 실리콘(SiO<sub>x</sub>)을 등과 같은 무기 절연 물질 및 BCB(Benzene Cyclo Butane), SOG(Siloxane Polymer), 폴리이미드계 수지 등과 같은 유기 절연 물질 중 적어도 어느 하나를 포함하는 절연 물질로 형성된 단일층 또는 다중층을 사용할 수 있다.
- <81> 상기 제 2 절연막(362)에 형성될 요철 패턴에 대응하는 노광 패턴을 갖는 제 4 마스크를 이용하여 노광 공정을 실시한 다음, 노광 패턴이 전사된 감광막을 현상함에 따라 잔류되는 감광막 패턴을 이용하여, 그 하부의 제 2 절연막(362)을 식각하고, 식각 후에 감광막 패턴을 제거하면, 제 2 절연막(362) 상부에는 요부와 철부를 갖는 요철 패턴이 형성된다.



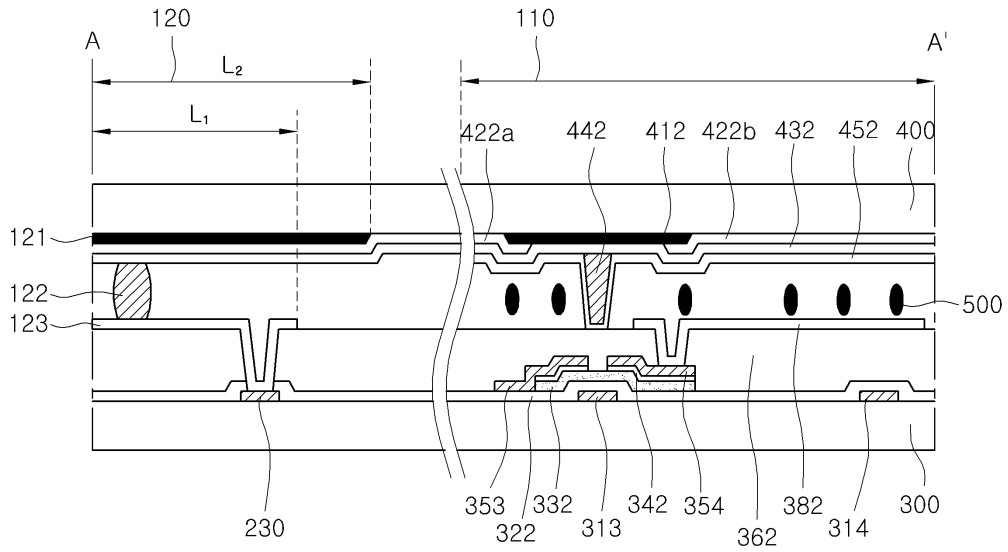
- <9> 300: 박막 트랜지스터 기판
- <10> 314: 유지 전극
- <11> 354: 드레인 전극
- <12> 392: 반사막 패턴
- <13> 412: 블랙 매트릭스
- <14> 432: 오버 코트막
- <15> 452: 공통 전극
- 313: 게이트 전극
- 353: 소오스 전극
- 382: 화소 전극
- 400: 컬러 필터 기판
- 422: 컬러 필터
- 442: 컬럼 스페이서

**도면**

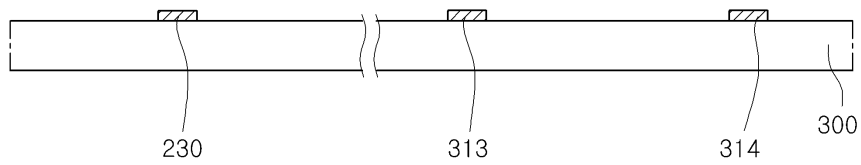
**도면1**



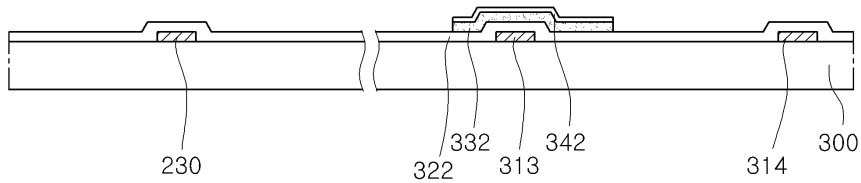
도면2



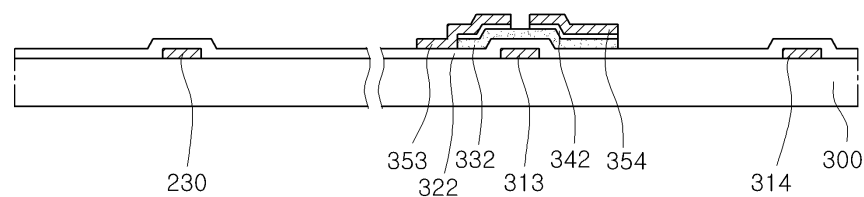
도면3a



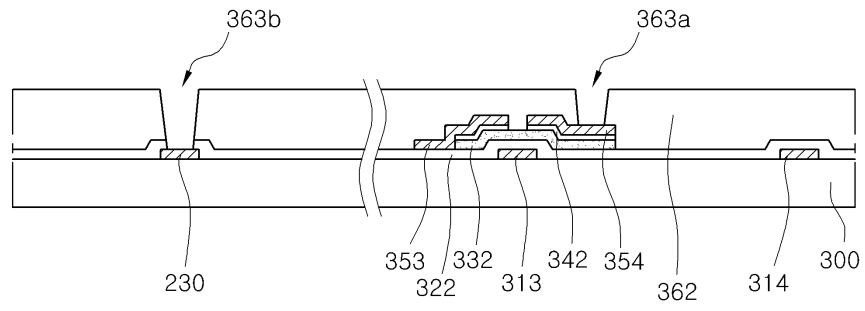
도면3b



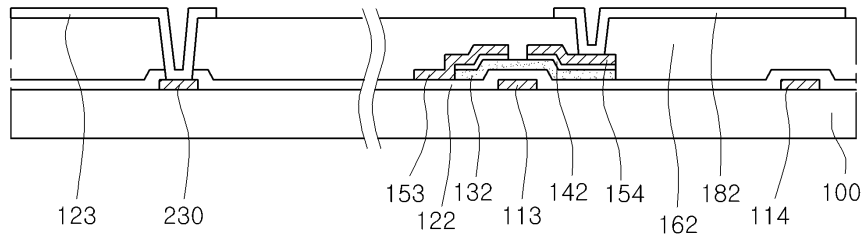
도면3c



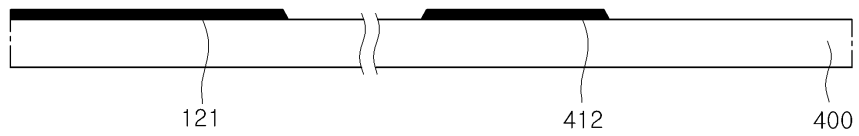
도면3d



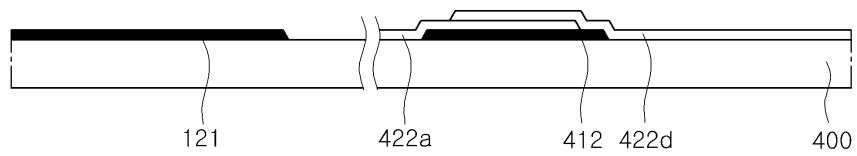
도면3e



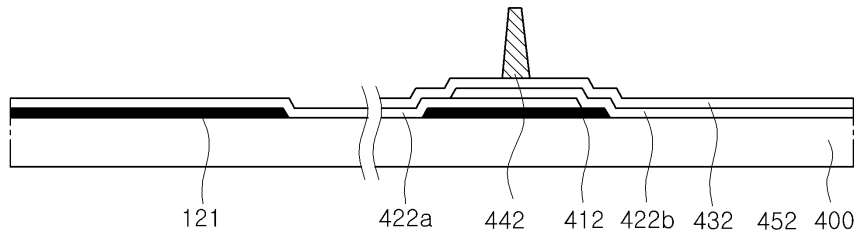
도면4a



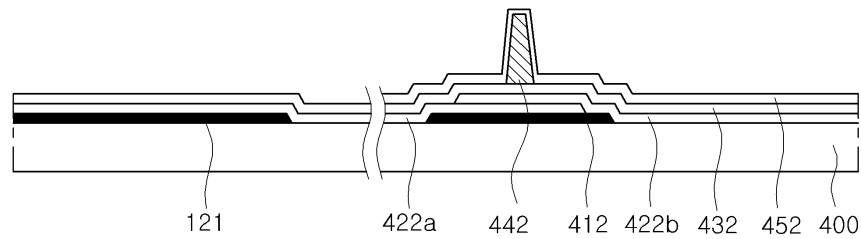
도면4b



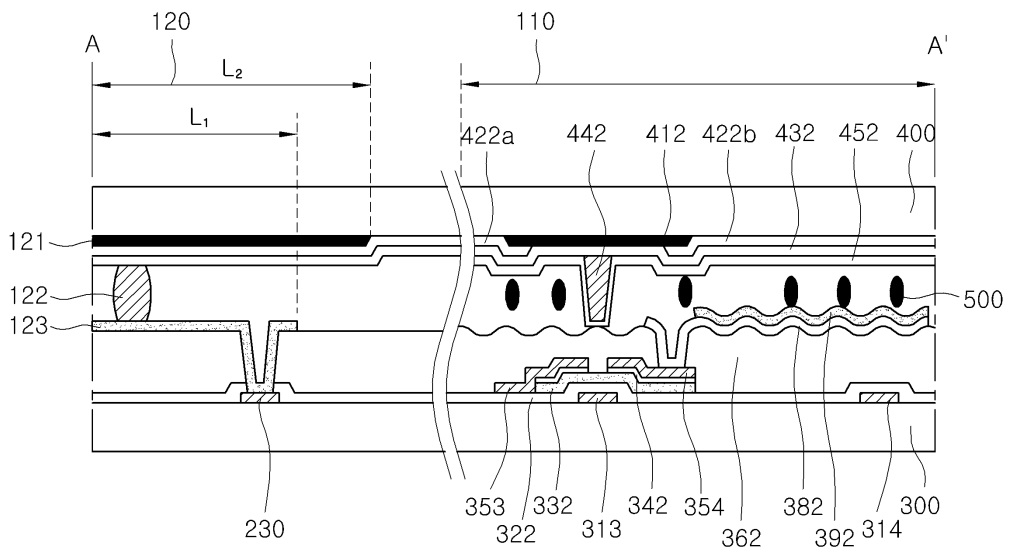
도면4c



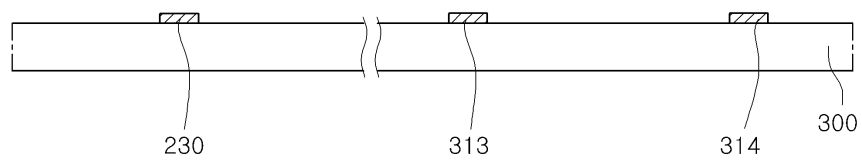
도면4d



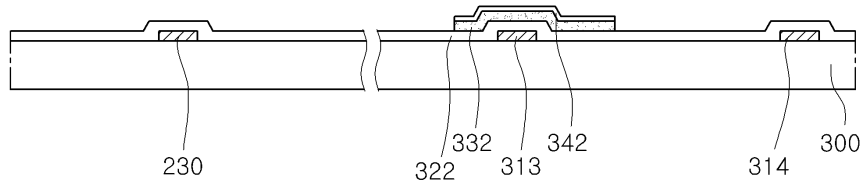
도면5



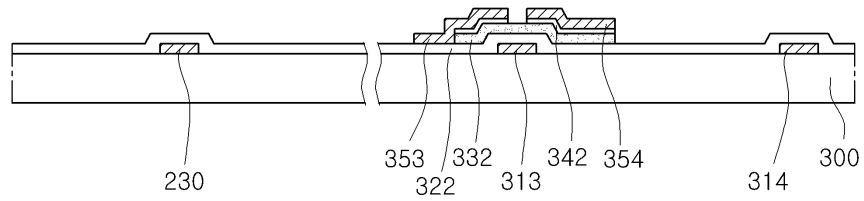
도면6a



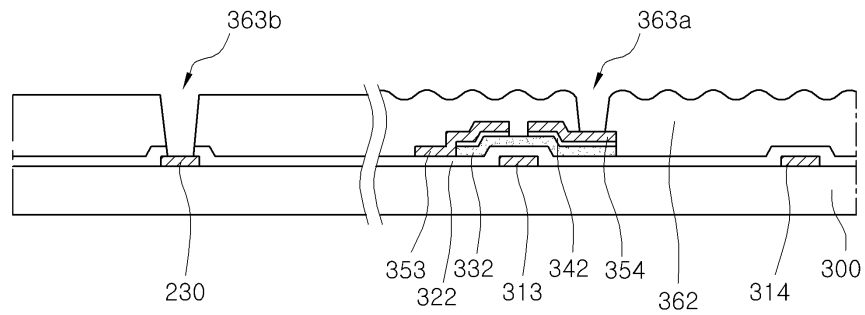
도면6b



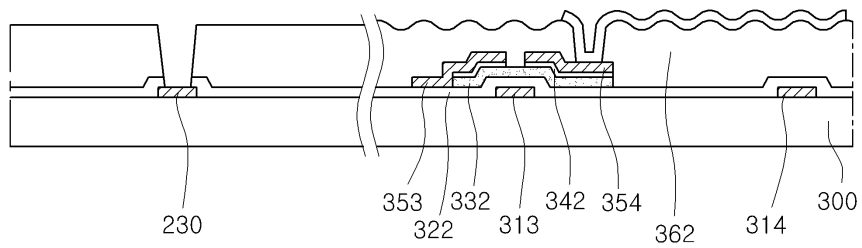
도면6c



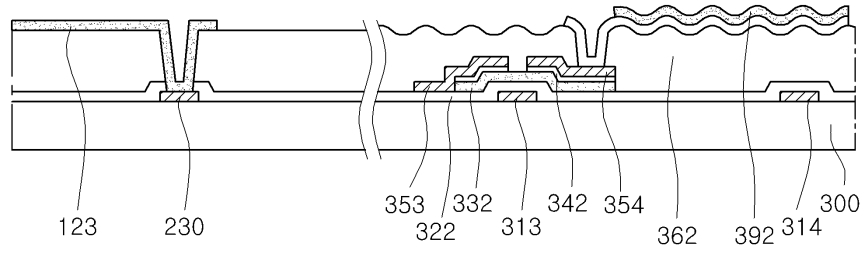
도면6d



도면6e



도면6f



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020080029396A</a>	公开(公告)日	2008-04-03
申请号	KR1020060095468	申请日	2006-09-29
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	YOO DAN SIK 유단식 KANG CHANG WOOK 강창욱 NISHIOKAYUKIYA 니시오카		
发明人	유단식 강창욱 니시오카		
IPC分类号	G02F1/1335		
CPC分类号	G02F1/133512 G02F1/133514 G02F1/1339 G02F1/1362		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明是一种液晶显示装置，包括：液晶显示面板，其中显示区域被划分为有效区域和无效区域；外部黑色矩阵和形成在无效区域中的密封线，并且，用于在相邻区域中形成电场的导电膜图案，以及制造该液晶显示装置的方法。这样，本发明在衬底的边缘处形成电场。受这种电场约束的离子杂质被聚集并捕获在基板的边缘区域中，其中光被外部黑色矩阵阻挡，从而防止通过使离子杂质流入有效区域而产生的缺陷边缘屏幕。

