



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0081541  
G02F 1/133 (2006.01) (43) 공개일자 2007년08월17일

(21) 출원번호 10-2006-0013516  
(22) 출원일자 2006년02월13일  
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지  
(72) 발명자 김승학  
경북 구미시 상모동 우방신세계타운 109동 209호  
(74) 대리인 이수용

전체 청구항 수 : 총 7 항

(54) 액정 표시 장치

(57) 요약

본 발명은 병렬 구조를 적용하여 액정 패널 상에 형성된 데이터 라인들의 저항 및 커패시턴스 성분을 줄이기 위한 것으로, 서로 교차하는 게이트 라인들과 데이터 라인들이 형성된 액정 패널과, 구동 타이밍을 제어하기 위한 게이트 제어 신호 및 데이터 제어 신호를 생성하는 타이밍 컨트롤러와, 게이트 제어 신호에 따라 게이트 라인들에 스캔 펄스를 순차적으로 출력하는 게이트 구동부와 데이터 제어 신호에 따라 1 수평 주기마다 픽셀들의 화소 데이터에 대응하는 데이터 전압을 데이터 라인들로 출력하는 데이터 구동부를 포함하며, 액정 패널 상의 데이터 라인들 중 서로 인접하는 데이터 라인들의 양단은 제 1 및 제 2 스위칭 소자를 통해 서로 연결되도록 구성된 액정 표시 장치를 제공한다.

대표도

도 5

특허청구의 범위

청구항 1.

서로 교차하는 게이트 라인들과 데이터 라인들에 의해 구분되며, 상기 게이트 라인들과 상기 데이터 라인들의 교차 부위에 형성된 박막 트랜지스터에 의해 스위칭 되도록 매트릭스 형태로 배열된 복수 개의 픽셀들을 포함하는 액정 패널;

구동 타이밍을 제어하기 위한 게이트 제어 신호 및 데이터 제어 신호를 생성하는 타이밍 컨트롤러;

상기 게이트 제어 신호에 따라 상기 게이트 라인들에 스캔 펄스를 순차적으로 출력하는 게이트 구동부; 및

상기 데이터 제어 신호에 따라 1 수평 주기마다 상기 픽셀들의 화소 데이터에 대응하는 데이터 전압을 상기 데이터 라인들로 출력하는 데이터 구동부를 포함하며,

상기 액정 패널 상의 상기 데이터 라인들 중 서로 인접하는 데이터 라인들의 양단은 제 1 및 제 2 스위칭 소자를 통해 서로 연결되도록 구성된 것을 특징으로 하는 액정 표시 장치.

## 청구항 2.

제1항에 있어서,

상기 데이터 구동부는,

상기 데이터 전압을 서로 비교하고, 비교 결과에 따른 제어 신호를 출력하여 상기 제 1 및 제 2 스위칭 소자를 온/오프하는 데이터 비교기를 포함하는 것을 특징으로 하는 액정 표시 장치.

## 청구항 3.

제1항에 있어서,

상기 제 1 및 제 2 스위칭 소자를 온/오프 하는 상기 제어 신호를 전송하는 제어 라인들을 더 포함하는 것을 특징으로 하는 액정 표시 장치.

## 청구항 4.

제1항에 있어서,

상기 제 1 스위칭 소자는 상기 데이터 구동부 내에 형성되어 서로 인접하는 데이터 라인들을 서로 연결하고,

상기 제 2 스위칭 소자는 상기 액정 패널에서, 상기 데이터 구동부가 배치된 반대편에 형성된 것을 특징으로 하는 액정 표시 장치.

## 청구항 5.

제1항에 있어서,

상기 제 1 및 제 2 스위칭 소자는,

온 상태에서, 상기 제 1 및 제 2 스위칭 소자를 통해 양단이 서로 연결된 데이터 라인들을 단락(short) 시켜 상기 데이터 라인들의 등가 저항이 병렬 연결을 이루도록 하는 것을 특징으로 하는 액정 표시 장치.

## 청구항 6.

제1항에 있어서,

상기 제 1 및 제 2 스위칭 소자는 트랜지스터로 구성된 것을 특징으로 하는 액정 표시 장치.

## 청구항 7.

제6항에 있어서,

상기 제 2 스위칭 소자를 구성하는 트랜지스터는,

상기 제어 라인의 일부인 투명 절연 기관 상의 게이트 전극;

상기 게이트 전극을 덮는 게이트 절연막 상에 형성된 액티브층; 및

상기 액티브층의 양측에 서로 마주보도록 형성되며, 인접하는 두 데이터 라인들에 각각 접속되는 소스 전극 및 드레인 전극을 포함하는 것을 특징으로 하는 액정 표시 장치.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 더욱 상세하게는 액정 패널 상에 형성된 데이터 라인들의 저항 및 커패시턴스 성분을 줄여 화질을 개선할 수 있도록 구성된 액정 표시 장치에 관한 것이다.

액정 표시 장치는 상하부의 투명 절연 기관인 컬러 필터 기관과 어레이 기관 사이에 이방성 유전율을 갖는 액정층을 형성한 후, 액정층에 형성되는 전계의 세기를 조정하여 액정 물질의 분자 배열을 변경시키고, 이를 통하여 컬러 필터 기관에 투과되는 빛의 양을 조절함으로써 원하는 화상을 표현하는 표시 장치이다. 액정 표시 장치로는 박막 트랜지스터(TFT; Thin Film Transistor)를 스위칭 소자로 이용하는 박막 트랜지스터 액정 표시 장치(TFT LCD)가 주로 사용되고 있으며, 이러한 액정 표시 장치는 화상을 표시하는 액정 패널과, 액정 패널을 구동하는 구동부를 포함하게 된다.

액정 패널에는 행(row)을 이루는 게이트 라인들과, 열(column)을 이루며 게이트 라인들과 교차되는 데이터 라인들이 매트릭스 타입으로 배열되며, 서로 교차되는 게이트 라인들과 데이터 라인들에 의해 영역이 구분되는 복수 개의 픽셀들이 하나의 프레임(화면)을 이루게 된다. 게이트 라인들에 순차적으로 스캔 펄스가 인가되면, 스캔 펄스에 응답하여 데이터 라인들에 데이터 전압이 인가되면서, 액정 패널 상에 하나의 프레임이 디스플레이 된다.

각 픽셀에는 박막 트랜지스터, 화소 전극, 공통 전극 등이 구성되며, 박막 트랜지스터는 게이트 라인으로부터 공급되는 스캔 펄스에 응답하여 데이터 라인으로부터 공급되는 데이터 전압을 화소 전극에 인가한다.

액정 패널의 구동부는 액정 패널의 게이트 라인들과 데이터 라인들을 각각 구동하는 게이트 구동부 및 데이터 구동부, 이들의 구동 타이밍을 제어하는 타이밍 컨트롤러, 외부로부터 전원을 인가 받아 게이트 하이 전압(VGH), 게이트 로우 전압(VGL), 정전압(VDD) 등 각 부분에 필요한 여러 레벨의 구동 전압들을 생성하는 전원 공급부, 전원 공급부로부터 분기된 전압을 인가 받아 소스 드라이버의 디지털/아날로그 변환에 필요한 감마 전압(기준 전압)들을 생성하는 감마 전압 생성부 등을 포함한다.

도 1은 종래 기술에 따른 액정 표시 장치의 일부를 나타낸 구성도이고, 도 2는 도 1의 출력 채널을 나타낸 등가 회로이다.

도 1에서는, 데이터 구동부(20)가 액정 패널(10)에 접속되고, 데이터 구동부(20)의 출력 채널들(OUT1, OUT2, OUT3, ..., OUTn-2, OUTn-1, OUTn)이 액정 패널(10) 상의 데이터 라인들(DL1, DL2, DL3, ..., DLn-2, DLn-1, DLn)과 연결되도록 배치된 상태를 도시하고 있다. 액정 패널(10)의 첫 번째 데이터 라인(DL1)으로부터 마지막 데이터 라인(DLn)까지 각각의 데이터 라인에 맞는 데이터 전압이 데이터 구동부(20)로부터 각 데이터 라인마다 입력되도록 구성된다.

데이터 구동부(20)의 출력 채널들과 접속되는 각 데이터 라인들은 공정 특성 상 증착이 쉬운 몰리브덴(Mo)이나 알루미늄 합금(AlNd) 등의 재료를 사용하는 것이 일반적이지만, 이러한 재료는 임의의 출력 채널(OUT1)을 나타낸 도 2에서와 같이 수십 kΩ의 비교적 높은 저항(R1) 성분과 커패시턴스(C1) 성분을 갖게 된다.

도 3은 도 1의 액정 패널 상에서 데이터 라인의 시작 단 및 끝 단의 출력 파형을 비교한 그래프이다.

도 3에서는 임의의 데이터 라인(DL1)의 시작 단에 g1과 같은 파형의 데이터 전압이 인가되면, 데이터 라인(DL1)의 저항(R1) 및 커패시턴스(CL1) 성분에 의한 지연(delay)이 발생되어 해당 데이터 라인(DL1)의 끝 단에서 g2와 같은 상태로 데이터 전압이 출력됨을 예시하고 있다.

이와 같이, 액정 패널(10) 상에 배치된 데이터 라인들(DL1, DL2, DL3, ..., DLn-2, DLn-1, DLn)의 시작 단에 데이터 전압이 인가되면, 각 데이터 라인의 저항 성분과 커패시턴스 성분에 의해서 데이터 라인의 입력 신호가 되는 데이터 전압의 지연이 발생하고, 그에 따라 충전 특성 저하나 고온으로 인한 수직 크로스 토크(Crosstalk) 등이 생겨나 화질이 저하되는 문제점이 있었다.

또한, 저항이 더 낮은 재료를 사용하여 이러한 문제점을 해결하고자 하는 경우에도 공정 특성 상 상대적으로 증착이 어려워지는 문제점이 있었다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 병렬 구조를 적용하여 액정 패널 상에 형성된 데이터 라인들의 저항 및 커패시턴스 성분을 줄임으로써, 데이터 라인들의 저항 및 커패시턴스 성분으로 인한 입력 신호의 지연을 최소화하고, 화상 품질을 향상시킬 수 있는 액정 표시 장치를 제공하는 데 있다.

본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

### 발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는 서로 교차하는 게이트 라인들과 데이터 라인들에 의해 구분되며, 상기 게이트 라인들과 상기 데이터 라인들의 교차 부위에 형성된 박막 트랜지스터에 의해 스위칭 되도록 매트릭스 형태로 배열된 복수 개의 픽셀들을 포함하는 액정 패널과, 구동 타이밍을 제어하기 위한 게이트 제어 신호 및 데이터 제어 신호를 생성하는 타이밍 컨트롤러와, 상기 게이트 제어 신호에 따라 상기 게이트 라인들에 스캔 펄스를 순차적으로 출력하는 게이트 구동부와, 상기 데이터 제어 신호에 따라 1 수평 주기마다 상기 픽셀들의 화소 데이터에 대응하는 데이터 전압을 상기 데이터 라인들로 출력하는 데이터 구동부를 포함하며, 상기 액정 패널 상의 상기 데이터 라인들 중 서로 인접하는 데이터 라인들의 양단은 제 1 및 제 2 스위칭 소자를 통해 서로 연결되도록 구성된 것을 특징으로 한다.

상기 데이터 구동부는, 상기 데이터 전압을 서로 비교하고, 비교 결과에 따른 제어 신호를 출력하여 상기 제 1 및 제 2 스위칭 소자를 온/오프하는 데이터 비교기를 포함하는 것이 바람직하다.

상기 제 1 및 제 2 스위칭 소자를 온/오프 하는 상기 제어 신호를 전송하는 제어 라인들을 더 포함하는 것이 바람직하다.

상기 제 1 스위칭 소자는 상기 데이터 구동부 내에 형성되어 서로 인접하는 데이터 라인들을 서로 연결하고, 상기 제 2 스위칭 소자는 상기 액정 패널에서, 상기 데이터 구동부가 배치된 반대편에 형성되는 것이 바람직하다.

상기 제 1 및 제 2 스위칭 소자는, 온 상태에서, 상기 제 1 및 제 2 스위칭 소자를 통해 양단이 서로 연결된 데이터 라인들을 단락(short) 시켜 상기 데이터 라인들의 등가 저항이 병렬 연결을 이루도록 하는 것이 바람직하다.

상기 제 1 및 제 2 스위칭 소자는 트랜지스터로 구성된 것이 바람직하다.

상기 제 2 스위칭 소자를 구성하는 트랜지스터는, 상기 제어 라인의 일부인 투명 절연 기판 상의 게이트 전극, 상기 게이트 전극을 덮는 게이트 절연막 상에 형성된 액티브층, 상기 액티브층의 양측에 서로 마주보도록 형성되며, 인접하는 두 데이터 라인들에 각각 접속되는 소스 전극 및 드레인 전극을 포함하는 것이 바람직하다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

이하, 본 발명의 바람직한 실시예에 따른 액정 표시 장치에 대하여 첨부된 도면들을 참조하여 상세히 설명한다.

도 4는 본 발명의 바람직한 실시예에 따른 액정 표시 장치를 나타낸 구성도이고, 도 5는 도 4에서 액정 패널의 구조를 보다 자세하게 나타낸 구성도이다.

도 4를 참조하면, 본 발명의 바람직한 실시예에 따른 액정 표시 장치는 크게 화상을 표시하는 액정 패널(100)과, 액정 패널을 구동하는 구동부(200)로 구분된다.

액정 패널(100)은 도 5에 도시된 것처럼, m개의 게이트 라인들(GL1, GL2, GL3, ..., GLm)과 n개의 데이터 라인들(DL1, DL2, ..., DLn-1, DLn)이 매트릭스 형태로 교차 배치되어 여러 개의 픽셀들을 구분하도록 구성된다.

게이트 라인들 게이트 라인들(GL1, GL2, GL3, ..., GLm)과 데이터 라인들(DL1, DL2, ..., DLn-1, DLn)이 교차되는 부위에는 박막 트랜지스터(TFT\_A)가 픽셀 단위로 형성된다.

박막 트랜지스터(TFT\_A)의 스위칭 동작에 따라 픽셀 별로 공급되는 데이터 전압과 공통 전압의 차전압이 액정 커패시턴스(Clc)에 충전되어 화상이 표시되며, 스토리지 커패시턴스(Cst)가 충전된 전압을 1 프레임이나 1 필드 동안 유지하여 픽셀의 전압 유지 특성을 향상시키고, 계조(Gray scale) 표시를 안정화한다.

데이터 라인들(DL1, DL2, ..., DLn-1, DLn)의 끝단에는 정전기 보호 회로(110)가 구성된다.

구동부(200)는 타이밍 컨트롤러(210), 게이트 구동부(220), 데이터 구동부(230) 등을 포함하도록 구성된다.

타이밍 컨트롤러(210)는 수평 동기 신호(Hsync), 수직 동기 신호(Vsync), 데이터 인에이블 신호(DE) 및 메인 클럭(MCLK) 등을 입력 받아 필요한 제어 신호들(게이트 제어 신호, 데이터 제어 신호)을 게이트 구동부(220) 및 데이터 구동부(230)로 각각 공급한다. 그리고, 외부의 시스템(미도시)로부터 입력되는 화소 데이터(R, G, B Data)를 재정렬 처리하여 데이터 구동부(230)로 공급한다.

게이트 제어 신호로는 게이트 스타트 펄스(GSP; Gate Start Pulse), 게이트 쉬프트 클럭(GSC; Gate Shift Clock), 게이트 출력 인에이블(GOE; Gate Output Enable) 등이 포함되고, 데이터 제어 신호로는 소스 스타트 펄스(SSP; Source Start Pulse), 소스 쉬프트 클럭(SSC; Source Shift Clock), 소스 출력 인에이블(SOC; Source Output Enable), 극성 반전 신호(POL; Polarity) 등이 포함된다.

게이트 구동부(220)는 게이트 제어 신호에 따라 게이트 라인들(GL1, GL2, GL3, ..., GLm)에 스캔 펄스를 순차적으로 출력한다.

데이터 구동부(230)는 액정 패널(100)의 전압-투과도 특성에 맞게 생성되는 감마 전압들을 이용하여 타이밍 컨트롤러(210)로부터 재정렬 처리되어 공급되는 화소 데이터를 데이터 전압으로 변환하고, 데이터 제어 신호에 따라 1 수평 주기마다 데이터 전압을 데이터 라인들(DL1, DL2, ..., DLn-1, DLn)에 출력한다.

이러한 데이터 구동부(230)는 여러 개의 집적화된 소스 드라이버 칩들로 구성되고, 데이터 구동부(230) 내의 소스 드라이버 칩에 구비된 출력 채널들(OUT1, CNT1, OUT2, ..., OUTn-1, CNTn-1, OUTn)이 액정 패널(100)의 데이터 라인들(DL1, DL2, ..., DLn-1, DLn)에 접속되어 데이터 라인들(DL1, DL2, ..., DLn-1, DLn)로 각 픽셀의 데이터 전압을 인가하게 된다.

도 5를 참조하면, 소스 드라이버 칩의 내부에는 제 1 스위칭 소자(TFT\_B)로 동작하는 트랜지스터를 구성하되, 제 1 스위칭 소자(TFT\_B)는 서로 인접하는 데이터 라인들(DL1과 DL2, DLn-1과 DLn 등)을 서로 연결하도록 형성한다. 그리고, 액정 패널(100) 상에서 데이터 구동부(230)가 배치되는 일측의 반대측이 되는 부분에는 제 2 스위칭 소자(TFT\_C)를 형성하여 서로 인접하는 데이터 라인들(DL1과 DL2, DLn-1과 DLn 등)이 제 2 스위칭 소자를 통하여 서로 연결되도록 한다.

데이터 구동부(230)로부터 액정 패널(100)로 인가되는 데이터 전압은 데이터 라인들의 저항 및 커패시턴스 성분에 의하여 지연이 일어나게 되므로, 이를 방지하기 위하여 서로 이웃하는 데이터 라인들(DL1과 DL2, DLn-1과 DLn 등)의 양단에 제 1 스위칭 소자(TFT\_B) 및 제 2 스위칭 소자(TFT\_C)를 배치하여 온/오프 동작에 따라 단락(open)되거나 오픈(open)되도록 하는 것이다.

제 1 스위칭 소자(TFT\_B) 및 제 2 스위칭 소자(TFT\_C)는 도 5에서와 같이 트랜지스터로 구성하는 것이 바람직하며, 이러한 경우, 서로 인접하는 데이터 라인들(DL1과 DL2, DLn-1과 DLn 등) 간에는 제어 라인들(CL1, ..., CLn-1)을 배치하고, 제어 라인들(CL1, ..., CLn-1)을 통해 제 1 스위칭 소자(TFT\_B) 및 제 2 스위칭 소자(TFT\_C)의 온/오프를 제어하는 제어 신호를 전송하도록 한다.

도 6은 도 5에서 데이터 구동부의 구조를 보다 자세히 나타낸 구성도로서, 데이터 구동부(230)를 이루는 소스 드라이버 칩(231)의 출력단(384개 채널)을 예시하고 있다.

타이밍 컨트롤러(210)로부터 화소 데이터(R, G, B data)가 입력되면, 데이터 구동부(230) 내 소스 드라이버 칩(231)은 디지털/아날로그 컨버터(미도시)를 통해 입력된 화소 데이터를 그에 상응하는 정극성 및 부극성 계조 전압으로 디코딩하여 출력한다.

소스 드라이버 칩(231)은 도 6에 도시된 것처럼, 디지털/아날로그 컨버터(미도시)로부터 출력된 계조 전압을 입력 받아 증폭시켜 출력하는 증폭기(233), 극성을 제어하여 각 픽셀에 매 프레임마다 반전된 극성의 계조 전압이 출력되도록 하는 선택 신호를 생성하는 제어 블록(234), 선택 신호에 의해 온 또는 오프되면서 정극성 및 부극성 계조 전압이 데이터 라인들을 통해 각 픽셀에 교번적으로 인가되도록 하는 P-MOS 스위칭 소자(235) 및 N-MOS 스위칭 소자(236) 등을 포함한다.

소스 드라이버 칩(231)의 출력 채널들(OUT1, OUT2, ..., OUT384)은 데이터 라인들로 연결되어 액정 패널(100) 상의 각 화소에 데이터 전압을 인가하고, 이웃하는 출력 채널들(OUT1과 OUT2 등)은 제 1 스위칭 소자(TFT\_B)를 통해 서로 연결되며, 제 1 스위칭 소자(TFT\_B)는 데이터 비교기(232)로부터 출력되는 제어 신호에 따라 온/오프 되도록 구성된다.

또한, 제어 라인들로 연결되는 채널들(CNT1, CNT2, ..., CNT383)을 통해 제어 신호가 제 2 스위칭 소자(TFT\_C)로 출력되어 제 2 스위칭 소자(TFT\_C)의 온/오프를 제어하도록 함으로써, 제 2 스위칭 소자(TFT\_C)가 제 1 스위칭 소자(TFT\_B)와 함께 온/오프되도록 한다.

데이터 비교기(232)는 인접하는 데이터 라인들로 출력될 두 데이터 전압을 서로 비교하고, 비교 결과에 따라 제어 신호를 출력한다.

즉, 데이터 구동부(230)를 이루는 소스 드라이버 칩(231)의 내부에는 데이터 비교기(232)가 구비되며, 데이터 비교기(232)에서는 제어 신호가 각 채널마다 발생하게 된다. 그리고, 액정 패널(100) 내부에서는 서로 이웃하는 데이터 라인들 간에 트랜지스터로 구성된 제 2 스위칭 소자(TFT\_C)가 형성되며, 제어 신호에 의해서 서로 이웃하는 데이터 라인들이 단락(short)되거나 오픈(open) 되도록 구성된다.

일례로, 소스 드라이버 칩(231)의 출력 채널들 중 OUT1과 OUT2의 데이터 전압이 동일하다면, 데이터 비교기(232)에서 OUT1과 OUT2, 두 출력 채널 간의 데이터 전압이 동일함을 알리는 제어 신호가 발생하게 되고, 이 제어 신호에 의해 제 1 스위칭 소자(TFT\_B)가 온 상태가 되면서 소스 드라이버 칩(231)의 두 출력 채널, OUT1과 OUT2에 접속된 두 데이터 라인들(DL1, DL2)이 서로 단락된다.

그리고, 이 제어 신호는 CNT1의 채널을 통해 제어 라인(CL1)으로 전송되어 액정 패널(100)의 데이터 라인들(DL1, DL2) 끝단에 형성되어 있는 제 2 스위칭 소자(TFT\_C)를 온(On) 시켜 제 2 스위칭 소자(TFT\_C)를 통해 연결된 두 데이터 라인들(DL1, DL2)을 서로 단락시키게 된다.

이렇게 되면, 도 7의 등가 회로와 같이 두 데이터 라인들(DL1, DL2)의 저항(R1, R2) 성분이 병렬로 연결되고, 이로 인해 데이터 라인들(DL1, DL2)의 전체 저항 성분은 1/2로 감소하게 된다.

도 7은 도 5에서 온 상태의 출력 채널을 나타낸 등가 회로로서, 두 출력 채널들(OUT1, OUT2)의 데이터 전압이 서로 같은 경우, 두 데이터 라인들(DL1, DL2) 양단에 형성된 제 1 스위칭 소자(TFT\_B) 및 제 2 스위칭 소자(TFT\_C)가 온 상태가 되어 저항(R1, R2) 성분과 커패시턴스(C1) 성분을 갖는 두 데이터 라인들(DL1, DL2)이 병렬 연결되면서 전체 저항 성분이 1/2로 감소함을 도시하고 있다.

도 8은 도 5의 액정 패널에서 제 2 스위칭 소자를 중심으로 한 단면 구조를 예시한 것이다.

도 8을 참조하면, 제 2 스위칭 소자(TFT\_C)를 구성하는 박막 트랜지스터(TFT\_A)는 게이트 전극(120), 액티브층(121), 소스 전극(122), 드레인 전극(123) 등으로 이루어진다.

게이트 전극(120)은 투명 절연 기판(101) 상에 제어 라인(CL1)의 일부로서 형성된다.

게이트 전극(120)의 상부에는 투명 절연 기판(101)의 전면을 덮는 게이트 절연막(102)이 증착되며, 게이트 전극(120)과 대응하는 게이트 절연막(102) 상의 영역에 액티브층(121)이 형성되고, 액티브층(121)의 양측으로 소스 전극(122) 및 드레인 전극(123)이 서로 마주보도록 형성되고, 그 상부에는 보호막(103)이 덮인다.

소스 전극(122) 및 드레인 전극(123)은 서로 이웃하는 두 데이터 라인들(DL1, DL2)에 각각 접속되어, 게이트 전극(120)으로 인가되는 제어 신호에 따라 데이터 라인들(DL1, DL2)을 서로 단락 시키거나 오픈 시키게 된다.

소스 전극(122) 및 드레인 전극(123)과 액티브층(121)의 계면에는 저항성 접촉층(Ohmic Contact Layer)(124, 125)이 형성된다.

이와 같이, 데이터 라인들의 저항 감소를 통하여 데이터 라인들로 입력되는 신호의 지연을 방지하고, 고온 수직 크로스 토크 및 충전 특성을 개선하여 화상 품질을 향상시킬 수 있다.

종래에는, 액정 패널 상에서 개개의 데이터 라인들이 개별적으로 구성되어 있고, 증착이 쉬운 재료를 선정하여야 하는 액정 표시 장치의 공정 특성 상 저항 성분이 높은 재료를 사용하는 것이 일반적이어서, 데이터 라인들의 저항 값이 수십 kΩ 수준이었다.

재료의 변화 없이 이러한 저항 값을 낮추기 위해 종래에 개개로 구성되었던 데이터 라인들을 병렬로 구성하여 데이터 라인의 저항을 낮추고, 이를 구현하기 위하여 데이터 구동부(230)에 구비되는 소스 드라이버 칩(231)을 내부적으로 변경하고, 액정 패널(100) 상에서도 제 2 스위칭 소자(TFT\_C)를 구현하는 등 구조적인 업그레이드를 수행한다.

또한, 데이터 라인들에 쓰이는 재료를 저항 성분이 낮은 재료로 변경하는 경우에도, 본 발명을 적용하게 되면, 저항이 더 낮아지게 되어 수직 크로스토크 등에 의한 화질 저하를 보다 효율적으로 방지할 수 있다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.

따라서, 이상에서 기술한 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이므로, 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 하며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

### **발명의 효과**

상기한 바와 같이 이루어진 본 발명의 바람직한 실시예에 따른 액정 표시 장치는 병렬 구조를 적용하여 액정 패널 상에 형성된 데이터 라인들의 저항 및 커패시턴스 성분을 줄임으로써, 데이터 라인들의 저항 및 커패시턴스 성분으로 인한 입력 신호의 지연을 최소화하고, 화상 품질을 향상시킬 수 있다.

### 도면의 간단한 설명

도 1은 종래 기술에 따른 액정 표시 장치의 일부를 나타낸 구성도이다.

도 2는 도 1의 출력 채널을 나타낸 등가 회로이다.

도 3은 도 1의 액정 패널 상에서 데이터 라인의 시작 단 및 끝 단의 출력 파형을 비교한 그래프이다.

도 4는 본 발명의 바람직한 실시예에 따른 액정 표시 장치를 나타낸 구성도이다.

도 5는 도 4에서 액정 패널의 구조를 보다 자세히 나타낸 구성도이다.

도 6은 도 5에서 데이터 구동부의 구조를 보다 자세히 나타낸 구성도이다.

도 7은 도 5에서 온 상태의 출력 채널을 나타낸 등가 회로이다.

도 8은 도 5의 액정 패널에서 제 2 스위칭 소자를 중심으로 한 단면 구조를 예시한 것이다.

(도면의 주요부분에 대한 부호의 설명)

100: 액정 패널 200: 구동부

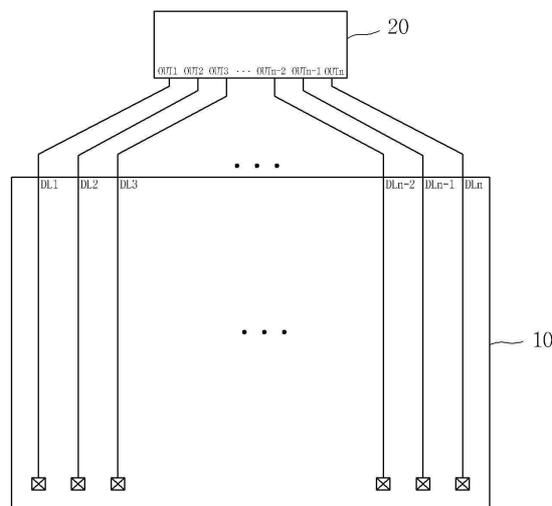
210: 타이밍 컨트롤러 220: 게이트 구동부

230: 데이터 구동부 TFT\_A: 박막 트랜지스터

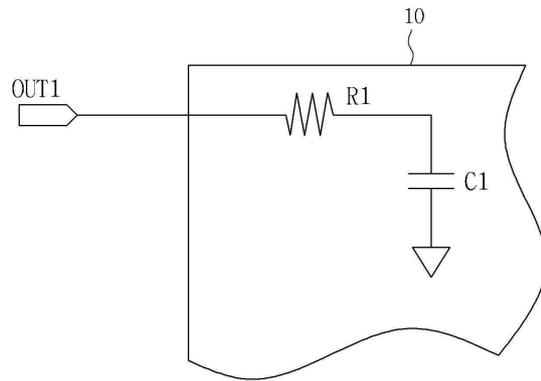
TFT\_B: 제 1 스위칭 소자 TFT\_C: 제 2 스위칭 소자

### 도면

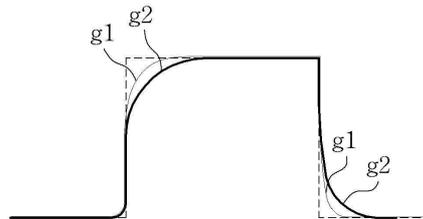
도면1



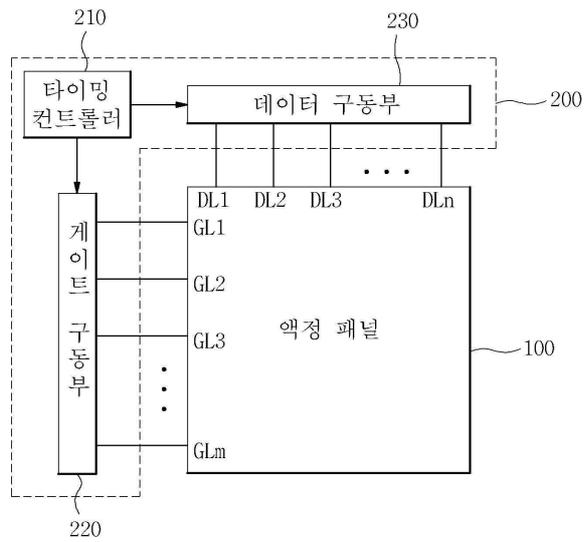
도면2



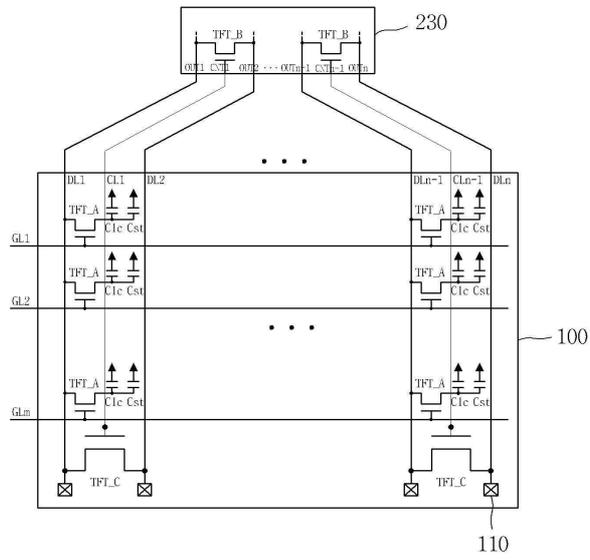
도면3



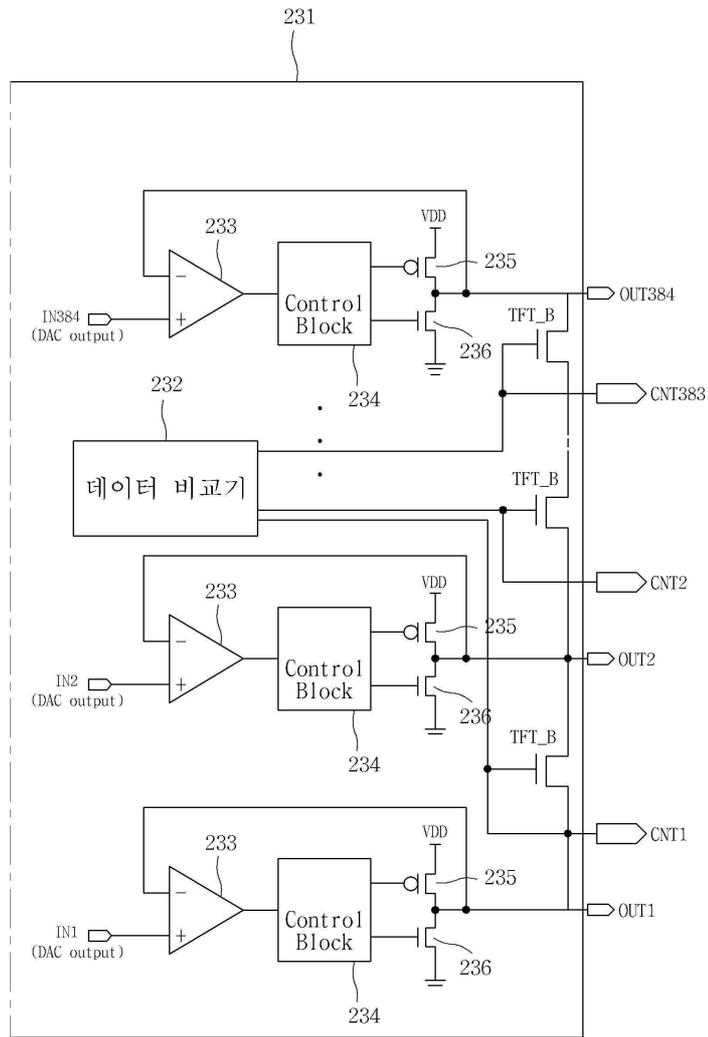
도면4



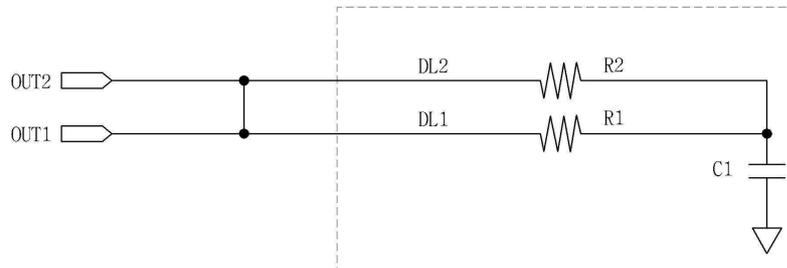
도면5



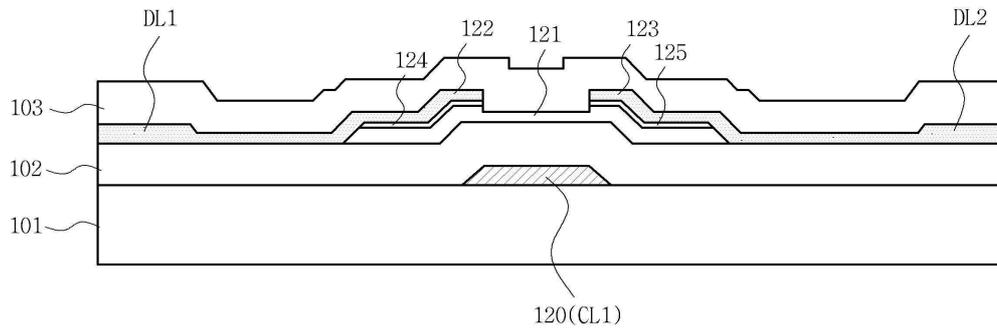
도면6



도면7



도면8



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020070081541A</a>	公开(公告)日	2007-08-17
申请号	KR1020060013516	申请日	2006-02-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.PHILIPS LCD CO. , LTD. LG DISPLAY CO. , LTD.		
当前申请(专利权)人(译)	LG.PHILIPS LCD CO. , LTD. LG DISPLAY CO. , LTD.		
[标]发明人	KIM SEUNG HAK		
发明人	KIM, SEUNG HAK		
IPC分类号	G02F1/133		
CPC分类号	G06K17/00 G06K19/0723 G07F7/125		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供了一种液晶面板，其中数据线被模制成具有相交的栅极线，用于施加平行结构并减小形成在数据线上的液晶面板上的电阻和电容分量，用于控制驱动时序的栅极控制信号液晶显示器，其中包括向数据驱动器输出数据线的的数据驱动器和在液晶面板上的数据线之间相邻的数据线的两端，被配置为通过第一和第二开关元件连接。液晶显示器，源极驱动器和数据线。

