



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0016483  
G02F 1/13 (2006.01) (43) 공개일자 2007년02월08일

(21) 출원번호 10-2005-0071193  
(22) 출원일자 2005년08월04일  
심사청구일자 없음

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 김유진  
충남 아산시 탕정면 명암리 크리스탈타운 비취동 610호  
김범준  
서울특별시 서초구 양재동 82-13(16/2)  
이중혁  
서울특별시 영등포구 당산동2가 현대아파트 102동 1802호

(74) 대리인 박영우

전체 청구항 수 : 총 6 항

(54) 액정표시장치 및 액정표시장치의 얼라인먼트 검사 방법

(57) 요약

제품의 수율을 향상시킬 수 있는 액정표시장치 및 액정표시장치의 얼라인먼트 검사 방법을 개시한다. 액정표시장치는 얼라인 홈이 형성된 캐패시터부를 포함한다. 캐패시터부는 얼라인 홈이 형성된 단부를 제외한 영역이 블랙 매트릭스와 대응하는 영역에 형성되므로, 얼라인 홈이 형성된 단부를 외부에서도 인지할 수 있다. 따라서, 액정표시장치는 화소 영역 내에서의 얼라인 홈의 위치를 쉽게 파악할 수 있으므로, 얼라인 홈의 위치값을 이용하여 상부 기관과 하부 기관간의 얼라인먼트 에러를 검출할 수 있다. 이를 통해, 액정표시장치는 상부 기관과 하부 기관간의 얼라인먼트의 마진 범위를 산출할 수 있으며, 빔샘 발생 여부를 파악할 수 있으므로, 제품의 수율을 향상시킬 수 있다.

대표도

도 2

특허청구의 범위

청구항 1.

제1 베이스 기관, 상기 제1 베이스 기관 상에 형성된 게이트 라인, 상기 게이트 라인으로부터 돌출되어 형성되고 일 단부에 얼라인 홈이 형성된 캐패시터부, 및 상기 제1 베이스 기관 상에서 상기 게이트 라인과 절연되어 교차하는 데이터 라인을 포함하는 하부 기관;

상기 제1 베이스 기관과 마주하는 제2 베이스 기관, 및 상기 제2 베이스 기관 상에서 상기 게이트 라인 및 상기 데이터 라인과 대응하여 형성되어 광을 차단하고, 상기 얼라인 홀을 노출하도록 상기 캐패시터부와 부분적으로 오버랩되는 블랙 매트릭스를 포함하는 상부 기관; 및

상기 하부 기관과 상기 상부 기관과의 사이에 개재되어 광 투과율을 조절하는 액정층을 포함하는 것을 특징으로 하는 액정 표시장치.

## 청구항 2.

제1항에 있어서, 상기 상부 기관은,

상기 제2 베이스 기관 상에 형성되고, 광을 이용하여 소정의 색을 발현하는 색화소를 더 포함하고,

상기 블랙 매트릭스는 상기 색화소를 둘러싸는 것을 특징으로 하는 액정표시장치.

## 청구항 3.

제2항에 있어서, 상기 얼라인 홀이 형성된 상기 캐패시터부의 단부는 상기 색화소와 대응하는 영역에 위치하는 것을 특징으로 하는 액정표시장치.

## 청구항 4.

제1항에 있어서, 상기 하부 기관은,

상기 제1 베이스 기관 상에서 상기 데이터 라인과 인접하여 형성되고, 상기 블랙 매트릭스와 대응하는 영역에 구비된 제1 및 제2 플로팅 바를 더 포함하는 것을 특징으로 하는 액정표시장치.

## 청구항 5.

제4항에 있어서, 상기 제1 및 제2 플로팅 바는 상기 데이터 라인을 사이에 두고 양측에 각각 위치하는 것을 특징으로 하는 액정표시장치.

## 청구항 6.

블랙 매트릭스의 외측으로 노출되어 얼라인 홀의 양측에 위치하는 캐패시터부의 제1 및 제2 영역의 길이를 각각 측정하는 단계;

상기 제1 및 제2 영역의 길이를 통해 게이트 라인 및 데이터 라인에 의해 정의되는 화소 영역에서의 얼라인 홀의 위치를 산출하는 단계; 및

상기 얼라인 홀의 위치 값이 기 설정된 얼라인 홀의 위치값과 동일한지 여부를 비교하여 상부 기관과 하부 기관간의 얼라인먼트 상태를 파악하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 얼라인먼트 검사 방법.

명세서

**발명의 상세한 설명**

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 및 액정표시장치의 얼라인먼트 검사 방법에 관한 것으로, 보다 상세하게는, 제품의 수율을 향상시킬 수 있는 액정표시장치 및 액정표시장치의 검사 방법에 관한 것이다.

일반적으로, 액정표시장치는 영상을 표시하는 액정표시패널 및 액정표시패널로 광을 제공하는 백라이트 어셈블리를 포함한다.

액정표시패널은 화소부가 형성된 하부 기판, 하부 기판과 결합하는 상부 기판 및 하부 기판과 상부 기판과의 사이에 개재된 액정층을 포함한다.

하부 기판은 각 화소부들 별로 구비되어 액정층으로 신호 전압을 인가하는 화소 전극을 더 구비한다. 상부 기판은 액정층으로 공통 전압을 인가하는 공통 전극 및 광을 이용하여 소정의 색을 발현하는 색화소들을 구비한다. 각 색화소들은 각 화소부들과 대응하여 위치한다. 그러나, 하부 기판과 상부 기판 결합 시, 색화소들과 화소부들간의 위치를 맞추기가 어렵다. 뿐만 아니라, 하부 기판과 상부 기판간의 얼라인먼트 상태를 검사하기가 어렵고, 이로 인해, 제품의 수율이 저하된다.

이러한 문제점을 해결하기 위하여 하부 기판과 상부 기판간의 얼라인먼트 상태를 검사하기 위해 하부 기판의 화소 영역 내에 얼라인먼트 키를 삽입한다. 얼라인먼트 키는 금속 재질로 이루어지므로 액정표시장치의 투과율을 저하시키므로, 액정표시장치의 표시 특성이 저하된다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 제품의 수율을 향상시킬 수 있는 액정표시장치를 제공하는 것이다.

또한, 본 발명의 목적은 상기 액정표시장치의 얼라인먼트 상태를 검사하는 방법을 제공하는 것이다.

## 발명의 구성

상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 액정표시장치는, 하부 기판, 상부 기판 및 액정층으로 이루어진다.

하부 기판은 제1 베이스 기판, 제1 베이스 기판 상에 형성된 게이트 라인, 게이트 라인으로부터 돌출되어 형성되고 일 단부에 얼라인 홈이 형성된 캐패시터부, 및 게이트 라인과 절연되어 교차하는 데이터 라인을 포함한다. 상부 기판은 제1 베이스 기판과 마주하는 제2 베이스 기판, 및 제2 베이스 기판 상에서 게이트 라인 및 데이터 라인과 대응하여 형성되어 광을 차단하고, 얼라인 홈을 노출하도록 캐패시터부와 부분적으로 오버랩되는 블랙 매트릭스를 포함한다. 액정층은 하부 기판과 상부 기판과의 사이에 개재되어 광 투과율을 조절한다.

또한, 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 액정표시장치의 얼라인먼트 검사 방법은, 먼저, 블랙 매트릭스의 외측으로 노출되어 얼라인 홈의 양측에 위치하는 캐패시터부의 제1 및 제2 영역의 길이를 각각 측정한다. 제1 및 제2 영역의 길이를 통해 게이트 라인 및 데이터 라인에 의해 정의되는 화소 영역에서의 얼라인 홈의 위치 값을 산출한다. 얼라인 홈의 위치 값이 기 설정된 얼라인 홈의 위치값과 동일한지 여부를 비교하여 상부 기판과 하부 기판간의 얼라인먼트 에러를 판단한다.

이러한 액정표시장치 및 액정표시장치의 얼라인먼트 검사 방법에 의하면, 블랙 매트릭스에 의해 가려지지 않는 캐패시터부의 단부에 얼라인 홈을 형성하고, 얼라인 홈을 이용하여 상부 기판과 하부 기판간의 얼라인먼트 에러를 쉽게 파악할 수 있으므로, 액정표시장치는 제품의 수율을 향상시킬 수 있다.

이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 단면도이고, 도 2는 도 1에 도시된 하부 기판을 나타낸 평면도이다.

도 1 및 도 2를 참조하면, 상기 액정표시장치(400)는 하부 기판(100), 상기 하부 기판(100)과 결합된 상부 기판(200) 및 상기 하부 기판(100)과 상기 상부 기판(200)과의 사이에 개재된 액정층(300)을 포함한다.

상기 하부 기판(100)은 제1 베이스 기판(110), 상기 제1 베이스 기판(110) 상에 형성된 다수의 게이트 라인( $GL_{n-1}$ ,  $GL_n$ , ...), 상기 제1 베이스 기판(110) 상에 형성된 다수의 데이터 라인( $DL_{m-1}$ ,  $DL_m$ , ...), 상기 제1 베이스 기판(110) 상에 형성된 박막 트랜지스터(Thin Film Transistor: 이하, TFT)(120) 및 상기 TFT(120)과 전기적으로 연결된 화소 전극(130)을 포함한다. 여기서,  $n$ 과  $m$ 은 1 이상의 자연수이다.

상기 제1 베이스 기판(110)은 영상이 표시되는 다수의 화소 영역( $P_{x1}$ ,  $P_{x2}$ , ...)으로 구획되고, 광을 투과시키도록 유리나 석영과 같은 투명한 재질로 이루어진다.

상기 다수의 게이트 라인( $GL_{n-1}$ ,  $GL_n$ , ...)은 제1 방향( $D1$ )으로 연장되어 형성되고, 상기 제1 방향( $D1$ )과 직교하는 제2 방향( $D2$ )으로 배치된다. 상기 다수의 게이트 라인( $GL_{n-1}$ ,  $GL_n$ , ...)은 도전성 금속 재질로 이루어지고, 게이트 신호를 전송한다.

상기 다수의 데이터 라인( $DL_{m-1}$ ,  $DL_m$ , ...)은 상기 제2 방향( $D2$ )으로 연장되어 형성되고, 상기 제1 방향( $D1$ )으로 배치된다. 상기 다수의 데이터 라인( $DL_{m-1}$ ,  $DL_m$ , ...)은 상기 다수의 게이트 라인( $GL_{n-1}$ ,  $GL_n$ , ...)과 절연되어 위치하며, 상기 다수의 게이트 라인( $GL_{n-1}$ ,  $GL_n$ , ...)과 함께 상기 다수의 화소 영역( $P_{x1}$ ,  $P_{x2}$ )을 정의한다. 상기 다수의 데이터 라인( $DL_{m-1}$ ,  $DL_m$ , ...)은 도전성 금속 재질로 이루어지고, 데이터 신호를 전송한다.

상기 TFT(120)는 각 화소 영역( $P_{x1}$ ,  $P_{x2}$ , ...)에 형성되며, 상기 액정층(300)으로 화소 전압을 인가하고 차단한다. 상기 TFT(120)는 상기 제1 베이스 기판(110) 상에 형성된 게이트 전극(121), 액티브층(122), 오믹 콘택층(123), 소오스 전극(124) 및 드레인 전극(125)을 포함한다.

상기 게이트 전극(121)은 게이트 라인( $GL_n$ )으로부터 분기되어 형성되고, 상기 게이트 신호를 수신한다. 상기 게이트 전극(121)은 상기 다수의 게이트 라인( $GL_{n-1}$ ,  $GL_n$ , ...)과 동일층에 구비된다.

상기 게이트 전극(121)이 형성된 상기 제1 베이스 기판(110) 상에는 게이트 절연막(140)이 형성된다. 상기 게이트 절연막(140)은 상기 게이트 전극(121) 및 상기 다수의 게이트 라인( $GL_{n-1}$ ,  $GL_n$ , ...)을 보호한다.

상기 액티브층(122) 및 상기 오믹 콘택층(123)은 상기 게이트 절연막(140) 상에 상기 게이트 전극(121)과 대응하여 순차적으로 형성된다. 상기 오믹 콘택층(123)은 상기 액티브층(122)을 부분적으로 노출하도록 중앙부가 제거된다. 상기 액티브층(122)의 노출된 영역은 채널 영역으로 제공된다.

상기 소오스 전극(124) 및 상기 드레인 전극(125)은 상기 오믹 콘택층(123) 상에 형성된다. 상기 소오스 전극(124) 및 상기 드레인 전극(125)은 상기 채널 영역을 사이에 두고 서로 마주한다. 상기 소오스 전극(124)은 데이터 라인( $DL_m$ )으로부터 분기되어 형성되고, 상기 데이터 신호를 수신한다. 상기 소오스 전극(124)은 상기 드레인 전극(125)의 일 단부를 둘러싸는 'U'형상을 갖는다.

상기 화소 전극(130)은 상기 TFT(120)의 상부에 형성되며, 상기 드레인 전극(125)과 전기적으로 연결된다. 상기 화소 전극(130)은 인듐 틴 옥사이드(Indium Tin Oxide; 이하, ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide; 이하, IZO)와 같은 투명성 도전 물질로 이루어진다. 상기 화소 전극(130)은 상기 TFT(120)로부터 수신된 상기 화소 전압을 상기 액정층(300)으로 인가한다.

상기 하부 기판(100)은 상기 TFT(120) 및 상기 다수의 데이터 라인( $DL_{m-1}$ ,  $DL_m$ , ...)을 보호하는 보호막(150) 및 유기 절연막(160)을 더 구비한다.

상기 보호막(150)은 상기 TFT(120) 및 상기 다수의 데이터 라인( $DL_{m-1}$ ,  $DL_m$ , ...)이 형성된 상기 게이트 절연막(140) 상에 형성된다.

상기 보호막(150)은 산화실리콘( $\text{SiO}_2$ )이나 질화실리콘( $\text{SiN}_x$ )과 같은 무기 절연물질로 이루어지며, 약 2000 Å 두께를 갖는 것이 바람직하다. 상기 유기 절연막(160)은 상기 보호막(160)의 상부에 형성되며, 상기 액정층(300)과 접하는 상기 하부 기판(100)의 상면을 평탄화시키는 기능을 한다.

상기 보호막(150) 및 상기 유기 절연막(160)은 상기 드레인 전극(125)을 부분적으로 노출하도록 일부분이 제거되어 형성된 제1 콘택홀(CH1)을 갖는다. 상기 화소 전극(130)은 상기 유기 절연막(160) 상에 형성되며, 상기 제1 콘택홀(CH1)을 통해 상기 드레인 전극(125)과 전기적으로 연결된다.

상기 하부 기판(100)은 상기 다수의 게이트 라인( $\text{GL}_{n-1}$ ,  $\text{GL}_n$ , ...)으로 분기되어 형성된 다수의 캐패시터부( $\text{C}_1$ ,  $\text{C}_2$ , ...)를 더 포함한다.

이 실시예에 있어서, 상기 다수의 캐패시터부( $\text{C}_1$ ,  $\text{C}_2$ , ...)는 서로 동일한 구조를 갖는다. 따라서, 이하, 상기 다수의 캐패시터부( $\text{C}_1$ ,  $\text{C}_2$ , ...)에 대한 구체적인 설명에 있어서, 제1 캐패시터부( $\text{C}_1$ )를 일례로 하여 설명한다.

상기 제1 캐패시터부( $\text{C}_1$ )는 제1 화소 영역( $\text{Px}_1$ )에 형성된다. 상기 제1 캐패시터부( $\text{C}_1$ )는 상기 TFT(120)와 마주하여 위치한다. 상기 제1 캐패시터부( $\text{C}_1$ )는 하부 캐패시터( $\text{C}_{1\_1}$ ) 및 상부 캐패시터( $\text{C}_{1\_2}$ )로 이루어진다. 상기 하부 캐패시터( $\text{C}_{1\_1}$ )는  $n-1$ 번째 게이트 라인( $\text{GL}_{n-1}$ )으로부터 분기되어 형성된다. 여기서, 상기 제1 화소 영역( $\text{Px}_1$ )에 형성된 상기 TFT(120)는  $n$ 번째 게이트 라인( $\text{GL}_n$ )에 연결된다. 이와 같이, 동일 화소 영역에 형성된 하부 캐패시터 및 TFT는 각각 연결된 게이트 라인이 서로 다르다.

상기 상부 캐패시터( $\text{C}_{1\_2}$ )는 상기 하부 캐패시터( $\text{C}_{1\_1}$ )의 상부에 형성된다. 상기 상부 캐패시터( $\text{C}_{1\_2}$ )는 상기 다수의 데이터 라인( $\text{DL}_{m-1}$ ,  $\text{DL}_m$ , ...)과 동일층에 형성되며, 상기 다수의 데이터 라인( $\text{DL}_{m-1}$ ,  $\text{DL}_m$ , ...)과 동일한 재질로 이루어진다. 상기 보호막(150) 및 상기 유기 절연막(160)은 상기 상부 캐패시터( $\text{C}_{1\_2}$ )를 부분적으로 노출하는 제2 콘택홀(CH2)을 갖는다. 상기 화소 전극(130)은 상기 제2 콘택홀(CH2)을 통해 상기 상부 캐패시터( $\text{C}_{1\_2}$ )와 전기적으로 연결된다.

상기 하부 기판(100)은 상기 제1 베이스 기판(110) 상에 형성된 제1 및 제2 플로팅 바(170, 180)를 더 구비한다.

상기 제1 및 제2 플로팅 바(170, 180)는 데이터 라인( $\text{DL}_m$ )을 사이에 두고 양측에 각각 위치한다. 상기 하부 기판(100)은 상기 제1 및 제2 플로팅 바(170, 180)를 다수 구비하고, 상기 다수의 제1 및 제2 플로팅 바는 상기 각 화소 영역( $\text{Px}_1$ ,  $\text{Px}_2$ )에 각각 구비된다. 상기 제1 및 제2 플로팅 바(170)는 상기 데이터 라인( $\text{DL}_m$ )과 인접하여 위치하고, 상기 다수의 게이트 라인( $\text{GL}_{n-1}$ ,  $\text{GL}_n$ , ...)과 동일층에 형성된다.

한편, 상기 상부 기판(200)은 상기 하부 기판(100)과 대향하여 구비된다. 상기 상부 기판(200)은 제2 베이스 기판(210), 컬러필터 층(220) 및 공통 전극(230)을 포함한다.

상기 제2 베이스 기판(210)은 광을 투과시키는 투명한 재질로 이루어지고, 상기 제1 베이스 기판(110)과 대향하여 위치한다. 상기 컬러필터 층(220)은 상기 제2 베이스 기판(210) 상에 형성되며, 색화소(221) 및 블랙 매트릭스(222)로 이루어진다. 상기 색화소(221)는 광을 이용하여 소정의 색을 발현하고, 각 화소 영역( $\text{Px}_1$ ,  $\text{Px}_2$ , ...)에 대응하여 형성된다. 상기 블랙 매트릭스(222)는 상기 색화소(221)를 둘러싸고, 상기 색화소(221)로부터 누설된 광을 차단한다.

상기 블랙 매트릭스(222)는 상기 화소 전극(130)과 상기 데이터 라인( $\text{DL}_m$ ) 사이로 새는 빛을 차단하도록 충분한 폭을 가져야한다. 그러나, 상기 블랙 매트릭스(222)의 폭을 많이 늘리면, 개구율이 떨어지므로 그 한계가 있다. 상기 제1 및 제2 플로팅 바(170, 180)는 상기 화소 전극(130)과 상기 데이터 라인( $\text{DL}_m$ )과의 사이로 새어나가는 빛을 차단하고, 이에 따라, 상기 하부 기판(100)은 상기 블랙 매트릭스(222)의 폭을 최소화하면서 빛샘 현상을 방지할 수 있다.

상기 공통 전극(230)은 상기 컬러필터 층(220) 상에 형성된다. 상기 공통 전극(230)은 상기 ITO 나 IZO와 같이 투명한 도전성 물질로 이루어지며, 상기 하부 기판(100)으로부터 공통 전압을 수신한다.

상기 액정층(300)은 상기 하부 기판(100)과 상기 상부 기판(200)과의 사이에 개재된다. 상기 액정층(300)은 상기 화소 전극(130)과 상기 공통 전극(230)과의 사이에 형성된 전계에 따라 광의 투과율을 조절한다. 이로써, 상기 액정표시장치(400)는 상기 영상을 표시한다.

도 3은 도 1에 도시된 액정표시장치의 배면을 나타낸 평면도이다. 참고로, 도 3은 상기 액정표시장치(400)를 상기 하부 기판(100) 측에서 바라본 평면도이다.

도 3를 참조하면, 상기 블랙 매트릭스(222)는 상기 색화소(221)가 형성되지 않은 전 영역에 형성된다. 상기 블랙 매트릭스(222)는 상기 다수의 게이트 라인(GLn-1, GLn, ...), 상기 다수의 데이터 라인(DLm-1, DLm, ...) 및 상기 TFT(120)와 대응하는 영역에 형성된다. 상기 블랙 매트릭스(222)는 상기 제1 및 제2 플로팅 바(170, 180)와 오버랩된다. 이에 따라, 상기 하부 기판(100)과 상기 상부 기판(200)이 어셈블리되면, 상기 하부 기판(100)의 배면측에서는 상기 제1 및 제2 플로팅 바(170, 180)에 의해 상기 블랙 매트릭스(222)가 가려지므로, 상기 하부 기판(100)과 상기 상부 기판(200)간의 얼라인먼트 상태를 확인하기 어렵다.

또한, 상기 상부 기판(200)의 상면측에서는 상기 블랙 매트릭스(222)에 의해 상기 하부 기판(100)의 형성된 배선들이 모두 가려지므로, 마찬가지로, 상기 하부 기판(100)과 상기 상부 기판(200)간의 얼라인먼트 상태를 확인하기 어렵다.

상기 블랙 매트릭스(222)는 상기 하부 기판(100)과 상기 상부 기판(200)간의 얼라인먼트 상태를 확인하기 용이하도록 상기 다수의 캐패시터부(C1, C2, ...)와 부분적으로 오버랩된다. 즉, 상기 블랙 매트릭스(222)는 상기 얼라인 홈(AG)을 외부로 노출하기 위해 상기 다수의 캐패시터(C1, C2, ...)의 영역 중에서 상기 얼라인 홈(AG)이 위치하는 단부와 대응하는 영역에서 제거된다.

이 실시예에 있어서, 상기 다수의 캐패시터(C1, C2, ...)는 상기 블랙 매트릭스(222)와의 위치 관계가 동일하므로, 이하, 상기 제1 캐패시터(C1)를 일례로 하여 상기 다수의 캐패시터(C1, C2, ...)와 상기 블랙 매트릭스(222)와의 위치 관계를 설명한다.

도 4는 도 3의 절단선 I-I'에 따른 단면도이고, 도 5는 도 1에 도시된 액정표시장치의 상면을 나타낸 평면도이다.

도 4 및 도 5를 참조하면, 상기 제1 캐패시터(C1)의 하부 캐패시터(C1\_1)는 상기 제1 베이스 기판(110) 상에 형성되고, 그 상부에는 상기 게이트 절연막(140), 상기 보호막(150), 상기 유기 절연막(160) 및 상기 화소 전극(130)이 형성된다. 도 4에는 도시되지 않았으나, 상기 게이트 절연막(140) 상에는 상기 상부 캐패시터(C1\_2)가 형성되며, 상기 상부 캐패시터(C1\_2)는 상기 하부 캐패시터(C1\_1)의 상부에 위치한다.

상기 하부 캐패시터(C1\_1)는 상기 얼라인 홈(AG)이 형성된 단부가 상기 색화소(221)와 대응하는 영역에 형성된다. 따라서, 상기 하부 캐패시터(C1\_1)는 상기 얼라인 홈(AG)이 형성된 단부를 제외한 영역만 상기 블랙 매트릭스(222)에 의해 가려지고, 상기 얼라인 홈(AG)이 형성된 단부는 상기 블랙 매트릭스(222)에 의해 가려지지 않는다.

따라서, 현미경을 이용하여 상기 상부 기판(200)의 상측에서 상기 액정표시장치(400)를 촬영하면, 도 5에 도시된 바와 같이, 상기 하부 캐패시터(C1\_1)는 상기 블랙 매트릭스(222)에 가려지지 않는 단부가 노출되어 인지된다. 이는, 상기 하부 캐패시터(C1\_1)가 금속 재질로 이루어지기 때문에, 상기 현미경으로부터 출사된 광을 반사하므로, 상기 블랙 매트릭스(222)에 가려지지 않는 부분이 외부에서 인지된다. 따라서, 상기 노출된 하부 캐패시터(C1\_1)의 단부를 이용하여 상기 하부 기판(100)과 상기 상부 기판(200)간의 얼라인먼트 상태를 검사할 수 있다.

즉, 상기 노출된 하부 캐패시터(C1\_1)의 단부는 상기 얼라인 홈(AG)에 의해 양측으로 분리된 것처럼 인지된다. 따라서, 두 개로 분리된 상기 노출된 하부 캐패시터(C1\_1)의 단부의 길이(D1, D2)를 각각 측정하여 상기 화소 영역(Px1) 내에서의 상기 얼라인 홈(AG)의 위치를 파악할 수 있다.

상기 얼라인 홈(AG)의 위치 값이 기 설정된 얼라인 홈(AG)의 위치값과 동일한지 비교하고, 상기 얼라인 홈(AG)의 위치 값과 기 설정된 얼라인 홈(AG)의 위치 값간의 차이 값을 통해 상기 하부 기판(100)과 상기 상부 기판(200)간의 얼라인먼트 상태를 인지할 수 있다. 상기 하부 기판(100) 및 상기 상부 기판(200)이 서로 어긋나게 결합될수록 상기 얼라인 홈(AG)의 위치 값과 기 설정된 얼라인 홈(AG)의 위치 값의 차이가 크다.

이와 같이, 상기 액정표시장치(400)는 상기 얼라인 홈(AG)을 이용하여 상기 하부 기판(100) 및 상기 상부 기판(200)간의 얼라인먼트 에러를 파악할 수 있다. 이에 따라, 상기 액정표시장치(400)는 개구율을 저하시키지 않으면서 상기 하부 기판(100) 및 상기 상부 기판(200)간의 얼라인먼트 에러를 파악할 수 있다. 이를 통해, 상기 상부 기판(100) 및 상기 하부 기판(200)간의 얼라인먼트 마진의 범위를 산출할 수 있으므로, 제품의 수율을 향상시킬 수 있다.

## 발명의 효과

상술한 본 발명에 따르면, 액정표시장치는 얼라인 홈이 형성된 캐패시터를 구비한다. 캐패시터는 얼라인 홈이 형성된 단부가 색화소와 대응하는 영역에 형성되므로, 외부에서도 캐패시터의 얼라인 홈이 형성된 단부를 인지할 수 있다. 이에 따라, 액정표시장치는 얼라인 홈의 위치를 측정하여 하부 기관 및 상부 기관간의 얼라인먼트 에러를 쉽게 파악할 수 있다. 이를 통해, 상부 기관 및 하부 기관간의 얼라인먼트 마진의 범위를 산출할 수 있으므로, 액정표시장치의 빛샘 발생 여부를 파악할 수 있고, 제품의 수율을 향상시킬 수 있다.

또한, 액정표시장치는 추가의 얼라인 키를 구비하지 않고도 하부 기관 및 상부 기관간의 얼라인먼트 상태를 검사할 수 있으므로, 개구율을 향상시킬 수 있고, 이에 따라, 표시 특성을 향상시킬 수 있다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

## 도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 단면도이다.

도 2는 도 1에 도시된 하부 기관을 나타낸 평면도이다.

도 3은 도 1에 도시된 액정표시장치의 배면을 나타낸 평면도이다.

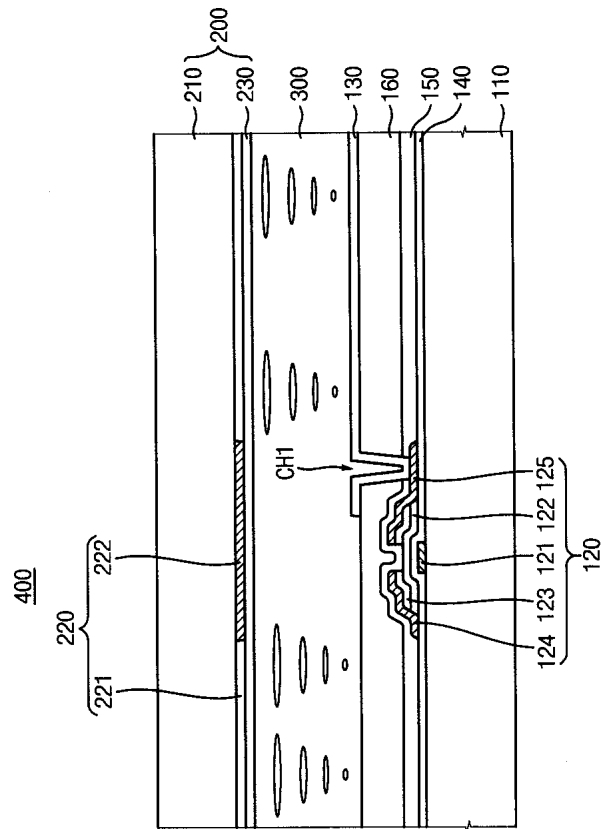
도 4는 도 3의 절단선 I-I'에 따른 단면도이다.

도 5는 도 1에 도시된 액정표시장치의 상면을 나타낸 평면도이다.

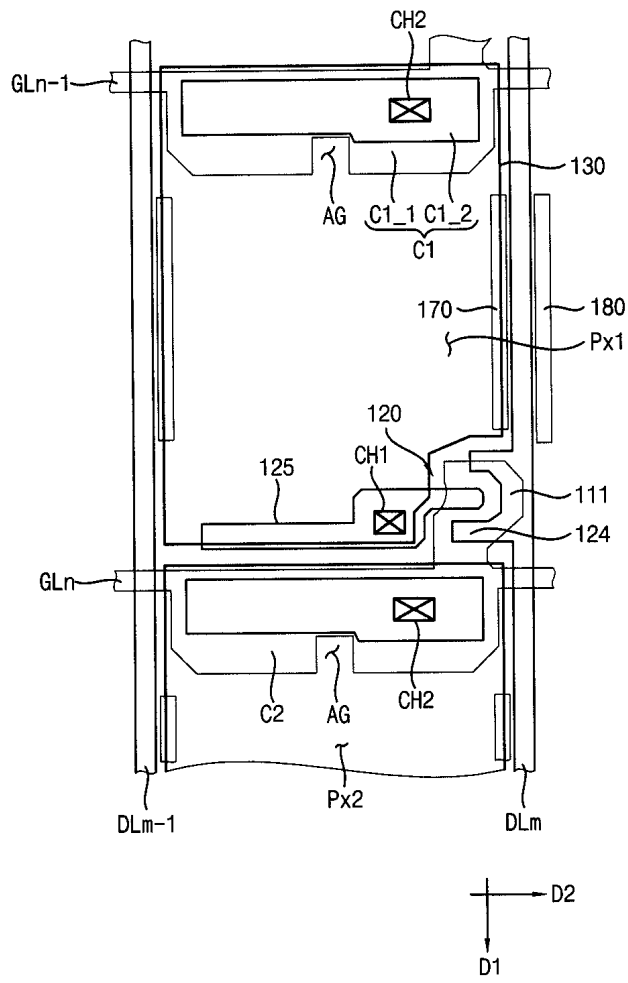
<도면의 주요부분에 대한 부호의 설명>

도면

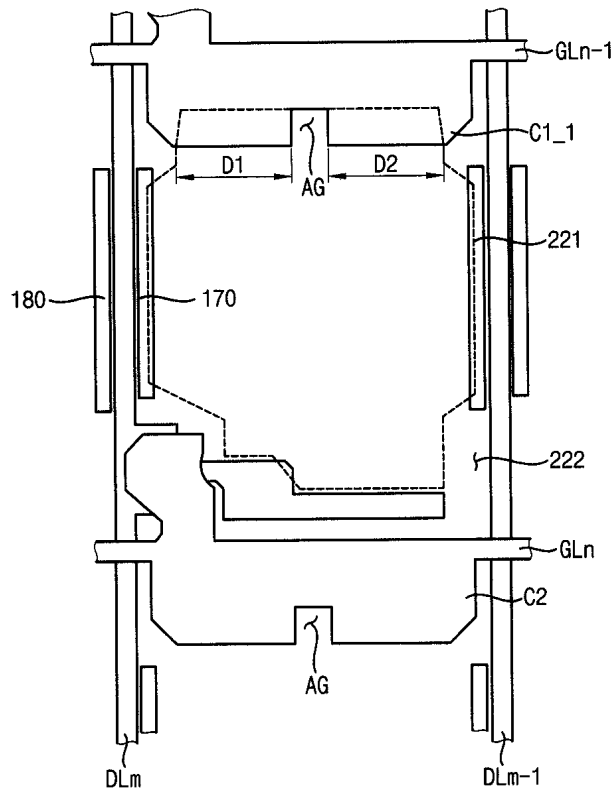
도면1



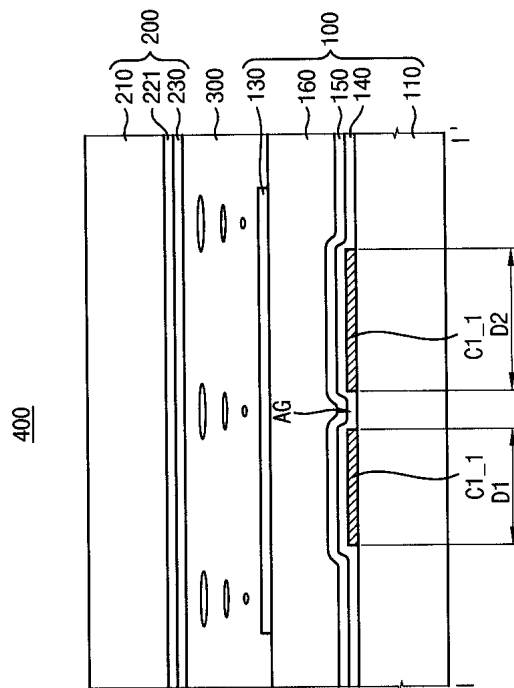
도면2



도면3



도면4



도면5

