



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0049551  
(43) 공개일자 2008년06월04일

(51) Int. Cl.

G02F 1/133 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2006-0120214

(22) 출원일자 2006년11월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

조명준

경기 과천시 야동동 109동 1503호

(74) 대리인

박장원

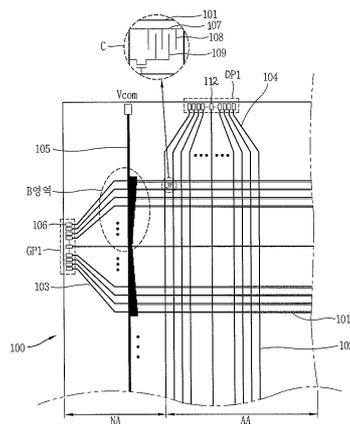
전체 청구항 수 : 총 3 항

(54) 액정표시장치

(57) 요약

본 발명은 횡전계 액정표시장치에 관한 것으로서, 특히 액정표시장치의 제조 공정 중에 발생하는 정전기에 의해 게이트 링크 라인과 공통 전압 라인이 쇼트되는 것을 방지하는 기술에 관한 것이다. 이러한 본 발명은 복수의 게이트 라인과 데이터 라인의 교차에 의해 정의된 화소들을 포함하는 액티브 영역과, 상기 액티브 영역의 주변부를 이루는 비액티브 영역이 형성된 기판; 상기 비액티브 영역에 형성되며, 상기 게이트 라인과 연결된 게이트 링크 라인; 및 상기 게이트 링크 라인과 오버랩되도록 형성되며, 각 게이트 링크 라인과 오버랩되는 부분의 면적이 오버랩되는 해당 게이트 링크 라인의 길이와 비례하는 공통 전압 라인에 의해 달성된다.

대표도 - 도3



## 특허청구의 범위

### 청구항 1

복수의 게이트 라인과 데이터 라인의 교차에 의해 정의된 화소들을 포함하는 액티브 영역과, 상기 액티브 영역의 주변부를 이루는 비액티브 영역이 형성된 기판;

상기 비액티브 영역에 형성되며, 상기 게이트 라인과 연결된 게이트 링크 라인; 및

상기 게이트 링크 라인과 오버랩되도록 형성되며, 각 게이트 링크 라인과 오버랩되는 부분의 면적이 오버랩되는 해당 게이트 링크 라인의 길이와 비례하는 공통 전압 라인;

을 포함하여 구성된 것을 특징으로 하는 액정표시장치.

### 청구항 2

제 1항에 있어서, 상기 공통 전압 라인이 게이트 라인과 오버랩되는 부분은 최단 길이의 게이트 링크 라인과 오버랩되는 부분에서 최소 면적을 가지며, 최장 길이의 게이트 링크 라인과 오버랩되는 부분에서 최대 면적을 가지는 것을 특징으로 하는 액정표시장치.

### 청구항 3

제 1항에 있어서, 상기 액티브 영역은,

상기 공통 전압 라인에서 분기한 게이트 공통 전압 부분 라인;

상기 공통 전압 부분 라인에서 분기한 다수의 공통 전극;

상기 공통 전극과 일정 간격을 가지고 서로 엇갈리게 배치되어 상기 공통 전극과 수평 전계를 형성하는 화소 전극;

상기 화소 전극과 연결된 박막트랜지스터;

를 포함하여 구성된 것을 특징으로 하는 액정표시장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 횡전계 액정표시장치에 관한 것으로서, 특히 공통 전압 라인이 다수의 게이트 링크 라인과 오버랩되는 부분의 면적을 오버랩되는 해당 게이트 링크 라인의 길이와 비례하는 면적을 가지도록 설계하여 적용함으로써, 액정표시장치의 제조 공정 중에 발생하는 정전기에 의해 공통 전압 라인과 게이트 링크 라인이 쇼트 되는 현상을 방지한 액정표시장치에 관한 것이다.
- <16> 일반적으로 액정표시장치는 상부기관인 컬러필터 기관과 하부기관인 박막트랜지스터 어레이 기관이 대향하고, 그 사이에 액정층이 충전된 액정패널과, 상기 액정패널에 스캔신호를 공급하고 화상정보를 공급하여 액정패널의 동작을 수행하는 구동부를 포함하여 구성된다.
- <17> 이와 같은 액정 표시소자는 액정을 구동시키는 전계의 방향에 따라 수직방향의 전계가 인가되는 TN(Twisted Nematic) 모드와 수평 방향의 전계가 인가되는 횡전계(In Plane Switch ; IPS) 모드 등으로 구분된다.
- <18> 상기 횡전계형 액정표시장치는 액정이 수평전계에 의해 구동되며, TN 모드에 비해 콘트라스트(contrast), 그레이인버전(gray inversion), 컬러시프트(color shift) 등의 시야각 특성이 좋아, 최근 많은 액정표시장치에 적용되고 있는 추세에 있다.
- <19> 이하, 첨부한 도면을 참조하여 일반적인 횡전계형 액정표시장치에 대하여 설명하겠다.
- <20> 도 1은 일반적인 횡전계형 액정표시장치를 나타낸 평면도이며, 도 2는 도 1의 A영역을 상세히 나타낸 평면도이

다. 또한, 도 2는 도 1의 A영역을 상세히 나타낸 평면도이다.

- <21> 도 1 및 도 2에 도시한 바와 같이, 일반적인 횡전계형 액정표시장치는 복수의 게이트 라인(11)과 데이터 라인(12)의 교차에 의해 정의된 화소들을 포함하는 액티브 영역(AA)과, 상기 액티브 영역(AA)의 주변부를 이루는 비액티브 영역(NA)이 형성된 기판(10); 상기 비액티브 영역(NA)에 형성되며, 상기 게이트 라인(11)과 연결된 게이트 링크 라인(13); 상기 비액티브 영역(NA)에 형성된 게이트 링크 라인(13)과 오버랩되며, 그 폭이 일정한 공통 전압 라인(15)을 포함하여 구성된다.
- <22> 상기 박막 트랜지스터 어레이 기판(10)은 게이트 라인(11)과 데이터 라인(12)이 교차하여 형성된 각 화소마다 스위칭 소자인 박막 트랜지스터(TFT)가 형성된다.
- <23> 또한, 상기 박막트랜지스터 어레이 기판(10)에는 공통 전극(18)과 화소 전극(19)이 형성되며, 이로 인하여 횡전계형 액정표시장치는 공통 전극(18)과 화소 전극(19)의 수평 전계에 의해 액정이 구동되는 특징을 가진다.
- <24> 상기 박막 트랜지스터 어레이 기판(10)에는 도 1에 도시한 바와 같이, 상기 공통 전압 라인(15)에서 분기하여 게이트 라인(11)과 일정 간격 이격되어 평행하게 형성된 공통 전압 부분 라인(17)이 형성되며, 상기 각 화소에는 상기 공통 전압 부분 라인(17)에서 분기한 다수의 공통 전극(18)이 데이터 라인(12)과 평행하게 형성되어 있다. 또한, 상기 각 화소에는 상기 공통 전극(18)과 일정 간격을 가지고 서로 엇갈리게 배치된 다수의 화소 전극(19)이 형성되며, 이러한 화소 전극(19)은 상기 박막 트랜지스터(TFT)와 연결되어 있다.
- <25> 상기 비액티브 영역(NA)에는 상기 액티브 영역(AA)의 게이트 라인(11)과 연결되는 게이트 링크 라인(13)이 형성되며, 상기 비액티브 영역(NA)에는 상기 액티브 영역(AA)의 데이터 라인(12)과 연결되는 데이터 링크 라인(14)이 형성된다.
- <26> 상기와 같은 구조의 액정표시장치는, 액정표시장치의 제조 공정 중에 형성된 정전기에 의해 상기 공통 전압 라인(15) 또는 게이트 링크 라인(13)이 쇼트되는 문제점이 있다. 하지만, 상기 공통 전압 라인(15)과 게이트 링크 라인(13)이 오버랩되는 부분이 둘 사이에 형성된 절연층(미도시)를 사이에 두고 커패시터를 형성함으로써, 이러한 커패시터가 상기 정전기에 의해 공통 전압 라인(15)과 게이트 링크 라인(13)에 쇼트가 발생하는 것을 방지하였다.
- <27> 하지만, 상기 게이트 링크 라인(13)의 길이는 각 게이트 링크 라인(13)마다 다르므로 상기와 같은 정전기가 게이트 링크 라인(13)의 길이에 비례하여 발생한다. 따라서, 상대적으로 긴 길이를 가지는 게이트 링크 라인(13)은 해당 게이트 링크 라인(13)과 공통 전압 라인(15)이 오버랩되어 형성된 커패시터가 그 용량이 충분하지 않아 게이트 링크 라인(13)과 공통 전압 라인(15) 사이에 형성된 절연막이 파괴되어 게이트 링크 라인(13)과 공통 전압 라인(15)이 쇼트되는 현상이 자주 발생하는 문제점이 있었다.

**발명이 이루고자 하는 기술적 과제**

- <28> 따라서, 본 발명은 상기와 같은 종래 액정표시장치의 문제점을 해결하기 위하여 안출한 것으로서, 본 발명의 목적은 공통 전압 라인이 다수의 게이트 링크 라인과 오버랩되는 부분의 면적을 오버랩되는 해당 게이트 링크 라인의 길이와 비례하는 면적을 가지도록 형성함으로써, 액정표시장치의 제조 공정 중에 발생하는 정전기로 인해 공통 전압 라인과 게이트 링크 라인이 쇼트되는 현상이 방지된 액정표시장치를 제공함에 있다.

**발명의 구성 및 작용**

- <29> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 복수의 게이트 라인과 데이터 라인의 교차에 의해 정의된 화소들을 포함하는 액티브 영역과, 상기 액티브 영역의 주변부를 이루는 비액티브 영역이 형성된 기판; 상기 비액티브 영역에 형성되며, 상기 게이트 라인과 연결된 게이트 링크 라인; 및 상기 게이트 링크 라인과 오버랩되도록 형성되며, 각 게이트 링크 라인과 오버랩되는 부분의 면적이 오버랩되는 해당 게이트 링크 라인의 길이와 비례하는 공통 전압 라인을 포함하여 구성된 것을 특징으로 한다.
- <30> 상기 공통 전압 라인이 게이트 라인과 오버랩되는 부분은 최단 길이의 게이트 링크 라인과 오버랩되는 부분에서 최소 면적을 가지며, 최장 길이의 게이트 링크 라인과 오버랩되는 부분에서 최대 면적을 가지는 것을 특징으로 한다.
- <31> 상기 액티브 영역은, 상기 공통 전압 라인에서 분기한 게이트 공통 전압 부분 라인; 상기 공통 전압 부분 라인에서 분기한 다수의 공통 전극; 상기 공통 전극과 일정 간격을 가지고 서로 엇갈리게 배치되어 상기 공통 전극과 수평 전계를 형성하는 화소 전극; 상기 화소 전극과 연결된 박막트랜지스터를 포함하여 구성된 것을 특징으로

로 한다.

- <32> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치에 대하여 상세히 설명한다.
- <33> <제 1 실시예>
- <34> 이하, 도 3 내지 5를 참조하여 본 발명의 제 1 실시예에 대하여 설명하겠다.
- <35> 도 3은 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치를 나타낸 평면도로서, 설명의 편의를 위해 박막 트랜지스터 어레이 기관의 일부를 확대하여 나타내었다.
- <36> 도 4는 도 3의 B영역을 상세히 나타낸 평면도이며, 도 5는 도 4의 I-I 선을 따라 절단한 면을 나타낸 단면도이다.
- <37> 본 발명의 제 1 실시예에 따른 액정표시장치는 도 3에 도시한 바와 같이, 복수의 게이트 라인(101)과 데이터 라인(102)의 교차에 의해 정의된 화소들을 포함하는 액티브 영역(AA)과, 상기 액티브 영역(AA)의 주변부를 이루는 비액티브 영역(NA)이 형성된 기관(100); 상기 비액티브 영역(NA)에 형성되며, 상기 게이트 라인(101)과 연결된 게이트 링크 라인(103); 및 상기 게이트 링크 라인(103)과 오버랩되도록 형성되며, 각 게이트 링크 라인(103)과 오버랩되는 부분의 면적이 오버랩되는 해당 게이트 링크 라인의 길이와 비례하는 공통 전압 라인(105)을 포함하여 구성된 것을 특징으로 한다.
- <38> 상기 공통 전압 라인(105)은 각 게이트 링크 라인(103)과 오버랩되는 부분의 좌우 폭이, 공통 전압 라인(105) 중에 게이트 링크 라인(103)과 오버랩되지 않는 부분의 좌우 폭을 기준으로 하여 기관의 중심 방향으로 연장된 형상을 갖는다.
- <39> 액정패널은 상부기관인 컬러 필터 기관(미도시)과 하부기관인 박막 트랜지스터 어레이 기관(100)이 대향하여 구성되지만, 본 발명은 박막 트랜지스터 어레이 기관(100)의 공정 과정에서 발생하는 정전기에 의해 발생하는 문제점을 해결하기 위한 것이므로, 도 3에는 설명의 편의를 위하여 박막 트랜지스터 어레이 기관(100)만을 도시하였다.
- <40> 도 3에 도시된 박막 트랜지스터 어레이 기관(100)에는 게이트 라인(101)과 데이터 라인(102)이 서로 교차하여 형성된 화소가 마련되며, 상기 화소에는 스위칭 소자인 박막 트랜지스터(TFT)가 형성된다.
- <41> 상기 박막 트랜지스터 어레이 기관(100)은 도 3에 도시한 바와 같이 크게 액티브 영역(AA)과 비액티브 영역(NA)으로 구분되어 정의된다.
- <42> 상기 액티브 영역(AA)은 게이트 라인(101)과 데이터 라인(102)이 교차하여 화소들이 마련된 영역이며, 이러한 액티브 영역(AA)은 액정표시장치에 있어서 화상을 표시하는 영역이다.
- <43> 또한, 상기 비액티브 영역(NA)은 상기 액티브 영역(AA)의 주변부를 이루는 영역이며, 이러한 비액티브 영역(NA)에는 상기 게이트 라인(101)과 연결된 게이트 링크 라인(103)과 게이트 패드(106) 및 상기 데이터 라인(102)과 연결된 데이터 링크 라인(104)과 데이터 패드(112) 및, 상기 각 화소들에 형성된 공통 전극(108)에 공통전압을 공급하기 위한 공통 전압 라인(105)이 형성된다.
- <44> 상기 각 화소의 세부 구성은 다음과 같다.
- <45> 상기 화소에는, 도 3의 C영역에 도시한 바와 같이 다수의 공통 전극(108)과 다수의 화소 전극(109)이 형성된다. 상기 공통 전극(108)은, 상기 공통 전압 라인(105)에서 분기하여 게이트 라인(101)과 일정 간격 이격되어 평행하게 형성된 공통 전압 부분 라인(107)으로부터 분기하여 형성된다. 또한, 상기 화소 전극(109)은, 박막 트랜지스터와 연결되어 상기 공통 전극(108)과 일정 간격을 가지고 서로 엇갈리게 배치되도록 형성된다.
- <46> 상기 게이트 링크 라인(103)은 게이트 패드(106)와 게이트 라인(101) 사이를 연결하며, 그 길이가 각 게이트 링크 라인(103)마다 다르다. 즉, 도 3에 도시된 하나의 게이트 패드부(GP1)를 기준으로 보았을 때, 상기 게이트 링크 라인(103) 중 가운데 위치한 게이트 링크 라인(103)이 최단 길이를 가지며, 나머지 게이트 링크 라인(103)은 그 최단 길이의 게이트 링크 라인(103)을 기준으로 하여 점점 긴 길이를 갖는다.
- <47> 여기서, 상기 게이트 패드부(GP1)는, 액정표시장치의 제조 공정이 완료되었을 때 하나의 드라이브 IC(미도시)에 연결될 게이트 패드들(107)을 그룹으로 묶은 것을 하나의 게이트 패드부(GP1)라고 정의하겠다. 즉, 게이트 드라이브 IC의 개수와 게이트 패드부(GP1)의 개수는 같다고 정의한다.
- <48> 상기 게이트 링크 라인(103)은 상기 공통 전압 라인(105)과 반드시 오버랩되는 영역이 존재하며, 이러한 오버랩

부분은 커패시터가 형성되는데, 이 커패시터는 액정표시장치의 제조 공정 중에 발생하는 정전기로 인해 게이트 링크 라인(103)과 공통전압 라인(105)이 쇼트되는 것을 방지하는 역할을 한다. 여기서, 상기 공통 전압 라인(105)은 상기 게이트 링크 라인(103)과 오버랩되는 부분의 면적이 각각 다르게 형성되며, 이와 관련한 사항은 아래에서 공통 전압 라인(105)에 대한 설명과 함께 상세히 설명하도록 하겠다.

- <49> 상기 공통 전압 라인(105)은 도 3에 도시한 바와 같이, 박막 트랜지스터 어레이 기관(100)의 비액티브 영역(N A)에 형성되며, 상기 데이터 라인(102)과 평행하게 배치되며, 상기 게이트 라인(101)과는 교차하여 소정 부분이 오버랩된다.
- <50> 상기 박막 트랜지스터 어레이 기관(100)에는 공통 전압 라인(105)에서 분기하여 게이트 라인(101)과 일정 간격 이격되어 평행하게 형성된 공통 전압 부분 라인(107)들이 형성되며, 상기 각 화소에는 상기 공통 전압 부분 라인(107)에서 분기한 다수의 공통 전극(108)이 데이터 라인(102)과 평행하게 형성된다.
- <51> 상기 공통 전압 라인(105)은 도 3 및 도 4에 도시한 바와 같이 상기 게이트 링크 라인(103)과 오버랩되는 부분의 면적이 각각 다르다.
- <52> 즉, 상기 공통 전압 라인(105)은 상기 게이트 라인(101) 중 최단 길이를 가지는 게이트 라인(101)과 오버랩되는 영역이 최소의 면적을 가지도록 형성되며, 나머지 오버랩 영역은 최소 오버랩 면적을 기준으로 하여 점점 큰 면적을 갖도록 형성된다. 이에 따라, 상기 공통 전압 라인(105)이 상기 게이트 라인(101) 중 최장 길이를 가지는 게이트 라인(101)과 오버랩되는 영역은 최대 면적을 갖게 된다.
- <53> 설명의 편의를 위해 도 3에는 하나의 게이트 패드부(GP1)와 연결되는 게이트 링크 라인(103)과, 이 게이트 링크 라인(103)과 오버랩되는 공통 전압 라인(105)만을 나타내었지만, 나머지 게이트 패드부들과 연결되는 게이트 링크 라인(103) 및 이 게이트 링크 라인(103)과 오버랩되는 공통 전압 라인(105)도 도 3에 도시한 게이트 링크 라인(103) 및 공통 전압 라인(105)과 동일한 형상을 가진다.
- <54> 도 4에는 도 3의 B 영역을 확대하여 나타내었는데, 이를 참조하면 상기 공통 전압 라인(105)은 게이트 링크 라인(103)과 오버랩되는 부분의 좌우 폭이 공통 전압 라인(105) 중에 게이트 링크 라인(103)과 오버랩되지 않는 부분의 좌우 폭을 기준으로 하여 기관의 중심 방향으로 연장된 형상을 갖는 것을 알 수 있다.
- <55> 하지만, 본 발명의 공통 전압 라인(105)이 상기와 같은 형상에 한정되는 것은 아니며, 상기 공통 전압 라인(105)의 면적이 오버랩되는 해당 게이트 링크 라인(103)의 길이에 비례하도록 형성되는 범위 안에서 본 발명을 충분히 변경할 수 있다.
- <56> 도 5에는 도 4의 I-I선을 따라 절단한 면을 나타내었는데, 이를 참조하면 상기 공통 전압 라인(105)과 게이트 링크 라인(103)의 상하 위치관계를 알 수 있다. 즉, 상기 공통 전압 라인(105)은 상기 게이트 링크 라인(103)의 상부에 위치하며, 상기 공통 전압 라인(105)과 게이트 링크 라인(103)의 사이에는 절연막(113)이 형성되어 있다.
- <57> 이와 같이, 상기 공통 전압 라인(105)과 상기 게이트 링크 라인(103)이 절연막(113)을 사이에 두고 형성됨으로써 커패시터를 형성하게 되고, 이 커패시터는 액정표시장치의 제조 공정 중에 발생하는 정전기로 인해 상기 공통 전압 라인(105)과 게이트 링크 라인(103)이 쇼트되는 것을 방지하는 역할을 한다.
- <58> 다시 말하면, 상기와 같이 공통 전압 라인(105)과 게이트 링크 라인(103)이 절연막을 사이에 두고 커패시터가 형성된 경우는 액정표시장치의 박막 트랜지스터 어레이 기관(100)을 제조하는 공정 중에 발생하는 정전기, 즉 전하를 상기 공통 전압 라인(105)과 게이트 링크 라인(103)의 오버랩에 의해 형성된 커패시터가 충전하고 있음으로써 절연막(113)의 파괴를 방지하고, 이에 따라 공통 전압 라인(105)과 게이트 링크 라인(103)이 쇼트되는 현상을 방지하는 효과가 있다. 이렇게 상기 커패시터에 충전된 전하는 액정표시장치 제조 공정이 완료되어 정상적으로 동작하기 시작하면 액정표시장치의 내부 구성요소들에 의해 소멸된다.
- <59> 여기서, 상기 게이트 링크 라인(103)의 길이에 따라 공통 전압 라인(105)과 게이트 링크 라인(103)에 발생하는 정전기의 양이 달라지므로, 상기와 같이 공통 전압 라인(105)의 면적을 오버랩되는 해당 게이트 링크 라인(103)의 길이에 비례하도록 형성함으로써, 길이가 다른 모든 게이트 링크 라인(103)에 발생하는 정전기에 대응할 수 있는 장점이 있다.
- <60> 또한, 최근 더욱 대형화된 액정표시장치의 모델에 대한 기대가 높아지고 있으며, 이러한 대형 액정표시장치의 공통 전압 라인(105)과 게이트 링크 라인(103)에 발생하는 정전기의 양이 많은데 비해 공통 전압 라인(105)과 게이트 링크 라인(103)이 오버랩된 영역에 형성된 커패시터의 용량이 작아서 정전기에 의해 상기 공통 전압 라

인(105)과 게이트 링크 라인(103)이 쇼트되는 현상이 소형 모델에 비하여 자주 발생하게 되므로, 본 발명을 상기 대형의 액정표시장치에 적용하면 더욱 효과적이다.

<61> <제 2 실시예>

<62> 이하, 도 6을 참조하여 본 발명의 제 2 실시예를 설명하겠다.

<63> 도 6은 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치를 나타낸 평면도이다.

<64> 본 발명의 제 2 실시예를 설명함에 있어서 제 1 실시예와 반복되는 설명은 생략하겠다.

<65> 본 발명의 제 2 실시예에 따른 액정표시장치는 도 6에 도시한 바와 같이, 복수의 게이트 라인(201)과 데이터 라인(202)의 교차에 의해 정의된 화소들을 포함하는 액티브 영역(AA)과, 상기 액티브 영역(AA)의 주변부를 이루는 비액티브 영역(NA)이 형성된 기판(200); 상기 비액티브 영역(NA)에 형성되며, 상기 게이트 라인(201)과 연결된 게이트 링크 라인(203); 및 상기 게이트 링크 라인(203)과 오버랩되도록 형성되며, 각 게이트 링크 라인(203)과 오버랩되는 부분의 면적이 오버랩되는 해당 게이트 링크 라인의 길이와 비례하는 공통 전압 라인(205)을 포함하여 구성된 것을 특징으로 한다.

<66> 상기 공통 전압 라인(205)은 각 게이트 링크 라인(203)과 오버랩되는 부분의 좌우 폭이 공통 전압 라인(205) 중에 게이트 링크 라인(203)과 오버랩되지 않는 부분의 좌우 폭을 기준으로 하여 게이트 패드(206)가 형성된 부분 방향으로 연장된 형상을 갖는다.

<67> 상기와 같은 액정표시장치의 구조는 액정표시장치의 박막 트랜지스터 어레이 기판(200)을 제조하는 공정 중에 발생하는 정전기, 즉 전하를 상기 공통 전압 라인(205)과 게이트 링크 라인(203)의 오버랩에 의해 형성된 커패시터가 충전하고 있음으로써 공통 전압 라인(205)과 게이트 링크 라인(203) 사이에 형성된 절연막(도 5의 113 참조)의 파괴를 방지하고, 이에 따라 공통 전압 라인(205)과 게이트 링크 라인(203)이 쇼트되는 것을 방지하는 효과가 있다.

<68> 여기서, 상기 게이트 링크 라인(203)의 길이에 따라 공통 전압 라인(205)과 게이트 링크 라인(203)에 발생하는 정전기의 양이 달라지므로, 상기와 같이 공통 전압 라인(205)의 면적을 오버랩되는 해당 게이트 링크 라인(203)의 길이에 비례하도록 형성함으로써, 길이가 다른 모든 게이트 링크 라인(203)에 발생하는 정전기에 대응할 수 있는 장점이 있다.

<69> <제 3 실시예>

<70> 이하, 도 7을 참조하여 본 발명의 제 3 실시예를 설명하겠다.

<71> 도 7은 본 발명의 제 3 실시예에 따른 횡전계형 액정표시장치를 나타낸 평면도이다.

<72> 본 발명의 제 3 실시예를 설명함에 있어서 제 1 실시예 및 제 2 실시예와 반복되는 설명은 생략하겠다.

<73> 본 발명의 제 3 실시예에 따른 액정표시장치는 도 7에 도시한 바와 같이, 복수의 게이트 라인(301)과 데이터 라인(302)의 교차에 의해 정의된 화소들을 포함하는 액티브 영역(AA)과, 상기 액티브 영역(AA)의 주변부를 이루는 비액티브 영역(NA)이 형성된 기판(300); 상기 비액티브 영역(NA)에 형성되며, 상기 게이트 라인(301)과 연결된 게이트 링크 라인(303); 및 상기 게이트 링크 라인(303)과 오버랩되도록 형성되며, 각 게이트 링크 라인(303)과 오버랩되는 부분의 면적이 오버랩되는 해당 게이트 링크 라인의 길이와 비례하는 공통 전압 라인(305)을 포함하여 구성된 것을 특징으로 한다.

<74> 상기 공통 전압 라인(305)은 각 게이트 링크 라인(303)과 오버랩되는 부분의 좌우 폭이 공통 전압 라인(305) 중에 게이트 링크 라인(303)과 오버랩되지 않는 부분의 좌우 폭을 기준으로 하여 양쪽으로 연장된 형상을 갖는다.

<75> 상기와 같은 액정표시장치의 구조는 액정표시장치의 박막 트랜지스터 어레이 기판을 제조하는 공정 중에 발생하는 정전기, 즉 전하를 상기 공통 전압 라인(305)과 게이트 링크 라인(303)의 오버랩에 의해 형성된 커패시터가 충전하고 있음으로써 공통 전압 라인(305)과 게이트 링크 라인(303) 사이에 형성된 절연막(도 5의 113 참조)의 파괴를 방지하고, 이에 따라 공통 전압 라인(305)과 게이트 링크 라인(303)이 쇼트되는 것을 방지하는 효과가 있다.

<76> 여기서, 상기 게이트 링크 라인(303)의 길이에 따라 공통 전압 라인(305)과 게이트 링크 라인(303)에 발생하는 정전기의 양이 달라지므로, 상기와 같이 공통 전압 라인(305)의 면적을 오버랩되는 해당 게이트 링크 라인(303)의 길이에 비례하도록 형성함으로써, 길이가 다른 모든 게이트 링크 라인(303)에 발생하는 정전기에 대응할

수 있는 장점이 있다.

<77> <제 4 실시예>

<78> 이하, 도 8을 참조하여 본 발명의 제 4 실시예를 설명하겠다.

<79> 도 8은 본 발명의 제 4 실시예에 따른 횡전계형 액정표시장치를 나타낸 평면도이다.

<80> 본 발명의 제 4 실시예를 설명함에 있어서 제 1 내지 제 3 실시예와 반복되는 설명은 생략하겠다.

<81> 본 발명의 제 4 실시예는 더블 게이트형 액정표시장치에 본 발명을 적용한 예로서, 본 발명의 제 4 실시예에 따른 액정표시장치는 도 8에 도시한 바와 같이, 복수의 게이트 라인(401)과 데이터 라인(402)의 교차에 의해 정의된 화소들을 포함하는 액티브 영역(AA)과, 상기 액티브 영역(AA)의 주변부를 이루는 비액티브 영역(NA)이 형성된 기판(400); 상기 비액티브 영역(NA)에 형성되며, 상기 게이트 라인(401)의 양단에 형성된 게이트 링크 라인(403,411); 및 상기 게이트 링크 라인(403,411)과 오버랩되도록 형성되며, 각 게이트 링크 라인(403,411)과 오버랩되는 부분의 면적이 오버랩되는 해당 게이트 링크 라인의 길이와 비례하는 공통 전압 라인(405,410)을 포함하여 구성된 것을 특징으로 한다.

<82> 상기 공통 전압 라인(405,410)은 게이트 링크 라인(403,411)과 오버랩되는 부분의 좌우 폭이 공통 전압 라인(405,410) 중에 게이트 링크 라인(403,411)과 오버랩되지 않는 부분의 좌우 폭을 기준으로 하여 기판의 중심 방향으로 연장된 형상을 갖는다.

<83> 하지만, 본 발명의 공통 전압 라인(405,410)이 상기와 같은 형상에 한정되는 것은 아니며, 상기 공통 전압 라인(405,410)의 면적이 오버랩되는 해당 게이트 링크 라인(403,411)의 길이에 비례하도록 형성되는 범위 안에서 본 발명을 충분히 변경할 수 있다.

<84> 본 발명의 제 4 실시예에 따른 더블 게이트형 액정표시장치는 도면에 도시하지는 않았지만, 상기 액티브 영역(AA)을 기준으로 하여 좌측에 있는 공통 전압 라인(405)은 본 발명의 제 1 실시예에서 설명한 바와 같이 게이트 링크 라인(403)보다 위의 층에 위치하고, 상기 액티브 영역(AA)을 기준으로 하여 우측에 있는 공통 전압 라인(410)은 게이트 링크 라인(411)보다 아래의 층에 위치한다. 하지만, 액티브 영역(AA)을 기준으로 좌측에 있는 공통 전압 라인(405)과 우측에 있는 공통 전압 라인(410) 모두, 공통 전압 라인(405,410)이 오버랩되는 해당 게이트 링크 라인(403,411)의 길이와 비례하는 면적을 가지는 특징은 본 발명의 제 1 내지 제 3 실시예와 동일하다.

<85> 상기와 같은 액정표시장치의 구조는 액정표시장치의 박막 트랜지스터 어레이 기판(400)을 제조하는 공정 중에 발생하는 정전기, 즉 전하를 상기 공통 전압 라인(405,410)과 게이트 링크 라인(403,411)의 오버랩에 의해 형성된 커패시터가 충전하고 있음으로써 공통 전압 라인(405,410)과 게이트 링크 라인(403,411) 사이에 형성된 절연막(도 5의 113 참조)의 파괴를 방지하고, 이에 따라 공통 전압 라인(405,410)과 게이트 링크 라인(403,411)이 쇼트되는 현상을 방지하는 효과가 있다.

<86> 여기서, 상기 게이트 링크 라인(403,411)의 길이에 따라 공통 전압 라인(405,410)과 게이트 링크 라인(403,411)에 발생하는 정전기의 양이 달라지므로, 상기와 같이 공통 전압 라인(405,410)의 면적을 오버랩되는 해당 게이트 링크 라인(403,411)의 길이에 비례하도록 형성함으로써, 길이가 다른 모든 게이트 링크 라인(403,411)에 발생하는 정전기에 대응할 수 있는 장점이 있다.

### 발명의 효과

<87> 이상에서 상세히 설명한 바와 같이 본 발명은, 공통 전압 라인이 다수의 게이트 링크 라인과 오버랩되는 부분의 면적을 오버랩되는 해당 게이트 링크 라인의 길이와 비례하는 면적을 가지도록 설계하여 적용함으로써, 박막 트랜지스터 어레이 기판 제조 공정에서 발생하는 정전기에 효율적으로 대응할 수 있는 장점이 있다.

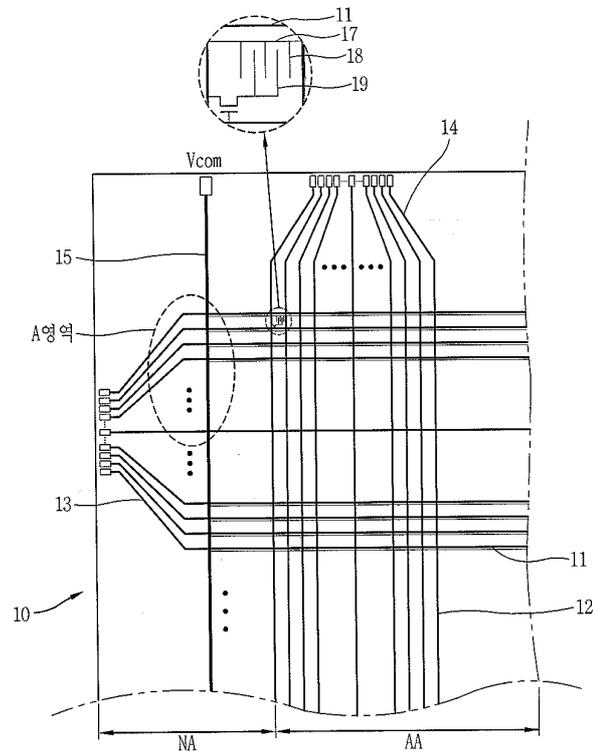
<88> 즉, 액정표시장치의 제조 공정 중에 발생하는 정전기에 의해 공통 전압 라인과 게이트 링크 라인 사이에 형성된 절연막이 파괴되는 것을 방지하여 공통 전압 라인과 게이트 링크 라인이 쇼트 되는 현상을 최소화함으로써, 액정표시장치의 불량률을 최소화함과 동시에 이에 따른 액정표시장치 재료의 낭비를 최소화할 수 있는 효과가 있다.

### 도면의 간단한 설명

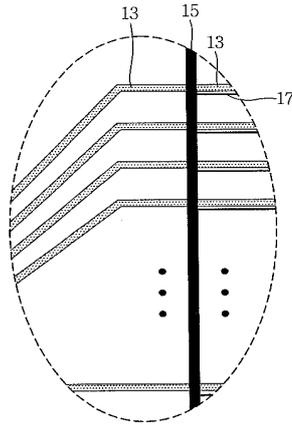
- <1> 도 1은 일반적인 횡전계형 액정표시장치를 나타낸 평면도.
- <2> 도 2는 도 1의 A영역을 상세히 나타낸 평면도.
- <3> 도 3은 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치를 나타낸 평면도.
- <4> 도 4는 도 3의 B영역을 상세히 나타낸 평면도.
- <5> 도 5는 도 4의 I-I 선을 따라 절단한 면을 나타낸 단면도.
- <6> 도 6은 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치를 나타낸 평면도.
- <7> 도 7은 본 발명의 제 3 실시예에 따른 횡전계형 액정표시장치를 나타낸 평면도.
- <8> 도 8은 본 발명의 제 4 실시예에 따른 횡전계형 액정표시장치를 나타낸 평면도.
- <9> \*\*도면의 주요 부분에 대한 부호의 설명\*\*
- <10> 100,200,300,400:박막 트랜지스터 어레이 기판
- <11> 101,201,301,401:게이트 라인
- <12> 102,202,302,402:데이터 라인
- <13> 105,205,305,405,410:공통 전압 라인
- <14> 103,203,303,403,411:게이트 링크 라인

**도면**

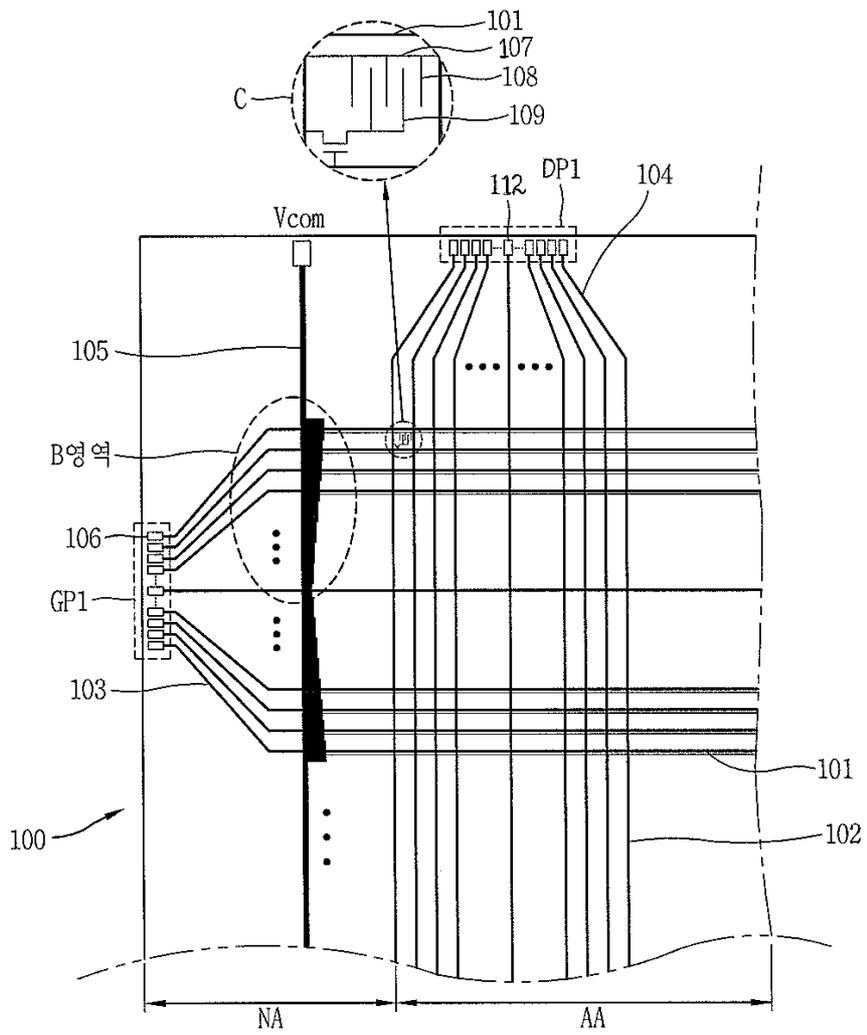
**도면1**



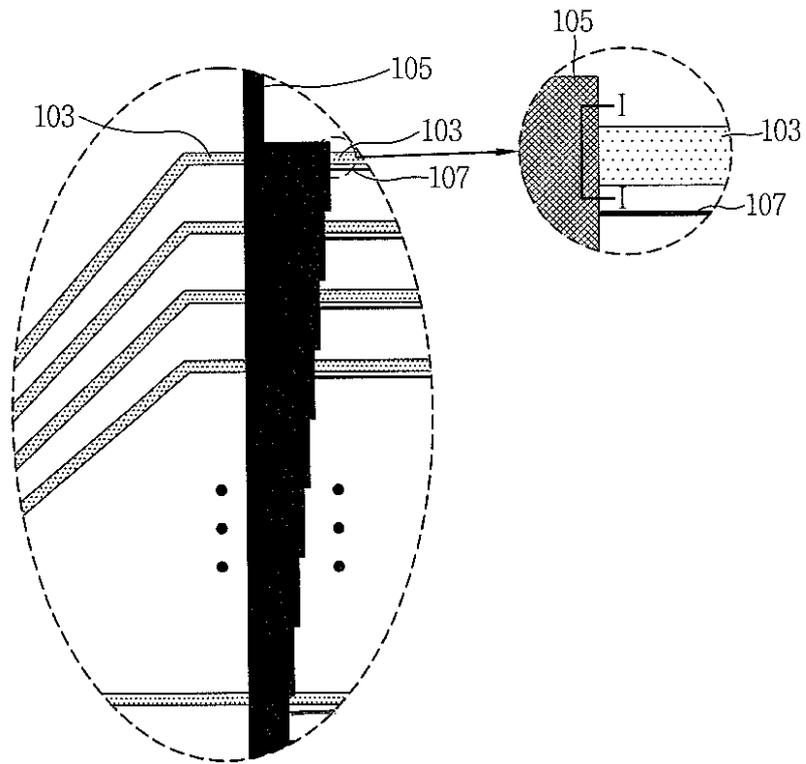
도면2



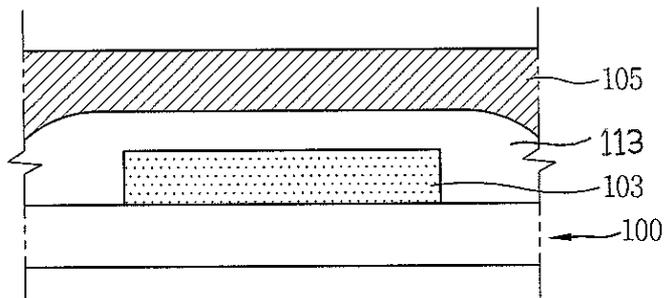
도면3



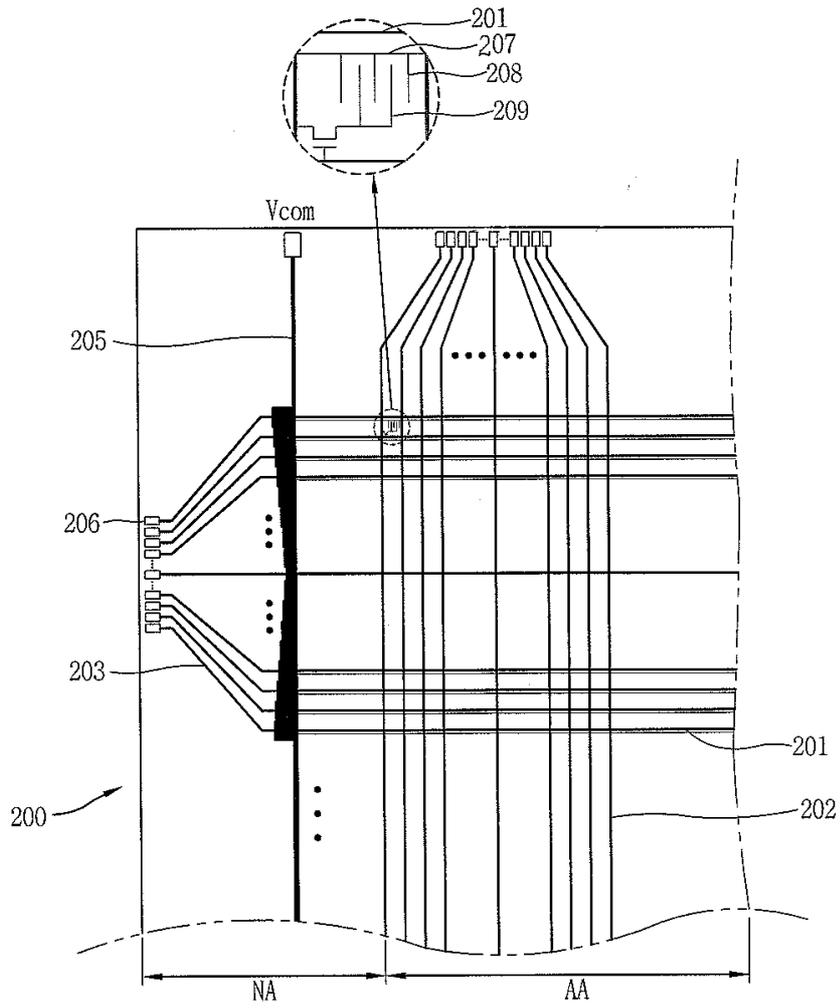
도면4



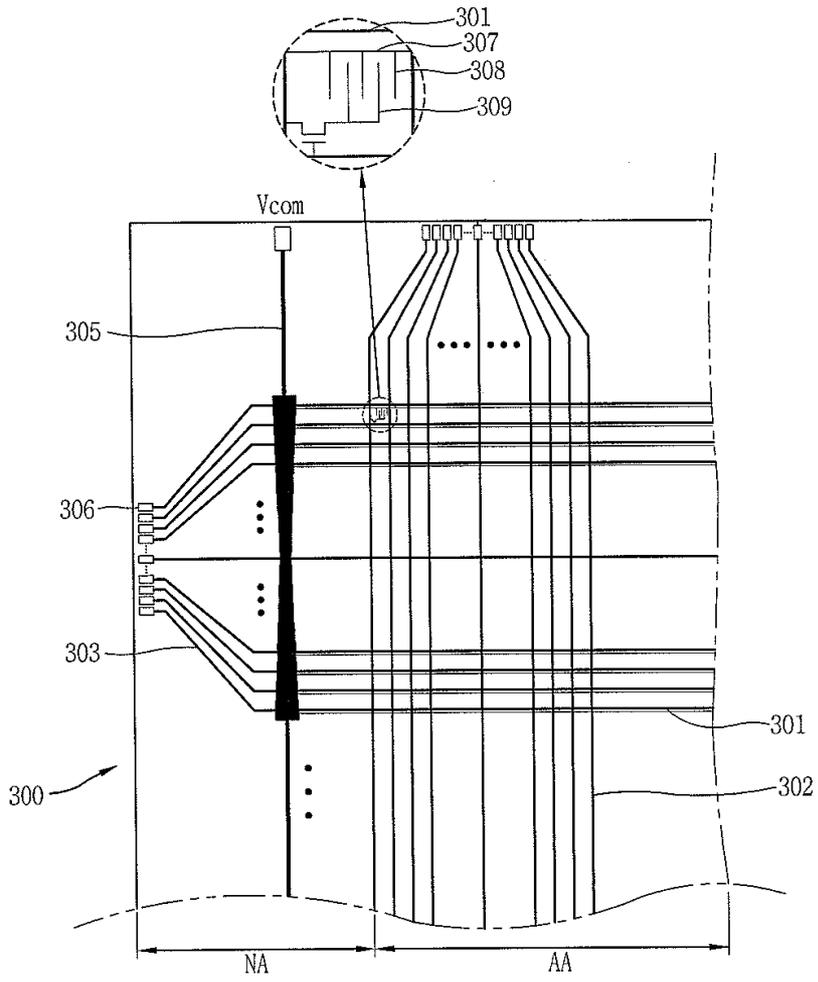
도면5



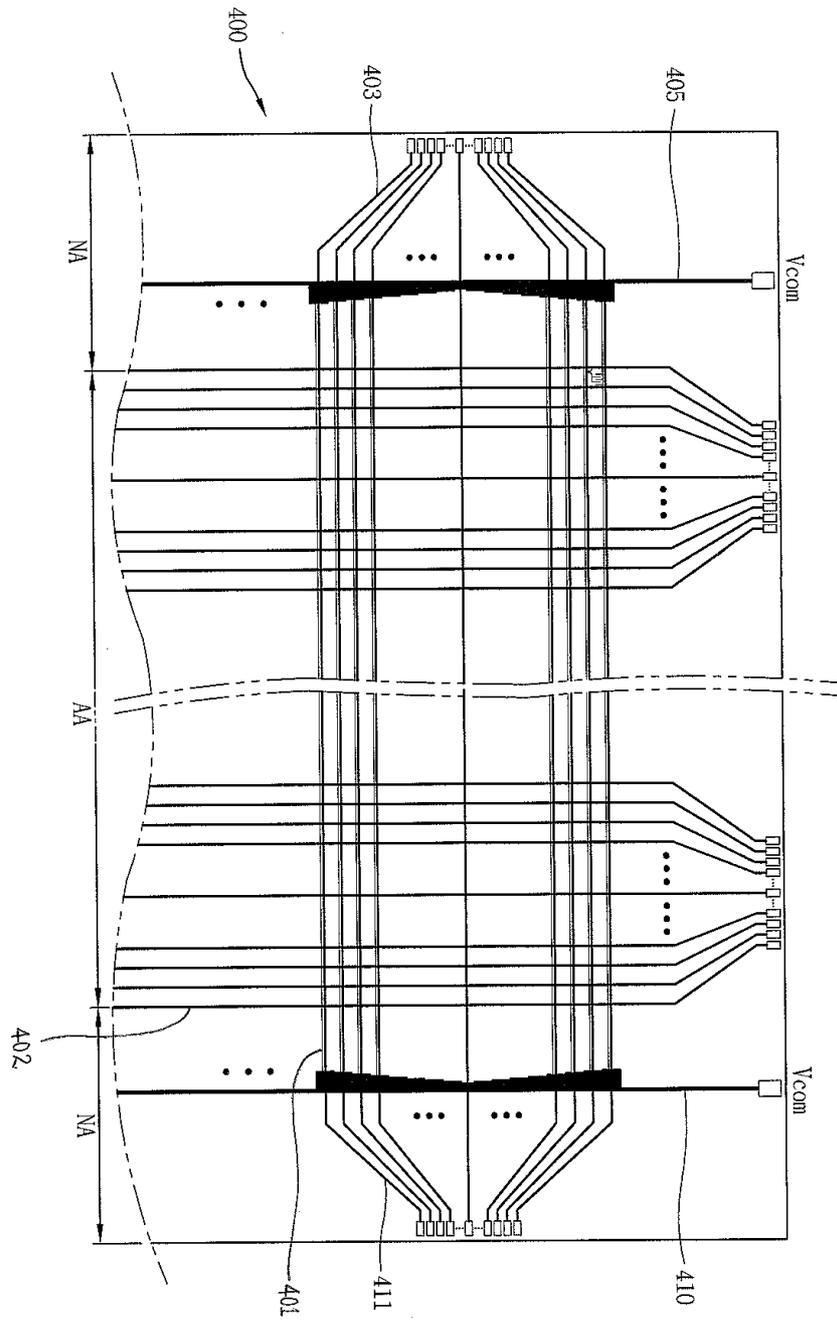
도면6



도면7



도면8



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020080049551A</a>	公开(公告)日	2008-06-04
申请号	KR1020060120214	申请日	2006-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO MYUNG JUN		
发明人	CHO,MYUNG JUN		
IPC分类号	G02F1/133 G02F1/1343		
CPC分类号	G02F1/136286 G02F1/134363 G02F2201/121 G02F2201/123 G09G3/3696		
代理人(译)	PARK , JANG WON		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及一种面内切换液晶装置，尤其涉及一种利用液晶显示器制造过程中产生的静电的栅极连接线和防止公共电压线短路的技术。在衬底中形成这样的发明：非有源区，其中形成有源区，包括由数据线和多条栅极线的交叉限定的像素，以及包括有源区的外围单元的非有源区。并且形成为与栅极连接线重叠：连接到栅极线和栅极连接线。并且它通过公共电压线实现，该公共电压线与与每个栅极连接线重叠的部分的区域与相应的栅极连接线重叠的长度成比例。

