



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1343 (2006.01)

(11) 공개번호 10-2007-0028835
(43) 공개일자 2007년03월13일

(21) 출원번호 10-2005-0083534
(22) 출원일자 2005년09월08일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 유승후
경기도 성남시 분당구 수내동 로얄팰리스 하우스빌 B동 1202호
엄윤성
경기도 용인시 상현동 만현마을 쌍용아파트 216동 1702호
창학선
경기도 용인시 풍덕천동 동부아파트 103동 203호
김현욱
경기도 용인시 기흥읍 농서리 산 24번지
도희욱
경기도 수원시 팔당구 인계동 1007-5번지
김강우
서울특별시 강남구 도곡동 941-8 503호

(74) 대리인 유미특허법인

전체 청구항 수 : 총 8 항

(54) 박막 트랜지스터 표시판

(57) 요약

본 발명의 실시예에 따른 박막 트랜지스터 표시판은 기판, 기판 위에 형성되어 있는 복수의 게이트선, 기판 위에 형성되어 있으며 투명한 도전체로 이루어진 복수의 공통 전극, 게이트선과 교차하는 데이터선, 게이트선 및 데이터선과 연결되어 있는 박막 트랜지스터, 박막 트랜지스터와 연결되어 있으며 공통 전극과 중첩하고 있는 복수의 화소 전극을 포함한다. 이때, 화소 전극은 서로 연결되어 있으며 서로 평행하게 뻗어 있는 복수의 가지 전극을 포함하며, 가지 전극은 가지 전극이 뻗은 방향에 대하여 둔각으로 기울어진 경계선을 가지는 홈을 포함한다.

대표도

도 4

특허청구의 범위

청구항 1.

기관,
 상기 기관 위에 형성되어 있는 복수의 게이트선,
 상기 기관 위에 형성되어 있으며 투명한 도전체로 이루어진 복수의 공통 전극,
 상기 게이트선과 교차하는 데이터선,
 상기 게이트선 및 상기 데이터선과 연결되어 있는 박막 트랜지스터,
 상기 박막 트랜지스터와 연결되어 있으며, 상기 공통 전극과 중첩하고 있는 복수의 화소 전극
 을 포함하고,
 상기 화소 전극은 서로 연결되어 있으며 서로 평행하게 뻗어 있는 복수의 가지 전극을 포함하며, 상기 가지 전극은 상기 가지 전극이 뻗은 방향에 대하여 둔각으로 기울어진 경계선을 가지는 홈을 포함하는 박막 트랜지스터 표시판.

청구항 2.

제1항에서,
 상기 홈은 상기 가지 전극에 대하여 교대로 배치되어 있는 박막 트랜지스터 표시판.

청구항 3.

제1항에서,
 상기 홈은 상기 게이트선과 평행한 상기 화소 전극의 중심선으로 향하는 상기 가지 전극의 변에 위치하는 박막 트랜지스터 표시판.

청구항 4.

제1항에서,
 상기 공통 전극은 상기 가지 전극 사이에서 연속적인 면으로 이루어져 있는 박막 트랜지스터 표시판.

청구항 5.

제1항에서,
 상기 가지 전극은 서로 다른 영역에 각각 배치되어 있는 제1 가지 전극과 제2 가지 전극을 포함하는 박막 트랜지스터 표시판.

청구항 6.

제5항에서,

상기 제1 및 제2 가지 전극은 상기 게이트선을 나란한 상기 화소 전극의 중심선에 대하여 대칭인 박막 트랜지스터 표시판.

청구항 7.

제1항에서,

상기 가지 전극은 상기 게이트선 또는 상기 데이터선에 대하여 임의의 각으로 기울어져 있는 박막 트랜지스터 표시판.

청구항 8.

제1항에서,

상기 공통 전극을 공통으로 연결하는 공통 전극선을 더 포함하는 박막 트랜지스터 표시판.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 표시판에 관한 것으로, 더욱 상세하게는 액정 표시 장치의 한 기관으로 사용하는 박막 트랜지스터 표시판에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

그 중에서도 전계가 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향(VA, vertical alignment) 모드 액정 표시 장치는 대비비가 커서 각광받고 있다.

그러나, 광시야각에 문제가 있어 수직 배향 모드의 액정 표시 장치에 절개부를 적용한 PVA(patterned vertically aligned) 모드의 액정 표시 장치, IPS(in-plane switching) 모드의 액정 표시 장치 및 PLS(plane to line switching) 모드의 액정 표시 장치가 개발되었다. 이때, 액정 물질은 유전율 이방성이 양(positive) 및 음(negative)인 모두를 사용할 수 있다.

그러나, 음의 유전율을 가지는 액정 물질을 사용하는 액정 표시 장치는 높은 투과율을 극대화할 수 있으나 응답 속도가 느린 단점을 가지고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 기술적 과제는 음의 유전율 이방성을 가지는 PLS 모드의 액정 표시 장치에서 응답 속도를 극대화할 수 있는 박막 트랜지스터 표시판을 제공하는 것이다.

발명의 구성

본 발명의 일 실시예에 박막 트랜지스터 표시판은 기관, 상기 기관 위에 형성되어 있는 복수의 게이트선, 상기 기관 위에 형성되어 있으며 투명한 도전체로 이루어진 복수의 공통 전극, 상기 게이트선과 교차하는 데이터선, 상기 게이트선 및 상

기 데이터선과 연결되어 있는 박막 트랜지스터, 상기 박막 트랜지스터와 연결되어 있으며, 상기 공통 전극과 중첩하고 있는 복수의 화소 전극을 포함한다. 이때, 화소 전극은 서로 연결되어 있으며 서로 평행하게 뻗어 있는 복수의 가지 전극을 포함하며, 가지 전극은 가지 전극이 뻗은 방향에 대하여 둔각으로 기울어진 경계선을 가지는 홈을 포함한다.

홈은 가지 전극에 대하여 교대로 배치되어 있으며, 게이트선과 평행한 화소 전극의 중심선으로 향하는 가지 전극의 변에 위치하는 것이 바람직하다.

공통 전극은 가지 전극 사이에서 연속적인 면으로 이루어져 있으며, 가지 전극은 서로 다른 영역에 각각 배치되어 있는 제 1 가지 전극과 제 2 가지 전극을 포함할 수 있다.

제 1 및 제 2 가지 전극은 게이트선을 나란한 화소 전극의 중심선에 대하여 대칭인 것이 바람직하다.

가지 전극은 게이트선 또는 데이터선에 대하여 임의의 각으로 기울어져 있는 것이 바람직하다.

이러한 박막 트랜지스터 표시판은 공통 전극을 공통으로 연결하는 공통 전극선을 더 포함할 수 있다.

그러면, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 첨부한 도면을 참고로 하여 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 실시예에 따른 액정 표시 장치의 한 기관으로 사용하는 박막 트랜지스터 표시판에 대하여 도면을 참고로 하여 상세하게 설명한다.

먼저, 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조에 대하여 도 1 내지 도 4를 참조하여 구체적으로 설명하기로 한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 2 및 도 3은 도 1의 박막 트랜지스터 표시판을 II-II 및 III-III 선을 따라 잘라 도시한 각각의 단면도이고, 도 4는 도 1의 박막 트랜지스터 표시판에서 A 부분을 확대하여 도시한 확대도이다.

투명한 유리 또는 플라스틱 따위로 만들어진 절연 기관(110) 위에 복수의 게이트선(gate line)(121), 복수의 공통 전극선(125) 및 복수의 공통 전극(common electrode)(131)이 형성되어 있다.

게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 위아래로 돌출한 복수의 게이트 전극(gate electrode)(124)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(129)을 포함한다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)는 집적 회로 칩의 형태로 기관(110) 위에 부착되는 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되거나, 기관(110) 위에 직접 장착될 수 있고, 또는 기관(110)에 집적될 수 있다. 게이트 구동 회로가 기관(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 이와 직접 연결될 수 있다.

공통 전극선(125)은 공통 전압(common voltage)을 전달하며, 게이트선(121)과 거의 평행하게 가로 방향으로 뻗어 있다. 공통 전극선(125)은 게이트선(121)과 동일한 층으로 이루어져 있는데, 이웃하는 두 게이트선(121) 사이의 중앙에 위치하며, 누설되는 빛을 차단하기 위해 아래위로 돌출한 확장부(125')를 가진다.

게이트선(121) 및 공통 전극선(125)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다층막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막

은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 게이트선(121)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

게이트선(121) 및 공통 전극선(125)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30도 내지 약 80도인 것이 바람직하다.

복수의 공통 전극(131)은 공통 전극선(125)에 공통으로 연결되어 공통 전극선(125)으로부터 공통 전압(common voltage)을 인가 받는다. 공통 전극(131)은 직사각형으로 모양을 이루고 매트릭스 형태로 배열되어 게이트선(121) 사이의 공간을 거의 채우고 있다. 공통 전극(131)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질로 만들어지며, 공통 전극선(125)은 공통 전극(131)과 동일한 층으로 만들어질 수 있다.

게이트선(121), 공통 전극선(125) 및 공통 전극(131) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다. 게이트 절연막(140)은 게이트선(121)과 공통 전극(131)이 서로 단락되는 것을 방지하고, 이들 위에 형성되는 다른 도전성 박막과의 절연을 도모한다.

게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 복수의 섹형 반도체(154)가 형성되어 있다. 섹형 반도체(154)는 게이트 전극(124) 위에 위치하며, 게이트선(121)의 경계를 덮는 연장부(extension)를 포함하는데, 연장부는 섹형 반도체(154)로부터 분리될 수 있다.

섹형 반도체(154) 위에는 복수의 섹형 저항성 접촉 부재(ohmic contact)(163, 165)가 형성되어 있다. 저항성 접촉 부재(163, 165)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 섹형 저항성 접촉 부재(163, 165)는 쌍을 이루어 섹형 반도체(154) 위에 배치되어 있다.

섹형 반도체(154)와 저항성 접촉 부재(163, 165)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 경사각은 30도 내지 80도 정도이다.

저항성 접촉 부재(163, 165) 및 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175)이 형성되어 있다.

데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 게이트 전극(124)을 향하여 뻗은 복수의 소스 전극(source electrode)(173)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 데이터 구동 회로가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.

드레인 전극(175)은 데이터선(171)과 분리되어 있고 게이트 전극(124)을 중심으로 소스 전극(173)과 마주 본다. 각 드레인 전극(175)은 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 가지고 있으며, 막대형 끝 부분은 U자형으로 구부러진 소스 전극(173)으로 일부 둘러싸여 있다.

하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 섹형 반도체(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 반도체(154)에 형성된다.

데이터선(171) 및 드레인 전극(175)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴(합금) 하부막과 알루미늄(합금) 상부막의 이중막, 몰리브덴(합금) 하부막과 알루미늄(합금) 중간막과 몰리브덴(합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터선(171) 및 드레인 전극(175)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

저항성 접촉 부재(163, 165)는 그 아래의 반도체(154)와 그 위의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 준다. 게이트선(121) 위에 위치한 반도체(154)의 연장부는 표면의 프로파일을 부드럽게 함으로써 데이터선(171)이 단선되는 것을 방지한다. 반도체(154)에는 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)으로 가리지 않고 노출된 부분이 있다.

데이터선(171), 드레인 전극(175) 및 노출된 반도체(151) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 무기 절연물 또는 유기 절연물 따위로 만들어지며, 무기 절연물의 예로는 질화규소와 산화규소를 들 수 있다. 유기 절연물은 감광성(photosensitivity)을 가질 수 있으며 그 유전 상부(dielectric constant)는 약 4.0 이하인 것이 바람직하다. 그러나 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(154) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.

보호막(180)에는 데이터선(171)의 끝 부분(179)과 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181)이 형성되어 있다.

보호막(180) 위에는 복수의 화소 전극(pixel electrode line)(191) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질로 만들어질 수 있다.

화소 전극(191) 각각은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적 및 전기적으로 연결되어 있으며, 각각 드레인 전극(175)으로부터 데이터 전압을 인가 받는다.

데이터 전압이 인가된 화소 전극(191)은 공통 전압을 인가 받는 공통 전극(131)과 함께 전기장을 생성함으로써 두 전극(191, 131) 위에 위치하는 액정층(도시하지 않음)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층을 통과하는 빛의 편광이 달라진다.

화소 전극(191)과 공통 전극(131)은 액정층(3)을 유전체로 액정 축전기(Cl_c, 도시하지 않음)를 이루어 박막 트랜지스터가 된 오프된 후에도 인가된 전압을 유지하는데, 이들(191, 131)은 또한 게이트 절연막(140) 및 보호막(180)을 유전체로 유지 축전기(C_{st}, 도시하지 않음)를 이루어 액정 축전기의 전압 유지 능력을 강화시킨다.

화소 전극(191)은 주로 가로 방향으로 뻗어 있으며 공통 전극(31)과 중첩하고 서로 분리되어 있는 복수의 가지 전극(191a)과 가지 전극(191a)을 서로 연결하는 연결부(191b)를 포함한다.

복수의 가지 전극(191a)은 게이트선(121)에 대하여 소정의 각도(θ_s)로 기울어져 있으며 게이트선(121)과 평행한 화소 전극(191)의 중심선에 대하여 대칭을 이루는 복수의 하부 및 상부 가지 전극을 포함한다. 여기서, 수직 방향(R)은 액정 분자(310)의 러빙 방향이고, 상부 및 하부 가지 전극(191a)이 뻗은 방향에 대한 수직 방향은 "S1" 및 "S2"이다. 이때, 게이트선(121)과 평행한 화소 전극(191)의 중심선으로 향하는 상부 및 하부 가지 전극(191a)의 변에는 가지 전극(191a)의 안쪽으로 패인 홈(191a')이 배치되어 있다. 이때, 홈(191a')은 상부 및 하부 가지 전극(191a)에 대하여 교대로 배치되어 있으며, 가지 전극(191a)을 정의하는 경계선에 대하여 180°이하의 둔각으로 기울어진 경계선을 가진다. 이와 같은 구조에서는 공통 전극(131)과 화소 전극(191)에 최대의 전위 차가 발생하도록 전압이 인가되었을 때, 홈(191a')을 제외한 다른 부분에 위치하는 액정 분자(310)들은 음의 유전율 이방성을 가지기 때문에 공통 전극(131)과 화소 전극(191) 사이에 형성되는 전기장에 대하여 수직한 방향으로 기울어져 수평 방향에 대하여 작은 전극 각도로 기울어진다. 여기서, 전극 각도는 러빙 방향과 전기장 방향 사이의 각으로 정의되며, 이때 전극 각도는 θ_s 가 된다. 그런데, 홈(191a')의 근처에서는 홈(191a')이 가지 전극(191a)이 뻗은 방향에 대하여 둔각으로 기울어진 경계선을 가지고 있어, 전기장의 방향이 가지 전극(191a)이 뻗은 방향이 큰 각도로 형성되기 때문에 전극 각도가 커진다. 이와 같이, 홈(191a')에 대응하는 부분에 위치하는 액정 분자들은 큰 전극 각도를 가지기 때문에 빠르게 동작하며, 나머지 액정 분자들은 연쇄적으로 동작하여 전체적으로 응답 속도가 향상된다. 따라서, 본 발명에서는 전체적으로 전극 각도를 작게 하여 높은 투과율을 확보하면서, 홈(191a')을 이용하여 부분적으로 전극 각도를 크게 하여 응답 속도를 향상시킬 수 있다. 전극 각도와 투과율 및 응답 속도에 대해서는 이후에 구체적으로 도면을 참조하여 설명하기로 한다. 이때, 홈(191a')의 간격을 좁으며, 투과율이 감소할 수 있으므로 홈(191a')의 간격을 적절하게 유지하는 것이 바람직하며, 가지 전극(191a)이 뻗은 방향에 대하여 둔각으로 기울어진 홈(191a')의 경계선 또한 투과율 저하를 고려하여 최적화하는 것이 바람직하다.

연결부(191b)는 화소 전극(191)의 가장자리 둘레를 정의하면서 가지 전극(191a)의 양쪽 끝과 상부 및 하부 부분을 연결하고 있다.

접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 외부 장치와의 접촉성을 보완하고 이들을 보호한다.

일반적으로 액정의 응답 속도는 상승 시간(rising time)과 하강 시간(falling time)의 합이며, 상승 시간은 공통 전극(131)과 화소 전극(191)에 충분히 큰 전위 차가 발생하도록 전압을 인가했을 때 액정 분자가 반응하는 응답 시간이다. 하강 시간은 충분한 전위 차의 전압을 인가한 상태에서 충분히 낮은 전위 차가 발생하도록 전압을 인가했을 때 액정 분자가 반응하는 응답 시간, 즉 액정 분자가 원리의 상태로 돌아가는 시간이다. 이때, 전계 생성 전극(191, 131) 사이에서 발생하는 전기장의 세기가 클수록 회전력(torque, N)은 커지고 응답 속도 또한 빨라지며, 회전력(N)은 $\Delta\epsilon \cdot E^2 \cdot \sin\Psi$ 와 같은 식으로 주어진다. 여기서, $\Delta\epsilon$ 는 액정의 유전율 이방성이고, E는 전기장의 세기이고, Ψ 는 러빙 방향과 전기장 방향 사이의 각도 즉, 전극 각도이다. 따라서, 전극 각도(Ψ)가 클수록 응답 속도가 빨라진다는 것을 알 수 있다. 한편, 러빙 각도는 증가할수록 투과율이 떨어짐을 예상할 수 있는데, 실질적으로 러빙 각도를 변화시키면서 응답 속도 및 투과율을 측정하였으며, 내용은 다음과 같다.

도 5는 본 발명의 실험예에서 러빙 각도에 따른 응답 속도의 변화를 나타낸 그래프이고, 도 6은 본 발명의 실험예에서 러빙 각도에 따른 투과율의 변화를 나타낸 표이다. 응답 속도를 측정할 때 전계 생성 전극의 최대 및 최소 전위 차는 5.0V 및 0.5V이고, -3.8의 유전율을 이방성을 가지는 액정을 사용하였다. 또한, 투과율을 측정하기 위해서는 최대 전위 차는 6V가 되도록 전압을 인가하였다. 여기서, 상승 시간, 하강 시간 및 응답 속도는 "Tr", "Tf" 및 "Ttotal"로 표시하였다.

도 5에서 보는 바와 같이, 러빙 각도가 30°, 20°, 10°로 감소하면서 액정 분자의 응답 속도는 증가하는 것을 알 수 있으며, 도 6에서 보는 바와 같이 러빙 각도가 10°, 20°, 30°로 증가하면서 투과율은 감소하는 것으로 나타났다.

또한, 도 1에 도시한 바와 같이, 화소 전극(191)의 상부 및 하부 가지 전극(191a)에 대응하는 영역에 위치하는 액정 분자(310)는 가지 전극(191a)에 대하여 초기 비틀림각(θ_s)을 가지도록 배향되어 있다.

초기 비틀림각(θ_s)은 러빙 방향(R)과 화소 전극(191)의 길이 방향(S1, S2)에 대한 수직과 이루는 각으로 정의된다.

이 때, 화소 전극(191)의 상부 가지 전극(191a)에 대응하는 영역에 위치하는 액정 분자(310)는 전압인가 시 초기 비틀림각(θ_s)에 의해 반시계 반대 방향으로 회전하며, 화소 전극(191)의 하부 가지 전극(191a)에 대응하는 영역에 위치하는 액정 분자(310)는 전압인가 시 초기 비틀림각(θ_s)에 의해 시계 방향으로 회전한다. 따라서, 두 개의 도메인이 형성되며, 좌우 방향에서의 시인성이 향상된다.

발명의 효과

본 발명에 따른 박막 트랜지스터 표시판에서는 화소 전극의 가지 전극이 뺨은 방향에 대하여 둔각으로 기울어진 경계선을 가지는 홈을 가지고 있어 높은 투과율을 확보할 수 있는 동시에 응답 속도를 향상시킬 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서, 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,

도 2 및 도 3은 도 1의 박막 트랜지스터 표시판을 II-II 및 III-III 선을 따라 잘라 도시한 각각의 단면도이고,

도 4는 도 1의 박막 트랜지스터 표시판에서 A 부분을 확대하여 도시한 확대도이고,

도 5는 본 발명의 실험예에서 러빙 각도에 따른 응답 속도의 변화를 측정한 그래프이고,

도 6은 본 발명의 실험예에서 러빙 각도에 따른 투과율의 변화를 측정한 표이다.

<도면의 주요부분에 대한 부호의 설명>

110: 기관 121, 129: 게이트선

124: 게이트 전극 131: 공통 전극

125: 공통 전극선 140: 게이트 절연막

154: 반도체 163, 165: 저항성 접촉 부재

171, 179: 데이터선 173: 소스 전극

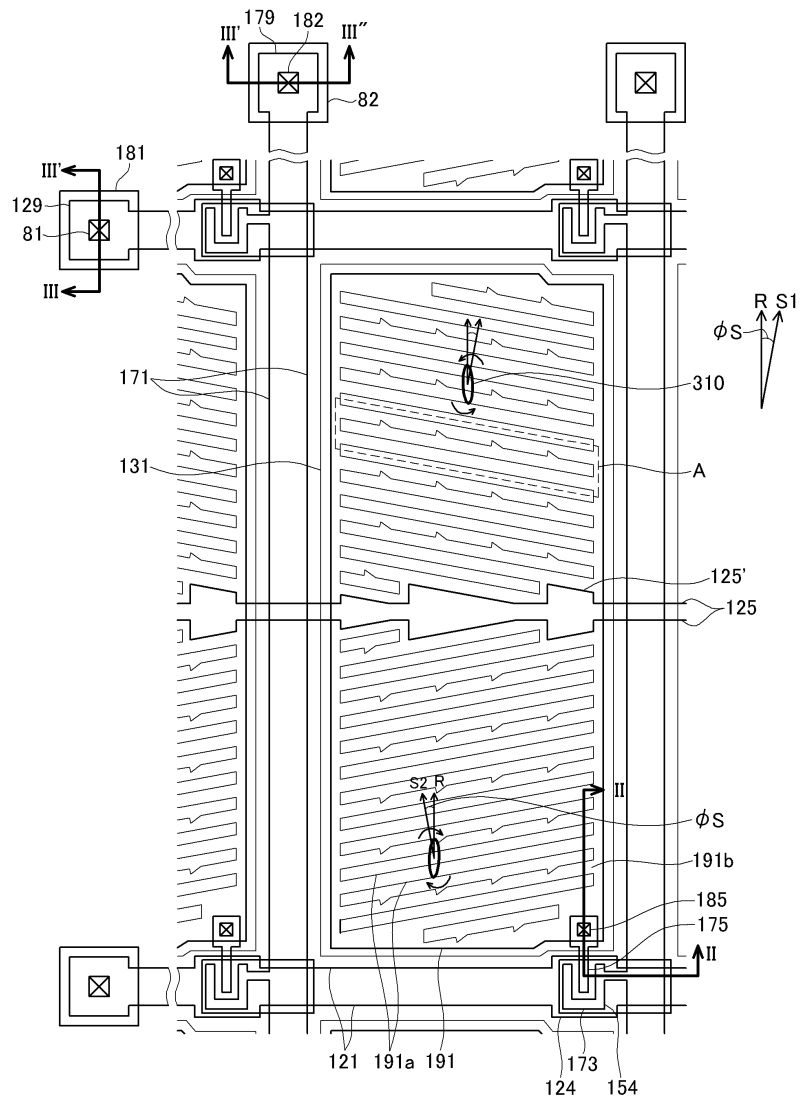
175: 드레인 전극 180: 보호막

181, 182, 185: 접촉 구멍 191: 화소 전극

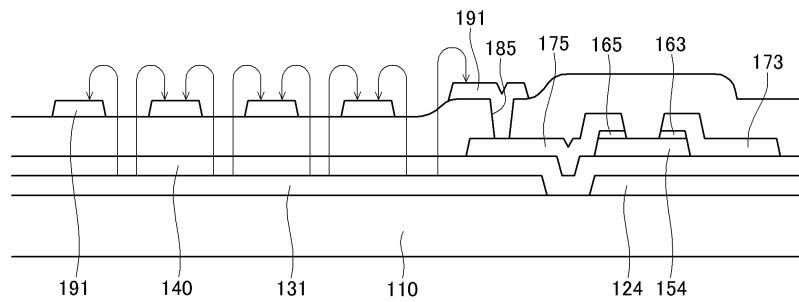
81, 82: 접촉 보조 부재 191a': 홈

도면

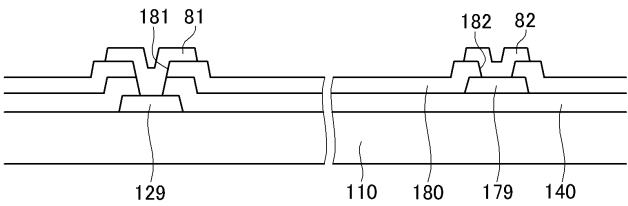
도면1



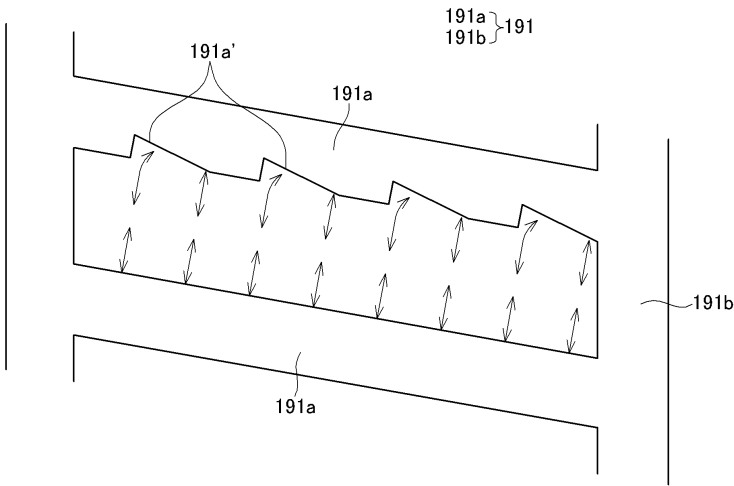
도면2



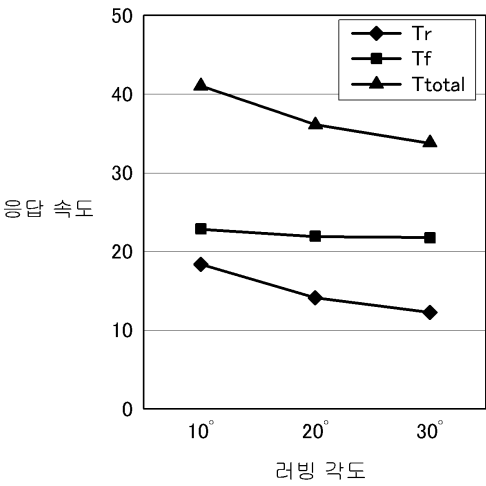
도면3



도면4



도면5



도면6

구 분	투과율		
러빙 각도	10°	20°	30°
6.0V (최대 전위차)	30.3%	29.4%	27.6%

专利名称(译)	薄膜晶体管标志		
公开(公告)号	KR1020070028835A	公开(公告)日	2007-03-13
申请号	KR1020050083534	申请日	2005-09-08
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	YOO SEUNG HOO 유승후 UM YOON SUNG 엄윤성 CHANG HAK SUN 창학선 KIM HYUN WUK 김현욱 DO HEE WOOK 도희욱 KIM KANG WOO 김강우		
发明人	유승후 엄윤성 창학선 김현욱 도희욱 김강우		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/1343 G02F1/136286 G02F2201/121 G02F2201/123 H01L29/786		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的薄膜晶体管基板包括基板，形成在基板上的多条栅极线，以及连接到多个公共电极的薄膜晶体管，其由透明导体制成，薄膜晶体管是形成在与栅极线，栅极线和数据线交叉的基板数据线上，以及与公共电极重叠同时连接到薄膜晶体管的多个像素电极。此时，像素电极包括多个分支电极，这些分支电极在连接时平行地扩展。并且在分支电极中，分支电极包括具有边界线的凹槽，该边界线围绕方向扩展倾斜至钝角。液晶显示器，PLS，像素电极，公共电极，响应速度，透射率。

