(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0003186
(43) 공개일자 2007년01월05일

(21) 출원번호 10-2005-0058943
(22) 출원일자 2005년06월30일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김철세
대구광역시 달서구 용산동 보람타운 202동 303호

(74) 대리인 박장원

전체 청구항 수 : 총 44 항

(54) 액정표시장치

(57) 요약

본 발명은 게이트라인 수를 줄인 액정표시장치에 관한 것으로, 기판에 제 1방향으로 배열된 복수의 데이터라인과, 상기 기판에 제 2방향으로 배열된 복수의 게이트라인과, 상기 게이트라인에 순차적으로 주사신호를 인가하는 게이트구동부와, 상기 게이트라인과 데이터라인에 전기적으로 연결되며, 각 데이터라인 양측에 전기적으로 연결되고, 화상전압이 충전되는 시간이 서로 다른 제 1화소 및 제 2화소를 포함하여 구성된다.

대표도

도 2a

특허청구의 범위

청구항 1.

기판에 제 1방향으로 배열된 복수의 데이터라인;

상기 기판에 제 2방향으로 배열된 복수의 게이트라인;

상기 게이트라인에 순차적으로 주사신호를 인가하는 게이트구동부;

상기 게이트라인과 데이터라인에 전기적으로 연결되며, 각 데이터라인 양측에 전기적으로 연결되고, 매 수평주기에서 화상전압이 충전되는 시간이 서로 다른 제 1화소 및 제 2화소를 포함하여 구성되며, 상기 제 N번째 게이트라인에 대응하는 제 2화소는 제 N+ 1번째 게이트라인으로부터 인가되는 주사신호에 의해 화상전압의 충전이 중단되는 것을 특징으로 하는 액정표시장치.(여기서, N은 자연수)

청구항 2.

제 1 항에 있어서, 상기 제 2화소는 상기 제 1화소에 비해 매 수평주기에서 화상전압을 충전하는 시간이 1/2수평주기 더 긴 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1 항에 있어서, 상기 제 1화소에는 매 수평주기에서 주사신호가 인가되는 시간과 동일한 시간동안 화상전압이 충전되는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 3 항에 있어서, 상기 제 1화소에는 매 수평주기에서 1/2수평주기동안 화상전압이 충전되는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 1 항에 있어서, 상기 제 2화소는 다음 게이트라인으로부터 인가되는 주사신호에 의해 충전이 중단되는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 1 항에 있어서, 상기 제 1화소는

화상전압을 충전하는 제 1커패시터;

게이트전극이 상기 게이트라인에 연결되고, 소스전극이 상기 데이터라인에 연결되며, 드레인전극이 상기 제 1커패시터에 연결된 제 1트랜지스터를 포함하여 구성된 것을 특징으로 하는 액정표시장치.

청구항 7.

제 1 항에 있어서, 상기 제 2화소는

화상전압을 충전하는 제 2커패시터;

소스전극이 상기 데이터라인에 연결되고, 드레인전극이 상기 제 2커패시터에 연결된 제 2트랜지스터;

게이트전극과 소스전극이 공통적으로 상기 게이트라인에 연결되고, 드레인전극이 상기 제 2트랜지스터의 게이트전극에 연결된 제 3트랜지스터; 및

드레인전극이 상기 게이트라인에 연결되고, 소스전극이 상기 제 2트랜지스터의 게이트전극에 연결되며, 게이트전극이 다음 게이트라인에 연결된 제 4트랜지스터를 포함하여 구성된 것을 특징으로 하는 액정표시장치.

청구항 8.

제 1 항에 있어서, 상기 제 1화소와 제 2화소에는 유효한 화상전압이 충전될 1/2수평주기씩의 충전시간이 확보된 것을 특징으로 하는 액정표시장치.

청구항 9.

제 1 항에 있어서, 상기 게이트구동부는 매 수평주기에서 1/2수평주기동안 주사신호를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 10.

기판에 제 1방향으로 배열된 복수의 데이터라인;

상기 기판에 제 2방향으로 배열된 복수의 게이트라인;

상기 게이트라인에 순차적으로 주사신호를 인가하는 게이트구동부;

상기 게이트라인과 데이터라인에 전기적으로 연결되며, 각 데이터라인 양측에 전기적으로 연결되고, 매 수평주기에서 화상전압이 충전되는 시간이 서로 다른 제 1화소 및 제 2화소를 포함하여 구성되며, 상기 제 N번째 게이트라인에 대응하는 제 2화소는 상기 제 N번째 게이트라인과 제 N+ 1번째 게이트라인으로부터 동시에 인가되는 주사신호에 의해 화상전압의 충전이 시작되는 것을 특징으로 하는 액정표시장치.(여기서, N은 자연수)

청구항 11.

제 10 항에 있어서, 상기 게이트구동부는 두 수평주기 연속하여 주사신호를 동일한 게이트라인에 한번씩 출력하는 것을 특징으로 하는 액정표시장치.

청구항 12.

제 10 항에 있어서, 상기 게이트구동부는 첫번째 주사신호를 두번째 주사신호보다 더 짧게 출력하는 것을 특징으로 하는 액정표시장치.

청구항 13.

제 10 항에 있어서, 상기 제 2화소는 한 수평주기동안 화상전압을 충전하는 것을 특징으로 하는 액정표시장치.

청구항 14.

제 10 항에 있어서, 상기 제 1화소는

화상전압을 충전하는 제 1커패시터; 및

게이트전극이 게이트라인에 연결되고, 소스전극이 데이터라인에 연결되며, 드레인전극이 상기 제 1커패시터에 연결된 제 1트랜지스터로 구성된 것을 특징으로 하는 액정표시장치.

청구항 15.

제 10 항에 있어서, 상기 제 2화소는

화상전압을 충전하는 제 2커패시터;

소스전극이 데이터라인에 연결되고, 드레인전극이 상기 제 2커패시터에 연결된 제 2트랜지스터; 및

소스전극이 게이트라인에 연결되고, 게이트전극이 다음 게이트라인에 연결되며, 드레인전극이 상기 제 2트랜지스터의 게이트전극에 연결된 제 3트랜지스터로 구성된 것을 특징으로 하는 액정표시장치.

청구항 16.

기판에 제 1방향으로 배열된 복수의 데이터라인;

상기 기판에 제 2방향으로 배열된 복수의 게이트라인;

상기 게이트라인에 순차적으로 주사신호를 인가하는 게이트구동부;

상기 게이트라인과 데이터라인에 전기적으로 연결되며, 각 데이터라인 양측에 전기적으로 연결되고, 화상전압이 충전되는 시간이 서로 다른 제 1화소 및 제 2화소를 포함하여 구성되며, 제 N번째 게이트라인에 대응되는 제 2화소는 제 N번째 게이트라인과 제 N+ 1번째 게이트라인으로부터 동시에 인가되는 주사신호에 의해 화상전압의 충전이 시작되며, 상기 제 N+ 2번째 게이트라인으로부터 인가되는 주사신호에 의해 충전이 중단되는 것을 특징으로 하는 액정표시장치.

청구항 17.

제 16 항에 있어서, 상기 제 1화소는

화상전압을 충전하는 제 1커패시터;

게이트전극이 상기 게이트라인에 연결되고, 소스전극이 상기 데이터라인에 연결되며, 드레인전극이 상기 제 1커패시터에 연결된 제 1트랜지스터를 포함하여 구성된 것을 특징으로 하는 액정표시장치.

청구항 18.

제 16 항에 있어서, 상기 제 2화소는

화상전압을 충전하는 제 2커패시터;

게이트전극이 제 N번째 게이트라인에 연결되고, 소스전극이 제 N+ 1번째 게이트라인에 연결되는 제 2트랜지스터;

소스전극이 상기 제 2트랜지스터와 동일한 제 N번째 게이트라인에 연결되고, 게이트전극이 제 N+ 2번째 게이트라인에 연결되는 제 3트랜지스터; 및

게이트전극이 상기 제 2트랜지스터의 드레인전극과 상기 제 3트랜지스터의 드레인전극에 공통적으로 연결되고, 소스전극이 데이터라인에 연결되며, 드레인전극이 상기 제 2커패시터에 연결되는 제 4트랜지스터로 구성된 것을 특징으로 하는 액정표시장치.

청구항 19.

제 16 항에 있어서, 상기 게이트구동부는 각 주사신호를 3/2수평주기동안 출력하는 것을 특징으로 하는 액정표시장치.

청구항 20.

제 19 항에 있어서, 순차적으로 출력되는 두 개의 주사신호는 1/2수평주기동안 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 21.

제 16 항에 있어서, 상기 제 N+ 1번째 게이트라인에 인가되는 주사신호는 상기 제 N번째 게이트라인에 인가되는 주사신호 및 제 N+ 2번째 게이트라인에 인가되는 주사신호와 각각 1/3수평주기씩 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 22.

제 16 항에 있어서, 상기 제 2화소에는 한 수평주기동안 화상전압이 충전되는 것을 특징으로 하는 액정표시장치.

청구항 23.

제 16 항에 있어서, 상기 제 1화소에는 1/2수평주기동안 화상전압이 충전되는 것을 특징으로 하는 액정표시장치.

청구항 24.

기판에 제 1방향으로 배열된 복수의 데이터라인;

상기 기판에 제 2방향으로 배열된 복수의 게이트라인;

상기 게이트라인에 순차적으로 주사신호를 인가하는 게이트구동부;

상기 게이트라인과 데이터라인에 전기적으로 연결되며, 각 데이터라인 양측에 전기적으로 연결되고, 화상전압이 충전되기 시작되는 시점이 서로 다른 제 1화소 및 제 2화소를 포함하여 구성되며, 상기 제 1화소와 제 2화소는 제 N번째, 제 N+ 1번째 및 제 N+ 2번째 주사신호 사이의 중첩구간에 따라 1/2수평주기 간격으로 화상전압의 충전이 시작되는 것을 특징으로 하는 액정표시장치.

청구항 25.

제 24 항에 있어서, 제 N번째 게이트라인에 대응되는 제 1화소는

화상전압을 충전하는 제 1커패시터;

소스전극이 데이터라인에 연결되며, 드레인전극이 상기 제 1커패시터에 연결된 제 1트랜지스터; 및

게이트전극이 제 N번째 게이트라인에 연결되고, 소스전극이 제 N+ 1번째 게이트라인에 연결되며, 드레인전극이 상기 제 1트랜지스터의 게이트전극과 연결된 제 2트랜지스터로 구성된 것을 특징으로 하는 액정표시장치.

청구항 26.

제 24 항에 있어서, 제 N번째 게이트라인에 대응되는 제 2화소는

화상전압을 충전하는 제 2커패시터;

소스전극이 데이터라인에 연결되고, 드레인전극이 상기 제 2커패시터에 연결된 제 3트랜지스터; 및

소스전극이 제 N번째 게이트라인에 연결되고, 게이트전극이 제 N+ 2번째 게이트라인에 연결되며, 드레인전극이 상기 제 3트랜지스터의 게이트전극에 연결된 제 4트랜지스터로 구성된 것을 특징으로 하는 액정표시장치.

청구항 27.

제 24 항에 있어서, 상기 게이트구동부는 매 프레임마다 동일한 게이트라인에 제 1주사신호 및 제 2주사신호를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 28.

제 27 항에 있어서, 상기 제 1주사신호 및 제 2주사신호는 동일한 구간동안 출력되는 것을 특징으로 하는 액정표시장치.

청구항 29.

제 27 항에 있어서, 상기 제 1주사신호 및 제 2주사신호는 모두 한 수평주기동안 출력되는 것을 특징으로 하는 액정표시장치.

청구항 30.

제 24 항에 있어서, 상기 제 1화소에는 1/2수평주기동안 화상전압이 충전되고, 제 2화소에는 한 수평주기동안 화상전압이 충전되는 것을 특징으로 하는 액정표시장치.

청구항 31.

제 24 항에 있어서, 상기 제 N번째 주사신호는 1/2수평주기동안 제 N+ 1번째 주사신호와 중첩되고, 다른 1/2수평주기동안 제 N+ 2번째 주사신호와 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 32.

기판에 제 1방향으로 배열된 복수의 데이터라인;

상기 기판에 제 2방향으로 배열된 복수의 게이트라인;

상기 게이트라인에 순차적으로 주사신호를 인가하는 게이트구동부;

상기 게이트라인과 데이터라인에 전기적으로 연결되며, 각 데이터라인 양측에 전기적으로 연결되고, 화상전압이 충전되기 시작되는 시점이 서로 다른 제 1화소, 제 2화소 및 제 3화소를 포함하여 구성되며, 상기 제 1화소, 제 2화소 및 제 3화소에는 화상전압이 충전되는 시간은 서로 다른 것을 특징으로 하는 액정표시장치.

청구항 33.

제 32 항에 있어서, 제 N번째 게이트라인에 대응되는 제 1화소는

화상전압을 충전하는 제 1커패시터;

소스전극이 상기 데이터라에 연결되고, 드레인전극이 상기 제 1커패시터에 연결된 제 1트랜지스터; 및

게이트전극이 제 N번째 게이트라인에 연결되고, 소스전극이 제 N+ 1번째 게이트라인에 연결되며, 드레인전극이 상기 제 1트랜지스터의 게이트전극에 연결된 제 2트랜지스터로 구성된 것을 특징으로 하는 액정표시장치.

청구항 34.

제 32 항에 있어서, 제 N번째 게이트라인에 대응되는 제 2화소는

화상전압을 충전하는 제 2커패시터; 및

게이트전극이 제 N번째 게이트라인에 연결되고, 소스전극이 상기 제 1화소의 제 1트랜지스터의 소스전극과 함께 데이터라인에 공통적으로 연결되며, 드레인전극이 상기 제 2커패시터와 연결된 제 3트랜지스터로 구성된 것을 특징으로 하는 액정표시장치.

청구항 35.

제 32 항에 있어서, 제 N번째 게이트라인에 대응되는 제 3화소는

화상전압을 충전하는 제 3커패시터;

소스전극이 상기 데이터라인에 연결되고, 드레인전극이 상기 제 3커패시터에 연결된 제 4트랜지스터; 및

게이트전극이 상기 제 N+ 1번째 게이트라인에 연결되고, 소스전극이 상기 제 N번째 게이트라인에 연결되며, 드레인전극이 상기 제 4트랜지스터의 게이트전극과 연결된 제 5트랜지스터로 구성된 것을 특징으로 하는 액정표시장치.

청구항 36.

제 32 항에 있어서, 상기 데이터라인 및 게이트라인에 구획되는 영역에는 상기 제 1화소, 제 2화소 및 제 3화소가 하나씩 구비된 것을 특징으로 하는 액정표시장치.

청구항 37.

제 32 항에 있어서, 상기 게이트구동부는 동일한 게이트라인에 제 1주사신호와 제 2주사신호를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 38.

제 37 항에 있어서, 상기 제 1주사신호는 1/3수평주기동안 출력되며, 상기 제 2주사신호는 2/3수평주기동안 출력되는 것을 특징으로 하는 액정표시장치.

청구항 39.

제 32 항에 있어서, 연속된 두 개의 게이트라인에 출력되는 주사신호는 1/3수평주기동안 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 40.

제 32 항에 있어서, 상기 제 1화소, 제 2화소 및 제 3화소에 화상전압이 충전되는 시간은 순차적으로 1/3수평주기만큼 증가되는 것을 특징으로 하는 액정표시장치.

청구항 41.

제 40 항에 있어서, 상기 제 1화소에는 1/3수평주기동안 화상전압이 충전되는 것을 특징으로 하는 액정표시장치.

청구항 42.

제 32 항에 있어서, 상기 제 1화소, 제 2화소 및 제 3화소에는 유효한 화상전압이 충전될 각각의 1/3수평주기만큼의 시간이 확보된 것을 특징으로 하는 액정표시장치.

청구항 43.

기판에 제 1방향으로 배열된 복수의 데이터라인;

상기 기판에 제 2방향으로 배열된 복수의 게이트라인;

상기 게이트라인에 순차적으로 주사신호를 인가하는 게이트구동부;

상기 게이트라인과 데이터라인에 전기적으로 연결되며, 각 데이터라인 양측에 전기적으로 연결되고, 화상전압이 충전되는 시간이 서로 다른 제 1화소 및 제 2화소를 포함하여 구성된 것을 특징으로 하는 액정표시장치.

청구항 44.

기판에 제 1방향으로 배열된 복수의 데이터라인;

상기 기판에 제 2방향으로 배열된 복수의 게이트라인;

상기 게이트라인에 순차적으로 주사신호를 인가하는 게이트구동부;

상기 게이트라인과 데이터라인에 전기적으로 연결되며, 각 데이터라인 양측에 전기적으로 연결되고, 화상전압의 충전이 시작되는 시점이 서로 다른 제 1화소 및 제 2화소를 포함하여 구성된 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히, 데이터라인 수를 줄여 제작 비용을 낮출 수 있는 액정표시장치에 관한 것이다.

최근, 정보를 시각적으로 구현하는 다양한 표시장치가 개발되어 종래에 많이 사용되던 음극선관을 대체하고 있다. 이 중 액정표시장치는 얇고 가볍게 제작가능하며, 소비전력이 낮고 선명한 화질을 제공하는 장점으로 인해 그 수요가 늘어나고 있다.

액정표시장치는 액정의 광학적 이방성을 이용한 장치로서, 액정에 전계를 가하여 액정의 광투과율을 바꿈으로써, 다양한 컬러의 화상을 표시하는 장치이다.

도1은 일반적인 액정표시장치를 보인 도면이다.

도1을 참조하면, 액정표시장치는 화상을 표시하는 액정패널(10)과, 상기 액정패널(10)에 화상전압를 공급하는 데이터구동부(20)와, 상기 액정패널(10)에 주사신호를 공급하는 게이트구동부(30)를 포함하여 구성된다.

상기 액정패널(10)은 박막트랜지스터 어레이 기판과 컬러필터 기판이 합착된 것으로 상기 박막트랜지스터 어레이 기판과 컬러필터 기판 사이에 액정이 주입된다.

상기 액정패널(10)에는 복수의 데이터라인(22)과 게이트라인(32)이 배열되며, 이 데이터라인(22)과 게이트라인(32)은 수직으로 교차하여 복수의 영역을 구획한다. 이 영역이 화소(P)이다.

상기 화소는 상기 게이트라인(32)과 데이터라인(22)의 교차부마다 구비되어 상기 게이트라인(32)과 데이터라인(22)과 전기적으로 연결된다.

상기 액정패널(10)에 배열된 데이터라인(22)은 상기 데이터구동부(20)까지 연장되어 상기 데이터구동부(20)와 전기적으로 연결되며, 게이트라인(22)은 상기 게이트구동부(30)까지 연장되어 상기 게이트구동부(30)와 전기적으로 연결된다.

상기 게이트구동부(30)는 상기 게이트라인(32)에 순차적으로 주사신호를 출력하며, 상기 데이터구동부(20)는 각 게이트라인(32)에 주사신호가 인가되는 구간에 대응하여 해당 게이트라인(32)에 전기적으로 접속된 화소(P)들에 화상전압를 공급한다.

상기 데이터라인(22)과 게이트라인(32)은 통상 액정표시장치의 해상도에 따라 액정패널(10)에 배열된다. 예를 들어, 해상도가 1024×768의 액정표시장치에서는 데이터라인(22)은 1024×3개가 액정패널(10)에 수직방향으로 배열되어야 하고, 게이트라인(32)은 768개가 액정패널(10)에 수평방향으로 배열되어야 한다. 여기서, 액정패널(10)에 배열되는 화소(P)는 적색, 녹색 및 청색의 서브화소로 구성되므로, 데이터라인(22)은 해상도의 3배수가 배열된다.

상기 데이터구동부(20)는 통상 복수의 데이터IC(integrated circuit)로 구성되며, 상기 게이트구동부(30)도 통상 복수의 게이트IC로 구성된다. 상기 데이터IC와 게이트IC는 보통 수백개의 출력채널을 가지며, 각 채널은 데이터라인(22) 또는 게이트라인(32)에 개별적으로 연결된다. 즉, 상기 게이트IC와 데이터IC의 채널 수는 해상도에 대응하여 늘어난다.

최근, 액정표시장치는 점점 높은 해상도를 갖도록 제작되고 있다. 따라서, 액정패널(10)에는 높은 해상도에 대응하여 많은 수의 게이트라인(32)과 데이터라인(22)이 배열되어야 하며, 상기 게이트라인(32) 및 데이터라인(22)의 수와 동일한 수의 채널을 갖도록 데이터IC 및 게이트IC의 수도 늘려야 한다.

상기와 같이, 액정패널에 배열되는 데이터라인(22)의 수와 게이트라인(32)의 수를 늘리고, 이에 따라 데이터IC 및 게이트IC의 수를 늘릴수록 액정표시장치의 제작비용이 증가한다.

소형 액정패널에서는 높은 해상도를 위해 많은 수의 게이트라인(32)과 데이터라인(22)을 배열할 경우 라인간의 간격을 충분히 확보해줄 수 없기때문에 액정표시장치의 오동작을 일으킬 수도 있다.

특히, 액정표시장치에서 수직방향으로 형성되는 데이터라인(22)은 게이트라인(32)에 비해 많은 수가 촘촘하게 배열되므로, 라인 간의 간격확보가 더욱 어렵다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 종래의 문제점을 해결하기 위해 창안된 것으로, 본 발명의 목적은 종래보다 적은 수의 데이터라인만으로 동일한 동작을 수행할 수 있는 액정표시장치를 제공하는데 있다.

발명의 구성

상기와 같이, 본 발명의 목적을 달성하기 위한 액정표시장치는 기판에 제 1방향으로 배열된 복수의 데이터라인과, 상기 기판에 제 2방향으로 배열된 복수의 게이트라인과, 상기 게이트라인에 순차적으로 주사신호를 인가하는 게이트구동부와, 상기 게이트라인과 데이터라인에 전기적으로 연결되며, 각 데이터라인 양측에 전기적으로 연결되고, 화상전압이 충전되는 시간이 서로 다른 제 1화소 및 제 2화소를 포함하여 구성된다.

도2a는 본 발명에 따른 액정표시장치의 제 1실시예를 보인 도면이고, 도2b는 도2a의 액정표시장치의 구동파형을 나타낸 타이밍도이다.

도면을 참조하면, 액정표시장치는 기판과, 상기 기판에 수직방향으로 배열된 복수의 데이터라인(Dm,Dm+1)과, 상기 기판에 수평방향으로 배열된 복수의 게이트라인(Gn~Gn+2)과, 상기 데이터라인(Dm,Dm+1)과 게이트라인(Gn~Gn+2)이 교차하여 구획된 영역에 두 개씩 구비되는 화소를 포함하여 구성된다.

도2a에서는 본 발명의 특징적인 부분만 보여주기 위해 액정표시장치의 일부를 도시하였다.

도면에 도시하진 않았지만, 상기 데이터라인(Dm,Dm+1)은 데이터IC로부터화상전압를 공급받아 화소에 인가하며, 상기 게이트라인(Gn~Gn+2)은 게이트IC로부터 순차적으로 주사신호를 공급받아 화소들에 인가한다.

각 데이터라인(Dm,Dm+1)은 양측으로 두 개의 화소와 전기적으로 연결되는데, 양측에 연결된 화소에 포함된 트랜지스터(T1,T2,T3,T4)의 수는 서로 다르다.

도면에 도시된 바와 같이, 각 데이터라인(Dm,Dm+1)의 좌측에 연결된 화소는 1개의 트랜지스터(T1)로 구성되며, 우측에 연결된 화소는 3개의 트랜지스터(T2,T3,T4)로 구성된다.

먼저, 상기 데이터라인(Dm,Dm+1)의 좌측에 구비된 화소는 게이트전극이 게이트라인(Gn~Gn+2)에 전기적으로 접속되고, 소스전극이 데이터라인(Dm,Dm+1)에 전기적으로 접속된 제 1트랜지스터(T1)와 그 트랜지스터(T1)를 통해 인가받은 화상전압을 충전하는 제 1커패시터(C1)로 구성된다.

그리고, 상기 데이터라인(Dm,Dm+1)의 우측에 구비된 화소는 소스전극이 상기 데이터라인(Dm,Dm+1)과 연결되어 소스전극을 통해 화상전압를 인가받는 제 2트랜지스터(T2)와 게이트전극과 소스전극이 공통적으로 게이트라인(Gn~Gn+2)에 연결되고, 드레인전극이 상기 제 2트랜지스터(T2)의 게이트전극에 연결된 제 3트랜지스터(T3)과 드레인전극이 상기 게이트라인(Gn~Gn+2)에 연결되고, 소스전극이 상기 제 2트랜지스터(T2)의 게이트전극에 연결되며, 게이트전극이 다음 게이트라인(Gn~Gn+2)에 연결되는 제 4트랜지스터(T4)와 상기 제 2트랜지스터(T2)를 통해 인가받은 화상전압을 충전하는 제 2커패시터(C2)로 구성된다.

상기 제 1화소와 제 2화소는 하나의 데이터라인(Dm,Dm+1)을 통해 화상전압을 인가받지만, 그 구성의 특징에 의해 화상전압이 충전되는 시간이 각각 다르다. 즉, 상기 제 2화소는 상기 제 1화소에 비해 1/2수평주기 더 충전된다.

액정표시장치의 구동을 도2b의 타이밍도를 참조하여 더 자세히 설명하면 다음과 같다.

제 N번째 게이트라인(Gn)에 제 N번째 주사신호(V_{Gn})가 인가되면, 상기 제 1화소의 제 1트랜지스터(T1)와 제 2화소의 제 2,3트랜지스터(T2,T3)가 턴-온된다. 이때, 상기 제 1커패시터(C1)에는 턴-온된 제 1트랜지스터(T1)를 통해 화상전압이 인가되어 충전되고, 상기 제 2커패시터(C2)에는 턴-온된 제 2트랜지스터(T2)를 통해 화상전압이 인가되어 충전된다. 상기 제 2트랜지스터(T2)는 턴-온된 제 3트랜지스터(T3)의 드레인전극을 통해 인가된 주사신호에 의해 턴-온된다.

제 1실시예에서는 매 수평주기(H)에서 주사신호를 1/2수평주기만 게이트라인(Gn～Gn+ 2)에 인가하기때문에 1/2수평주기가 경과한 후 제 N번째 주사신호(V_{Gn})의 인가가 중단되면, 상기 제 1트랜지스터(T1)는 턴-오프되고, 상기 제 1커패시터(C1)는 화상전압을 유지한다. 그리고, 상기 제 3트랜지스터(T3)도 턴-오프되지만, 상기 제 2트랜지스터(T2)는 상기 제 3트랜지스터(T3)의 드레인전극과 제 2트랜지스터(T2)의 게이트전극 사이에 플로팅(floating)된 전하에 의해 턴-온상태를 유지한다. 따라서, 상기 제 1화소는 1/2수평주기 경과 후 화상전압의 충전이 중단되는 반면, 상기 제 2화소는 상기 제 2트랜지스터(T2)를 통해 나머지 1/2수평주기동안 화상전압을 더 충전하게 된다.

다음 수평주기(H)에서 제 N+ 1번째 주사신호(V_{Gn+1})가 제 N+ 1번째 게이트라인(Gn+ 1)에 출력되면, 이전 수평주기(H) 내내 화상전압을 충전하던 제 2화소는 충전이 중단된다. 보다 자세하게는, 상기 제 N번째 게이트라인(Gn)에 드레인전극이 연결된 제 4트랜지스터(T4)의 게이트전극은 상기 제 N+ 1번째 게이트라인(Gn+ 1)에 연결되므로, 상기 제 4트랜지스터(T4)는 제 N+ 1번째 주사신호(V_{Gn+1})에 의해 턴-온되어 상기 제 2트랜지스터(T2)와 제 4트랜지스터(T4)사이에 플로팅된 전하를 제 N번째 게이트라인(Gn)을 통해 방전시킨다. 즉, 상기 제 2화소는 다음 수평주기의 주사신호에 의해 충전이 중단된다.

상기 제 1화소에 비해 제 2화소는 화상전압의 충전시간이 1/2수평주기만큼 더 길다. 따라서, 하나의 데이터라인(Dm,Dm+ 1)을 통해 제 1화소와 제 2화소에 유효한 화상전압을 인가하기 위해서는 상기 제 1화소와 제 2화소의 충전시간이 중첩되는 1/2수평주기동안은 상기 제 1화소에 유효한 화상전압을 충전하고, 상기 제 2화소에서 화상전압의 충전이 가능한 1/2수평주기동안에는 상기 제 2화소에 유효한 화상전압을 충전시킨다.

즉, 상기 제 1화소와 제 2화소에 유효한 화상전압을 충전시킬 수 있는 시간을 1/2수평주기씩 확보한다.

상기와 같이, 제 1실시예에서는 하나의 데이터라인(Dm,Dm+ 1)을 통해 제 1화소 및 제 2화소에 화상전압을 인가하여 제 1,2화소를 구동시키므로, 종래보다 1/2 줄어든 수의 데이터라인(Dm,Dm+ 1)만으로 액정표시장치를 구동시키게 된다.

도3a는 본 발명에 따른 액정표시장치의 제 2실시예를 보인 도면이고, 도3b는 도3a의 액정표시장치의 구동파형을 나타낸 타이밍도이다.

제 2실시예의 회로는 하나의 데이터라인(Dm,Dm+ 1)을 통해 2개의 화소에 화상전압을 공급한다는 특징에 있어서는 상기 제 1실시예의 회로와 동일하다.

도면을 참조하면, 각 데이터라인(Dm,Dm+ 1)의 양측에는 제 1화소 및 제 2화소가 구비되어 트랜지스터들을 통해 전기적으로 연결된다.

상기 제 1화소는 화상전압을 충전하는 제 1커패시터(C1)와, 게이트전극이 게이트라인(Gn～Gn+ 2)에 연결되고, 소스전극이 데이터라인(Dm,Dm+ 1)에 연결되며, 드레인전극이 상기 제 1커패시터(C1)에 연결된 제 1트랜지스터(T1)로 구성된다.

그리고, 상기 제 2화소는 화상전압을 충전하는 제 2커패시터(C2)와, 소스전극이 데이터라인(Dm,Dm+ 1)과 연결되고, 드레인전극이 상기 제 2커패시터(C2)와 연결된 제 2트랜지스터(T2)와, 소스전극이 게이트라인(Gn～Gn+ 2)에 연결되고, 게이트전극이 다음 게이트라인(Gn～Gn+ 2)에 연결되며, 드레인전극이 상기 제 2트랜지스터(T2)의 게이트전극에 연결된 제 3트랜지스터(T3)로 구성된다.

상기 제 2화소는 제 1실시예의 제 2화소에 비해 트랜지스터의 수가 하나 적다.

상기 제 1화소 및 제 2화소의 구동을 첨부된 도3b를 참조하여 자세히 설명하면 다음과 같다.

제 N번째 게이트라인(Gn)에 제 N번째 주사신호(V_{Gn})가 인가되면, 상기 제 N번째 게이트라인(Gn)에 대응하는 제 1화소(T1)의 제 1트랜지스터(T1)는 턴-온되고, 그 제 1트랜지스터(T1)를 통해 상기 제 1커패시터(C1)에는 화상전압이 충전된다. 이와 동시에, 제 N+ 1번째 게이트라인(Gn+ 1)에 제 N+ 1번째 주사신호(V_{Gn+1})가 인가되면서 이 주사신호(V_{Gn+1})가 상기 제 N번째 게이트라인(Gn)에 대응하는 제 2화소(T1)의 제 3트랜지스터(T3)를 턴-온시키므로, 상기 제 2트랜지스터(T2)는 상기 제 3트랜지스터(T3)를 통해 인가되는 제 N번째 주사신호(V_{Gn})에 의해 턴-온되어 상기 제 2커패시터(C2)에는 화상전압이 충전된다.

그런데, 상기 제 N+ 1번째 주사신호(V_{Gn+1})는 제 N번째 주사신호(V_{Gn})보다 인가시간이 짧기때문에 상기 제 3트랜지스터(T3)는 턴-온시점으로부터 1/2수평주기 이전에 턴-오프된다. 그러나, 상기 제 3트랜지스터(T3)와 제 2트랜지스터(T2)에 플로팅된 전압에 의해 상기 제 2트랜지스터(T2)는 그대로 턴-온상태를 유지한다.

반면에 상기 제 1화소는 1/2수평주기동안만 인가된 제 N번째 주사신호(V_{Gn})에 의해 1/2수평주기동안 화상전압을 충전한다.

여기서, 상기 제 1화소는 제 N번째 게이트라인(Gn)에만 접속되므로, 상기 제 N번째 게이트라인(Gn)에 의해 인가되는 주사신호에 의해서만 턴-온/턴-오프가 되어되며, 상기 제 2화소는 제 N번째 게이트라인(Gn)뿐만 아니라 제 N+ 1번째 게이트라인(Gn+ 1)에 함께 접속되므로, 두 개의 주사신호에 의해 제어된다.

도4a는 본 발명에 따른 액정표시장치의 제 3실시예를 보인 도면이고, 도4b는 도4a의 액정표시장치의 구동파형을 나타낸 타이밍도이다.

제 3실시예에서도 제 1화소는 상기 제 1,2실시예와 동일한 구성이다. 다만, 제 2화소의 구성이 달라진다.

상기 제 2화소는 화상전압을 충전하는 제 2커패시터(C2)와, 게이트전극이 제 N번째 게이트라인(Gn)에 연결되고, 소스전극이 제 N+ 1번째 게이트라인(Gn+ 1)에 연결되는 제 2트랜지스터(T2)와, 소스전극이 상기 제 2트랜지스터(T2)와 동일한 제 N번째 게이트라인(Gn)에 연결되고, 게이트전극이 제 N+ 2번째 게이트라인(Gn+ 2)에 연결되는 제 3트랜지스터(T3)와, 게이트전극이 상기 제 2트랜지스터(T2)의 드레인전극과 상기 제 3트랜지스터(T3)의 드레인전극에 공통적으로 연결되고, 소스전극이 데이터라인(Dm,Dm+ 1)에 연결되며, 드레인전극이 상기 제 2커패시터(C2)에 연결되는 제 4트랜지스터(T4)로 구성된다.

제 N번째 게이트라인(Gn)에 제 2트랜지스터(T2)가 접속된 제 2화소는 제 3트랜지스터(T2)의 게이트전극이 제 N+ 2번째 게이트라인(Gn+ 2)과 연결된다. 따라서, 상기 제 N번째 게이트라인(Gn)과 제 N+ 1번째 게이트라인(Gn+ 1)으로부터 동시에 주사신호($V_{Gn,}V_{Gn+1}$)가 인가될때 상기 제 2트랜지스터(T2)가 턴-온되어 상기 제 4트랜지스터(T4)도 턴-온되며, 상기 제 2커패시터(C2)에는 턴-온된 제 4트랜지스터(T4)를 통해 화상전압이 충전된다.

1/2수평주기 경과 후 상기 제 N번째 게이트라인(Gn)을 통해 인가되던 주사신호(V_{Gn})가 중단되어도 상기 제 2트랜지스터(T2)와 제 4트랜지스터(T4)사이에는 플로팅된 전압이 유지되므로, 상기 제 2커패시터(C2)에는 그대로 제 4트랜지스터(T4)를 통해 화상전압이 충전된다. 이때, 제 1화소의 제 1트랜지스터(T1)는 턴-오프되므로, 상기 제 1커패시터(C1)에는 더 이상 화상전압이 충전되지 않는다.

제 N+ 1번째 주사신호(V_{Gn+1})가 출력되고, 한 수평주기(H) 경과 후 제 N+ 2번째 주사신호(V_{Gn+2})가 출력되면, 제 N번째 게이트라인(Gn)에 접속된 제 2화소의 제 3트랜지스터(T3)는 상기 제 N+ 2번째 주사신호(V_{Gn+2})에 의해 턴-오프되기때문에 상기 제 2트랜지스터(T2)와 제 3트랜지스터(T3) 사이에 존재하던 전하는 상기 제 3트랜지스터(T3)를 통해 제 N번째 게이트라인(Gn)으로 방전된다. 즉, 상기 제 2커패시터(C2)에는 더 이상 화상전압이 충전되지 않는다.

도5a는 본 발명에 따른 액정표시장치의 제 4실시예를 보인 도면이고, 도5b는 도5a의 액정표시장치의 구동파형을 나타낸 타이밍도이다.

제 4실시예에서는 제 1화소가 2개의 트랜지스터(T1,T2)로 구성되며, 제 2화소도 2개의 트랜지스터(T3,T4)로 구성된다.

제 N번째 게이트라인(Gn)에 대응되는 제 1화소는 화상전압을 충전하는 제 1커패시터(C1)와, 소스전극이 데이터라인(Dm,Dm+ 1)에 연결되며, 드레인전극이 상기 제 1커패시터(C1)에 연결된 제 1트랜지스터(T1)와, 게이트전극이 제 N번째 게이트라인(Gn)에 연결되고, 소스전극이 제 N+ 1번째 게이트라인(Gn+ 1)에 연결되며, 드레인전극이 상기 제 1트랜지스터(T1)의 게이트전극과 연결된 제 2트랜지스터(T2)로 구성된다.

그리고, 제 N번째 게이트라인(Gn)에 대응되는 제 2화소는 화상전압을 충전하는 제 2커패시터(C2)와, 소스전극이 데이터라인(Dm,Dm+ 1)에 연결되고, 드레인전극이 상기 제 2커패시터(C2)에 연결된 제 3트랜지스터(T3)와, 소스전극이 제 N번째 게이트라인(Gn)에 연결되고, 게이트전극이 제 N+ 2번째 게이트라인(Gn+ 2)에 연결되며, 드레인전극이 상기 제 3트랜지스터(T3)의 게이트전극에 연결된 제 4트랜지스터(T4)로 구성된다.

상기 게이트라인(Gn～Gn+ 2)들에 주사신호(V_{Gn}～V_{Gn+2})를 순차적으로 출력하는 게이트구동부는 매 프레임마다 동일한 게이트라인(Gn～Gn+ 2)에 주사신호(V_{Gn}～V_{Gn+2})를 두 번 출력한다.

매 프레임에서 두 번씩 출력되는 제 N번째 주사신호(V_{Gn}), 제 N+ 1번째 주사신호(V_{Gn+1}) 및 제 N+ 2번째 주사신호(V_{Gn+2}) 사이에는 1/2수평주기씩 중첩구간이 존재한다. 즉, 상기 제 N번째 주사신호(V_{Gn})는 상기 제 N+ 1번째 주사신호(V_{Gn+1})와 1/2수평주기동안 중첩되며, 다른 1/2수평주기동안 상기 제 N+ 2번째 주사신호(V_{Gn+2})와 중첩된다.

따라서, 제 N번째 게이트라인(Gn)에 인가된 제 N번째 주사신호(V_{Gn})에 의해 상기 제 1화소의 제 2트랜지스터(T2)가 턴-온된 상태에서 상기 제 2트랜지스터(T2)의 소스전극에 1/2수평주기동안 제 N+ 1번째 게이트라인(Gn+ 1)으로부터 제 N+ 1번째 주사신호(VGn+ 1)가 인가되면, 상기 제 1트랜지스터(T1)도 턴-온되어 상기 제 1커패시터(C1)에는 화상전압이 충전된다. 이때, 상기 제 2화소의 제 4트랜지스터(T4)는 턴-오프상태로 상기 제 2커패시터(C2)에는 화상전압이 충전되고 있지 않다.

1/2수평주기 경과 후, 상기 제 2화소의 제 4트랜지스터(T4)의 게이트전극에 제 N+ 2번째 게이트라인(Gn+ 2)으로부터 주사신호(V_{Gn+2})가 인가되면, 상기 제 4트랜지스터(T4)는 턴-온되어 상기 제 3트랜지스터(T3)를 턴-온시키고, 상기 제 2커패시터(C2)에는 화상전압이 충전되기 시작한다.

이때, 상기 제 1화소의 제 2트랜지스터(T2)는 턴-오프상태이지만, 상기 제 1트랜지스터(T1)와 제 2트랜지스터(T2)사이에 플로팅된 전압에 의해 상기 제 1커패시터(C1)에는 여전히 화상전압이 충전된다.

즉, 상기 제 1화소와 제 2화소는 화상전압의 충전이 시작되는 시점이 1/2수평주기 차이가 난다.

도6a는 본 발명에 따른 액정표시장치의 제 5실시예를 보인 도면이고, 도6b는 도6a의 액정표시장치의 구동파형을 나타낸 타이밍도이다.

제 5실시예는 지금까지의 실시예들과는 다르게 하나의 데이터라인(Dm,Dm+ 1)에 의해 3개의 화소를 구동시키는 구성이다.

본 발명의 제 5실시예에 따른 액정표시장치는 기판과, 상기 기판에 종횡으로 배열된 복수의 데이터라인(Dm,Dm+ 1) 및 게이트라인(Gn～Gn+ 2)과, 각 데이터라인(Dm,Dm+ 1)의 양측에 구비되어 데이터라인(Dm,Dm+ 1)과 전기적으로 연결된 제 1화소, 제 2화소 및 제 3화소로 구성된다.

도면에 도시된 바와 같이, 상기 데이터라인(Dm,Dm+ 1)을 기준으로 좌측에 제 1화소 및 제 2화소가 전기적으로 연결되고, 우측에 제 3화소가 전기적으로 연결된다. 즉, 상기 게이트라인(Gn～Gn+ 2)과 데이터라인(Dm,Dm+ 1)에 의해 구획되는 영역에는 제 1화소, 제 2화소 및 제 3화소가 하나씩 구비된다.

각각의 화소의 구성을 설명하면 다음과 같다.

제 N번째 게이트라인(Gn)에 대응되는 제 1화소는 화상전압을 충전하는 제 1커패시터(C1)와, 소스전극이 상기 데이터라인(Dm,Dm+ 1)에 연결되고, 드레인전극이 상기 제 1커패시터(C1)에 연결된 제 1트랜지스터(T1)와, 게이트전극이 제 N번째 게이트라인(Gn)에 연결되고, 소스전극이 제 N+ 1번째 게이트라인(Gn+ 1)에 연결되며, 드레인전극이 상기 제 1트랜지스터(T1)의 게이트전극에 연결된 제 2트랜지스터(T2)로 구성된다.

그리고, 상기 제 N번째 게이트라인(Gn)에 대응되는 제 2화소는 화상전압을 충전하는 제 2커패시터(C2)와, 게이트전극이 제 N번째 게이트라인(Gn)에 연결되고, 소스전극이 상기 제 1화소의 제 1트랜지스터(T1)의 소스전극과 함께 데이터라인(Dm,Dm+ 1)에 공통적으로 연결되며, 드레인전극이 상기 제 2커패시터(C2)와 연결된 제 3트랜지스터(T3)로 구성된다.

그리고, 상기 제 N번째 게이트라인(Gn)에 대응되는 제 3화소는 화상전압을 충전하는 제 3커패시터(C3)와, 소스전극이 상기 데이터라인(Dm,Dm+ 1)에 연결되고, 드레인전극이 상기 제 3커패시터(C3)에 연결된 제 4트랜지스터(T4)와, 게이트전극이 상기 제 N+ 1번째 게이트라인(Gn+ 1)에 연결되고, 소스전극이 상기 제 N번째 게이트라인(Gn)에 연결되며, 드레인전극이 상기 제 4트랜지스터(T4)의 게이트전극과 연결된 제 5트랜지스터(T5)로 구성된다.

상기와 같이, 상기 제 1화소는 2개의 트랜지스터(T1,T2)로 구성되고, 상기 제 2화소는 1개의 트랜지스터(T3)로 구성되며, 상기 제 3화소는 2개의 트랜지스터(T4,T5)로 구성된다.

상기 게이트라인(Gn～Gn+ 2)에 주사신호(VGn～V_{Gn+2})를 인가하는 게이트구동부는 동일한 게이트라인(Gn～Gn+ 2)에 두 번씩 주사신호(VGn～V_{Gn+2})를 출력한다. 이 중 첫번째 주사신호(VGn～V_{Gn+2})는 1/3수평주기를 갖도록 출력되고, 두번째 주사신호(VGn～V_{Gn+2})는 2/3수평주기를 갖도록 출력된다.

제 N번째 주사신호(V_{Gn}) 중 두번째 주사신호는 제 N+ 1번째 주사신호(V_{Gn+1}) 중 첫번째 주사신호와 1/2수평주기동안 중첩된다.

상기 중첩구간동안 상기 제 N번째 게이트라인(Gn)에 대응되는 제 1화소에서는 제 2트랜지스터(T2)가 턴-온되어 상기 제 1트랜지스터(T1)를 제 N+ 1번째 주사신호(V_{Gn+1})에 의해 턴-온시키고, 상기 제 1커패시터(C1)에는 화상전압이 충전된다.

그리고, 제 2화소에서는 제 3트랜지스터(T3)가 턴-온되어 상기 제 2커패시터(C2)에는 상기 제 3트랜지스터(T3)를 통해 인가되는 화상전압이 충전된다.

또한, 제 3화소에서는 제 5트랜지스터(T3)가 상기 제 N+ 1번째 주사신호(Gn+ 1)에 의해 턴-온되어 상기 제 5트랜지스터(T5)를 통해 인가된 제 N번째 주사신호(Gn)에 의해 상기 제 4트랜지스터(T4)가 턴-온되며, 이에 따라 상기 제 3커패시터(C3)에는 상기 제 4트랜지스터(T4)를 통해 인가되는 화상전압이 충전된다.

상기와 같이, 상기 제 2화소는 제 N번째 주사신호(Gn)에 의해서만 화상전압이 충전되지만, 상기 제 1화소 및 제 3화소는 제 N번째 주사신호(Gn)와 제 N+ 1번째 주사신호(Gn+ 1)를 동시에 인가받아야 화상전압의 충전이 시작된다.

한편, 제 N번째 주사신호(Gn)가 인가되는 t1시간동안 상기 제 2트랜지스터(T2), 제 3트랜지스터(T3) 및 제 5트랜지스터(T5)가 턴-온되어 상기 제 1,2,3커패시터(C1,C2,C3)에는 모두 화상전압이 충전된다.

다음, 1/3수평주기 경과 후 t2시간동안 상기 제 3트랜지스터(T3)는 그대로 턴-온상태를 유지하기때문에 상기 제 2커패시터(C2)에는 화상전압이 계속 충전되며, 상기 제 2트랜지스터(T2)는 턴-온상태를 유지하지만 상기 제 N+ 1번째 주사신호(Gn+ 1)가 인가되지 않기때문에 상기 제 1커패시터(C1)에는 더 이상 화상전압이 충전되지 않는다. 그리고, 상기 제 5트랜지스터(T5)는 턴-오프되지만 상기 제 4트랜지스터(T4)와 제 5트랜지스터(T5) 사이에 플로팅된 전압에 의해 상기 제 4트랜지스터(T4)는 그대로 턴-온상태를 유지하므로, 상기 제 3커패시터(C3)에서 계속 화상전압이 충전된다.

다시, 1/3수평주기 경과 후 제 N번째 주사신호(Gn)가 더 이상 인가되지 않으므로, 상기 제 3트랜지스터(T3)는 턴-오프되어 상기 제 2커패시터(C2)에 화상전압 충전도 중단된다.

그러나, 상기 제 4트랜지스터(T4)는 그대로 턴-온상태를 유지하여 상기 제 3커패시터(C3)에는 화상전압이 계속 충전된다.

다시, 1/3수평주기가 경과하면, 상기 제 N+1번째 주사신호(Gn+1)가 상기 제 5트랜지스터(T5)를 턴-온시켜 상기 제 4,5 트랜지스터(T4,T5) 사이에 플로팅된 전압을 방전시키므로, 더 이상 상기 제 3커패시터(C3)에는 화상전압이 충전되지 않는다.

상기와 같이, 상기 제 1화소에는 1/3수평주기동안 화상전압이 충전되고, 상기 제 2화소에는 2/3수평주기동안 화상전압이 충전되며, 상기 제 3화소에는 한 수평주기동안 화상전압이 충전된다. 즉, 각 화소에 대응하는 유효한 화상전압이 충전될 수 있는 시간이 각 화소마다 1/2수평주기만큼 독립적으로 확보된다. 따라서, 첫 1/3수평주기동안 제 1화소에 유효화상전압이 충전되고, 두번째 1/3수평주기동안 제 2화소에 유효화상전압이 충전되고, 세번째 1/3수평주기동안 제 3화소에 유효화상전압이 충전된다. 상기 첫 1/3수평주기동안 제 1화소에 충전되는 유효화상전압이 상기 제 2화소와 제 3화소에도 충전될 수 있으나 두번째 1/3수평주기동안과 세번째 1/3수평주기동안 상기 제 2화소와 제 3화소에 각각 유효화상전압이 재 인가되므로, 결과적으로, 하나의 데이터라인을 통해 제 1,2,3화소에는 각각 유효한 화상전압이 충전되게 된다.

상기 제 1실시예에서 제 5실시예까지 제 1화소와 제 2화소의 화상전압 충전시간 또는 충전이 시작되는 시점이 다르게 설정된 것은 상기와 같이 각 화소에 유효한 화상전압을 충전시킬 수 있는 시간을 확보하기 위함이다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치는 하나의 데이터라인으로 2개 또는 3개의 화소를 구동시킬 수 있기때문에 종래에 비해 1/2이상 데이터라인 수를 줄이고, 이에 따라 데이터IC의 수도 줄일 수 있게됨에 따라 액정표시장치의 제작비용을 낮출 수 있다.

또한, 종래보다 적은 수의 데이터라인을 형성함에 따라 라인 간의 간격 확보가 용이하다.

도면의 간단한 설명

도1은 일반적인 액정표시장치를 보인 도면.

도2a는 본 발명에 따른 액정표시장치의 제 1실시예를 보인 도면.

도2b는 도2a의 액정표시장치의 구동파형을 나타낸 타이밍도.

도3a는 본 발명에 따른 액정표시장치의 제 2실시예를 보인 도면.

도3b는 도3a의 액정표시장치의 구동파형을 나타낸 타이밍도.

도4a는 본 발명에 따른 액정표시장치의 제 3실시예를 보인 도면.

도4b는 도4a의 액정표시장치의 구동파형을 나타낸 타이밍도.

도5a는 본 발명에 따른 액정표시장치의 제 4실시예를 보인 도면.

도5b는 도5a의 액정표시장치의 구동파형을 나타낸 타이밍도.

도6a는 본 발명에 따른 액정표시장치의 제 5실시예를 보인 도면.

도6b는 도6a의 액정표시장치의 구동파형을 나타낸 타이밍도.

도면의 주요 부분에 대한 부호의 설명

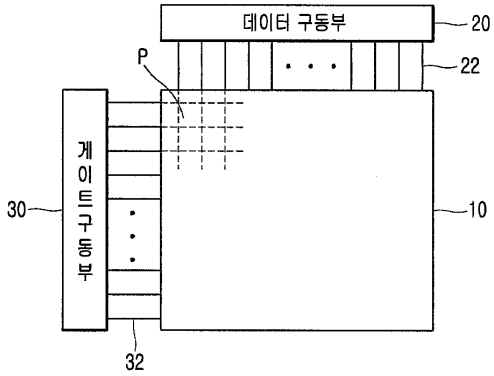
Dm,Dm+ 1: 데이터라인 Gn～Gn+ 2: 게이트라인

T1～T5: 트랜지스터 C1～C3: 커패시터

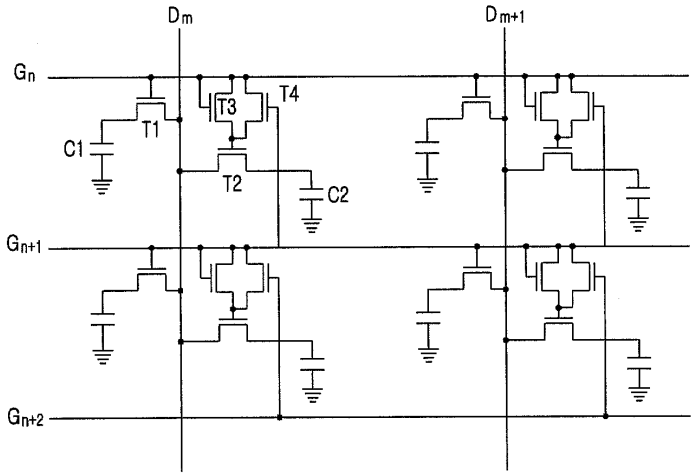
V_{Gn}～V_{Gn+2}: 주사신호

도면

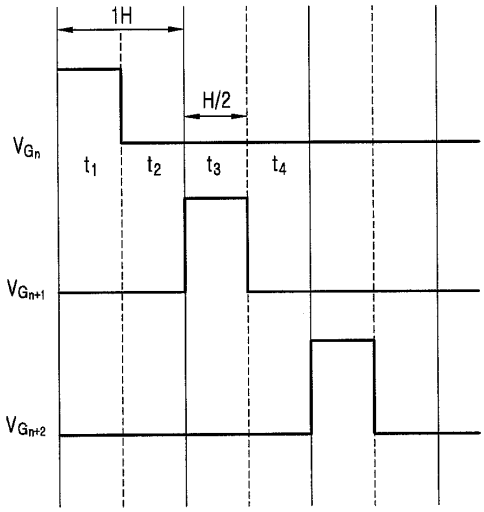
도면1



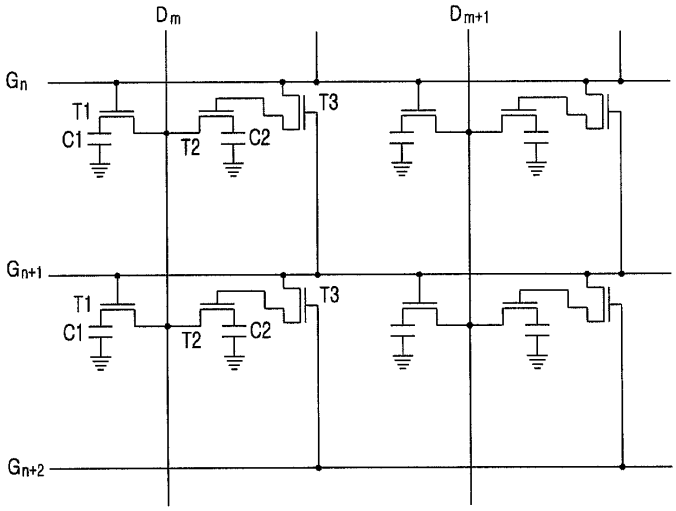
도면2a



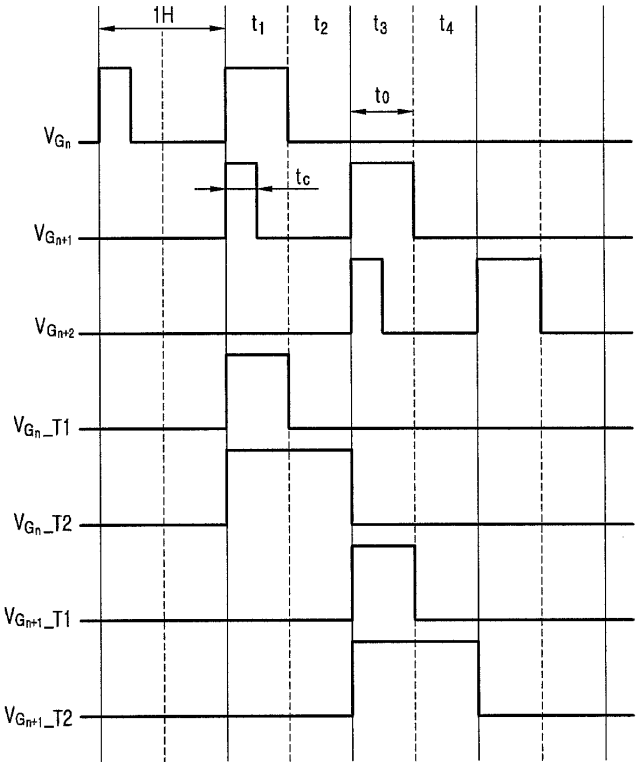
도면2b


1H
H/2
V_{G_n}
t_1
t_2
t_3
t_4
$V_{G_{n+1}}$
$V_{G_{n+2}}$

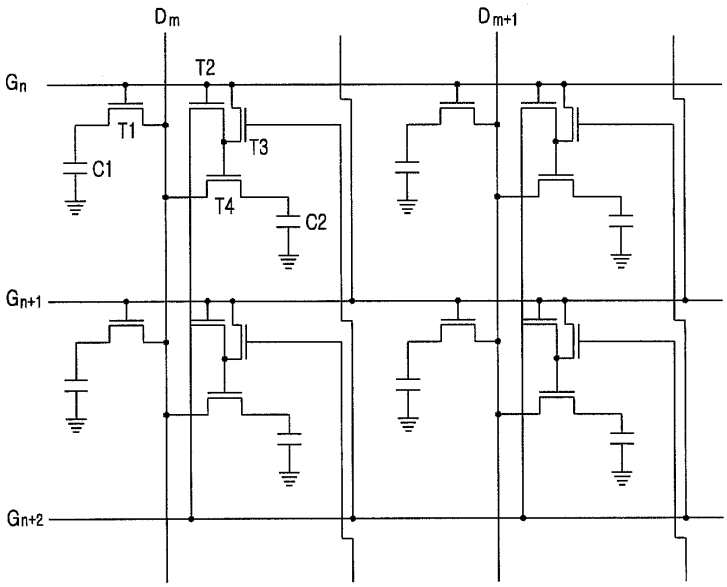
도면3a


D_m
D_{m+1}
G_n
T1
C1
T2
C2
T3
G_{n+1}
T1
C1
T2
C2
T3
G_{n+2}

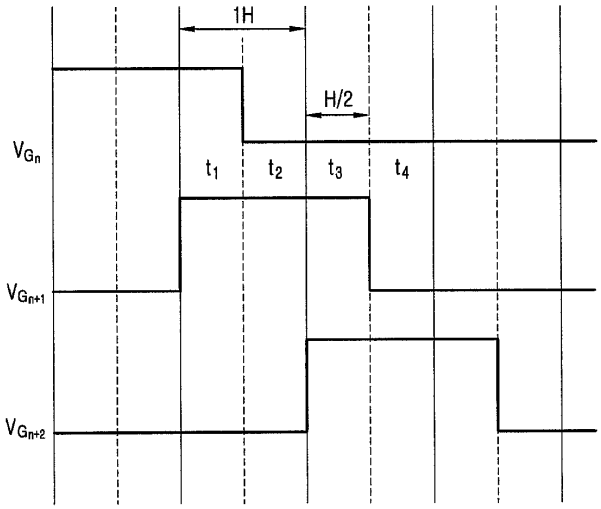
도면3b


1H
t1
t2
t3
t4
t0
tc
VGn
VGn+1
VGn+2
VGn_T1
VGn_T2
VGn+1_T1
VGn+1_T2

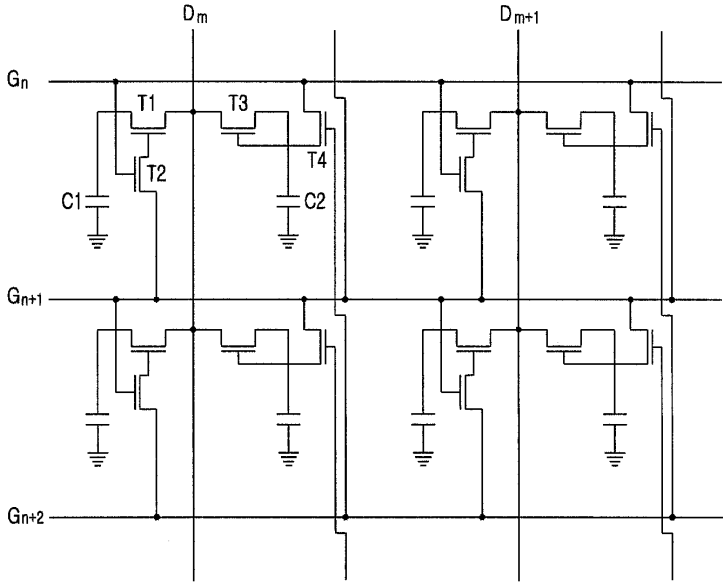
도면4a


Dm
Dm+1
Gn
Gn+1
Gn+2
T1
T2
T3
T4
C1
C2

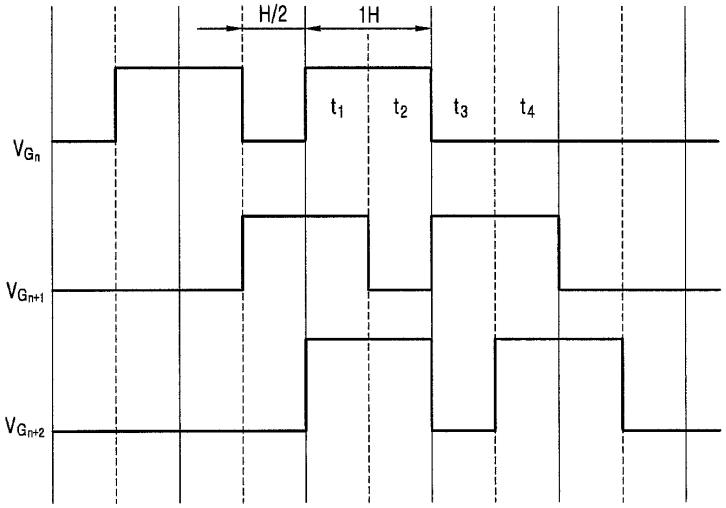
도면4b



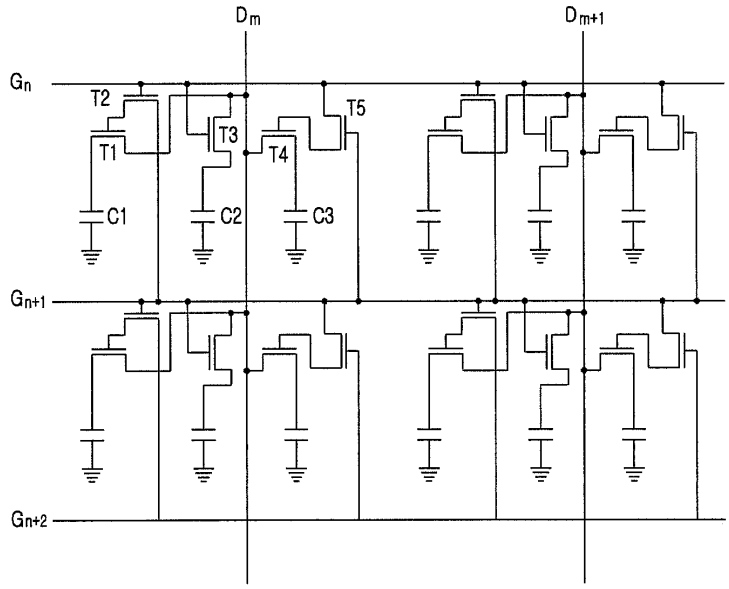
도면5a



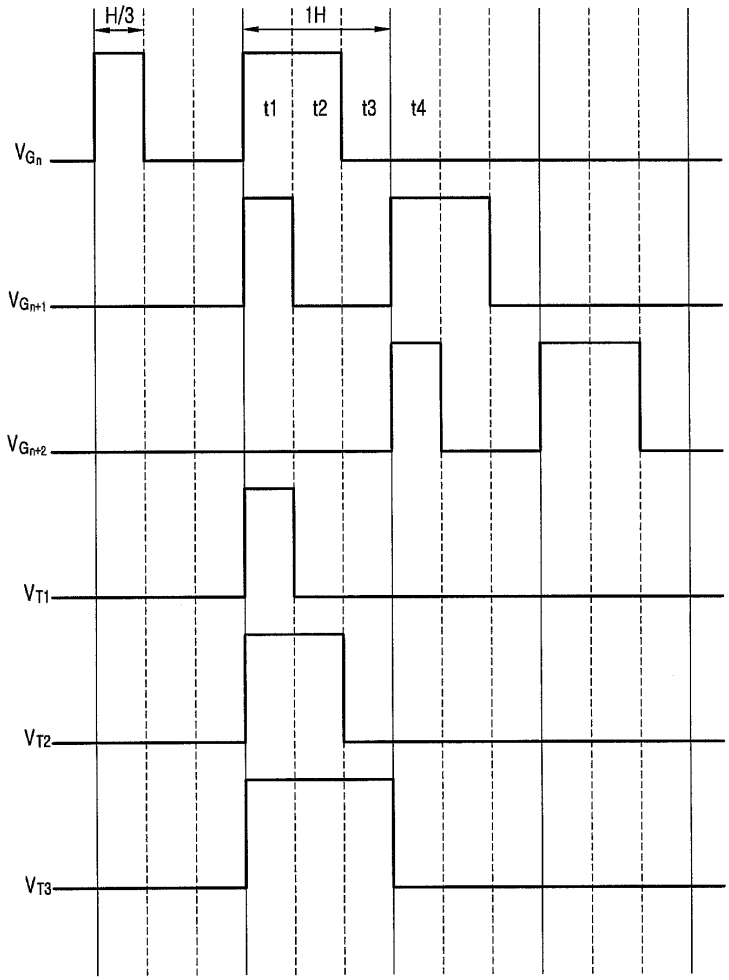
도면5b


H/2
1H
t1
t2
t3
t4
VGn
VGn+1
VGn+2

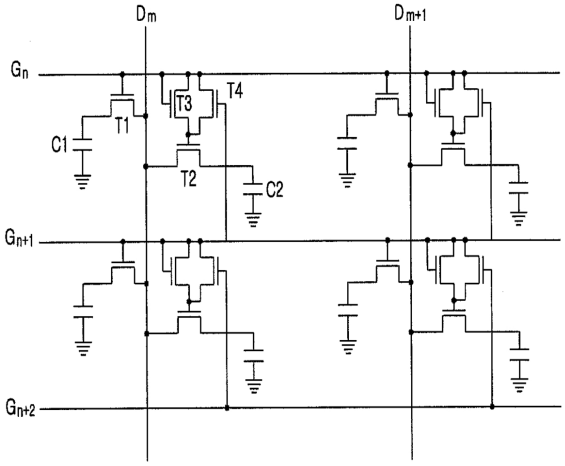
도면6a


Dm
Dm+1
Gn
Gn+1
Gn+2
T1
T2
T3
T4
T5
C1
C2
C3

도면6b



专利名称(译)	液晶显示器		
公开(公告)号	KR1020070003186A	公开(公告)日	2007-01-05
申请号	KR1020050058943	申请日	2005-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM CHEOL SE		
发明人	KIM,CHEOL SE		
IPC分类号	G02F1/133		
CPC分类号	G02F1/136286 G09G3/3677 G09G3/3688		
代理人(译)	PARK，JANG WON		
外部链接	Espacenet		

摘要(译)

本发明涉及减少栅极线数的液晶显示器。它由在栅极线上电连接的第一个像素和不同时间组成，栅极驱动单元依次授权栅极线，栅极线和数据线中的扫描信号，并在每个数据中电连接当在数据线中沿第二方向排列的多个图像电压被充电时，在基板和第二像素中沿着第一方向排列多个基板。数据线，电荷，水平周期，电容，扫描信号。