

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 10-2005-0105535
G02F 1/136 (43) 공개일자 2005년11월04일

(21) 출원번호 10-2004-0030540
(22) 출원일자 2004년04월30일

(71) 출원인 (주)비전인텍
서울 강남구 역삼동 837-26 삼일프라자 718호
(72) 발명자 민태석
경기도 안양시 동안구 관양동 공작아파트 301-102
(74) 대리인 박형근

심사청구 : 있음

(54) 저소비전력의 박막 트랜지스터 액정표시장치

요약

본 발명은 소비전력을 감소시킨 박막 트랜지스터 액정표시장치에 관한 것으로, 본 발명에 따른 저소비전력의 박막 트랜지스터 액정표시장치는 소스 전극, 드레인 전극 및 게이트 전극이 유리기판상에 구비된 박막 트랜지스터에 P-TEOS막, SOG막 및 P-TEOS 막이 순차적으로 적층된 절연1막이 도포되고, 상기 절연1막 상에 상기 박막 트랜지스터에 대응되어 형성된 차광막 패턴의 결과물 상의 전면에 절연2막이 형성되며, 상기 절연1,2막을 관통하고 상기 드레인 전극을 노출시키는 콘택홀을 통하여 상기 드레인 전극과 연결된 화소 전극이 구비됨을 특징으로 한다.

본 발명에 따른 저소비전력의 박막 트랜지스터 액정표시장치는 TFT기판에 차광막 패턴을 형성함으로써 개구율과 유지용량을 증가시켜 백 라이트의 소비전력이 감소되며, 백 라이트의 소비전력을 증가시키지 아니하고도 화질이 증가되는 효과를 얻는다.

대표도

도 1

색인어

TFT{Thin Film Transistor}, LCD(Liquid Crystal Display), 박막, 매트릭스(matrix), 전극.

명세서

도면의 간단한 설명

도 1은 본 발명에 의한 TFT-LCD를 나타내는 단면도.

도 2 내지 도 5는 본 발명의 TFT-LCD의 각각의 제조공정을 나타내는 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 TFT-LCD(Thin Film Transistor Liquid Crystal Display)에 관한 것으로, 특히 TFT기판에 차광막을 형성하여 소비전력이 감소되며 화질이 개선되도록 한 저소비전력의 박막 트랜지스터 액정표시장치에 관한 것이다.

액티브 매트릭스형 액정 표시(active matrix-type liquid crystal display, AM-LCD) 박막으로서 액티브 매트릭스형 액정표시 소자(LCD)에 있어서 각 화소마다 화상신호를 스위칭 하기 위한 스위칭 소자로 널리 사용되고 있다. 이러한 AM-LCD에 있어서 개개의 화소전극들이 독립적으로 구동되기 때문에 duty rate의 감소에 의한 contrast가 감소되지 않으며 디스플레이 용량이 증가하여 라인수가 증가되어도 시야각이 감소되지 않는다.

통상 TFT-LCD는 TFT매트릭스가 배치된 TFT기판에 칼라필터 및 공통전극을 배치한 칼라필터기판을 상호 대향되도록 고정하고, 그 사이 수 μm 의 공간에 액정을 봉입한 패널(panel)을 2매의 편광판으로 끼운 구조로 형성된다. TFT기판 상에는 복수의 신호선과 주사선이 매트릭스 형태로 배열되며, 상기 신호선과 주사선에 의해 포위된 부분이 하나의 화소(pixel)로 정의된다. 화소전극 및 공통전극에는 투명전도막이 사용되므로 TFT기판의 후면에 후광을 조사시켜 칼라 필터에서 산출되는 광을 식별하는 방식으로써 이용된다.

이때, 후광이 통과될 시 칼라필터기판의 각 칼라필터패턴 경계지역에서 빛의 난반사가 발생하여 화질이 저하되는 문제가 발생하는데, 종래에는 이를 방지하기 위하여 칼라필터패턴의 경계지역에 차광막을 형성하였다. 그러나 이는 칼라필터기판과 TFT기판을 배열할 시 오차를 고려하여 차광막 패턴의 폭을 상당량으로 크게 형성하여야 하며, 이는 LCD의 개구율을 감소시킨다. 또한 차광막으로 인해 개구율이 작으므로 후광의 소비전력을 증가시키지 아니하면 화질이 저하된다.

또한 수소화된 비정질 실리콘(Hydrogenated amorphous silicon)과 같은 반도체 레이어(layer)를 이용하여 형성된 액티브층이 형성되는 TFT-LCD에 있어서, 상기 반도체 레이어는 상대적으로 저하된 전계 효과 이동도를 가지며, 신호가 인가될 시 채널이 단지 절연막과 액티브층 사이에서만 형성되므로 온전류(on current)가 낮은 단점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 소비전력이 감소되고 화질을 개선시키도록 한 저소비전력의 박막 트랜지스터 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

상기 과제를 달성하기 위하여 본 발명에 따른 저소비전력의 박막 트랜지스터 액정표시장치는, 소스 전극, 드레인 전극 및 게이트 전극이 유리기판상에 구비된 박막 트랜지스터에 P-TEOS(Plasma-based TetraEthyl OrthoSilicate)막, SOG(Spin On Glass)막, SOG막 및 P-TEOS 막이 순차적으로 적층된 절연1막이 도포되고, 상기 절연1막 상에 상기 박막 트랜지스터에 대응되어 형성된 차광막 패턴의 결과물 상의 전면에 절연2막이 형성되며, 상기 절연1,2막을 관통하고 상기 드레인 전극을 노출시키는 콘택홀을 통하여 상기 드레인 전극과 연결된 화소 전극이 구비됨을 특징으로 한다.

본 발명에 따른 저소비전력의 박막 트랜지스터 액정표시장치는 상기 차광막 패턴이 Ti 또는 TiN 로 형성되고, 상기 차광막 패턴의 두께가 300 내지 3000Å로 형성됨을 특징으로 한다.

이하 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.

본 발명에 따른 저소비전력의 박막 트랜지스터 액정표시장치는 차광막(Black Matrix) 패턴을 칼라필터기판이 아닌 TFT기판에 형성하여 TFT-LCD의 개구율이 증가하고, 백 라이트(Back Light)의 소비전력이 감소되며, 차광막과 화소 전극 사이에 수용적이 형성되어 화질이 개선된다.

도 1은 본 발명에 의한 TFT-LCD를 나타내는 단면도로, 본 발명에 따른 TFT-LCD의 TFT기판에는 유리기판상에 비정질 실리콘(a-Si)막으로 이루어진 반도체막 패턴(1,3)이 형성된다. 상기 반도체막 패턴(1,3)은 각각 TFT의 활성층으로, 스토리지 커패시터의 하부전극으로 사용된다. 위 반도체막 패턴들(1,3) 상에는 이들을 절연시키는 절연막(5)이 예컨대 CVD

산화막으로 형성되어 있으며, 위 절연막(5)상에는 공히 알루미늄(Al) 등으로 이루어진 게이트 전극(7) 및 스토리지 커패시터의 상부전극(9)이 형성된다. 상기 절연막(5)은 TFT의 게이트 절연막으로 사용되고, 상기 하부전극용 반도체막 패턴(3)과 상부전극(9)은 이들 사이에 위치한 절연막(5)과 아울러 스토리지 커패시터를 형성한다.

이들 결과물 상에 이들을 덮는 절연막(11)으로써 저온산화막(LTO)이 형성되어 있다. 콘택홀은 위 절연막(11) 상에는 상기 절연막(5, 11)들을 연속적으로 식각하여 TFT의 활성층으로 사용되는 반도체막 패턴(1)을 노출시키도록 마련된다. 위 콘택홀 매립하여 형성된 소스 전극(13)과 드레인 전극(15)은 위 콘택홀을 매립함으로써 형성되고, 위 소스 전극(13)과 드레인 전극(15)은 크롬(Cr) 등과 같은 금속막으로 이루어져 있다. 이들 결과물의 전면에는 이들을 덮는 절연1막(17)이 형성되어 있고, 위 절연1막은 P-TEOS막, SOG(Spin On Glass)막 및 P-TEOS막이 순차적으로 적층된 구조로써 마련된다.

위 절연1막(17) 상에는 차광막 패턴(19)이 형성되며, 위 차광막(19)은 티타늄(Ti) 또는 티타늄 나이트라이드(TiN)로 이루어지고 그 두께는 300 내지 3000Å 정도로 구비됨이 바람직하다. 이들 결과물의 전면에는 P-TEOS막으로 이루어진 절연2막(21)이 형성된다.

이들 결과물 상에는 드레인 전극의 일부를 노출시키도록 형성된 콘택홀을 통하여 드레인 전극과 연결된 화소전극(25)이 형성되고, 위 화소전극(25)은 예컨대 ITO(Indium Tin Oxide) 등과 같은 투명 도전막으로 형성된다.

본 발명에 따른 저소비전력의 박막 트랜지스터 액정표시장치는 다음과 같은 공정으로 형성된다.

유리기판상에 소스 전극(13), 드레인 전극(15) 및 게이트 전극(7)으로 이루어진 TFT와 하부전극(3), 절연막(5) 및 상부전극(9)으로 이루어지는 스토리지 커패시터를 형성하는 단계가 도 2에 도시되었다. 유기기판상에 비정질 실리콘(a-Si)막을 증착한 후 결정화하여 반도체막을 형성하고, 위 반도체막을 패터닝함으로써 TFT의 활성층과 스토리지 커패시터의 하부전극으로 사용될 반도체막 패턴(1,3)을 형성한다.

위 반도체막 패턴(1,3)이 형성된 기판 상에 산화막을 증착하여 절연막(5)을 형성하며, 위 절연막(5)은 TFT의 게이트 절연막과 스토리지 커패시터의 유전막으로 사용된다.

위 절연막(5) 상에 알루미늄(Al)을 증착하고 이를 패터닝하여 게이트 전극(7) 및 스토리지 커패시터의 상부전극(9)을 형성한다. 다음으로, TFT부의 상기 반도체막을 dope하여 TFT의 소스 및 도리어층이 아닌 드레인을 형성한다. 계속하여 상기 결과물의 전면에 산화막을 증착하여 상기 게이트 전극(7)과 상부전극(9) 또는 다른 도전막을 절연하고, 위 절연막(5, 11)들을 연속 식각하여 상기 소스 및 드레인을 노출시키는 콘택홀을 형성한다. 이 결과물의 전면에 예컨대 크롬(Cr) 등을 증착한 후 패터닝하여 소스 전극(13)과 드레인 전극(15)을 형성한다.

차단막 패턴(19)으로는 도 3에서, 위 결과물 상의 전면에 절연1막(17)을 형성하는데, 플라즈마 CVD를 이용하여 P-TEOS(TetraEthyl OrthoSilicate)막을 5000Å의 두께로 증착하고, SOG막을 2200Å의 두께로 도포한 후 상기 SOG막을 베이킹하되, 위 SOG막 두께의 균일도를 얻기 위하여 다수회 반복할 수 있다. 상기 SOG막을 에치백(etch back)하여 절연1막(17)의 표면을 평탄화한다. 후속 차광막 패턴을 형성하기 위한 식각공정시 SOG막이 노출되지 아니하도록 플라즈마 CVD를 이용하여 P-TEOS 막을 2000Å 더 증착하는데, 이는 후속 드레인 전극과 투명도전막을 연결시키기 위한 습식식각시 식각액에 의하여 SOG막이 용융되는 문제를 제지하기 위함이다.

위 절연1막(17) 상의 전면에 차광용 Ti 또는 TiN 등을 300 내지 3000Å의 두께로 증착하여 패터닝함으로써 빛의 난반사를 방지하는 차광막 패턴(19)을 형성한다.

위 차광막 패턴(19)을 형성하기 위한 패터닝 공정은 Ti 또는 TiN에 대해 식각율이 높은 $BCl_3 + Cl_2 + CHF_3$ 의 혼합가스 또는 $BCl_3 + Cl_2$ 의 혼합가스 등을 이용하는 건식식각으로 행하여진다. 차광막 패턴(19)이 칼라필터기판이 아닌 하판에 설치되면 차광막 패턴의 폭을 크게 할 필요가 없으므로, 개구율이 증가하여 백 라이트의 소비전력이 감소되며 화질을 개선할 수 있다.

도 4 내지 도 5에서 상기 결과물 상의 전면에 4000Å 두께의 P-TEOS막을 증착하여 절연2막(21)을 형성한다. 위 절연1막(17)과 절연2막(21)을 연속적으로 사진식각하여 드레인 전극(15)의 일부를 노출시키는 콘택홀(23)을 형성한다. 위 콘택홀(23)을 매립하면서 위 결과물 상의 전면에 ITO(Indium Tin Oxide)를 증착하고, 위 ITO를 패터닝하고 식각함으로써 투명도전막(25)을 완성한다. 마지막으로, 차광막 패턴이 없는 칼라필터기판과 본 발명의 TFT 기판을 얼라인한 후 액정을 주

입하여 TFT-LCD를 완성한다. 여기서, 화소 전극(25)과 차광막 패턴(19)의 사이에 추가적으로 커패시터가 형성되어 유지용량(Cst)이 증가하고, TFT 스위치가 ON되어 유지용량에 충전된 전하가 TFT 스위치가 OFF 된 동안에도 다음 신호 인가 전압을 위한 TFT ON 시까지 충실히 유지되어 화질이 향상된다.

이상으로 본 발명의 실시예를 상세하게 설명하였으나, 본 발명은 이에 한정되지 아니하고 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

발명의 효과

본 발명에 따른 저소비전력의 박막 트랜지스터 액정표시장치는 TFT기판에 차광막 패턴을 형성함으로써 개구율과 유지용량을 증가시켜 백 라이트의 소비전력이 감소되며, 백 라이트의 소비전력을 증가시키지 아니하고도 화질이 증가된다.

(57) 청구의 범위

청구항 1.

소스 전극, 드레인 전극 및 게이트 전극이 유리기판상에 구비된 박막 트랜지스터에 P-TEOS막, SOG막 및 P-TEOS 막이 순차적으로 적층된 절연1막이 도포되고, 상기 절연1막 상에 상기 박막 트랜지스터에 대응되어 형성된 차광막 패턴의 결과물 상의 전면에 절연2막이 형성되며, 상기 절연1,2막을 관통하고 상기 드레인 전극을 노출시키는 콘택홀을 통하여 상기 드레인 전극과 연결된 화소 전극이 구비됨을 특징으로 하는 저소비전력의 박막 트랜지스터 액정 표시장치.

청구항 2.

청구항 1에 있어서,

상기 차광막 패턴이 Ti 또는 TiN 로 형성됨을 특징으로 하는 저소비전력의 박막 트랜지스터 액정 표시장치.

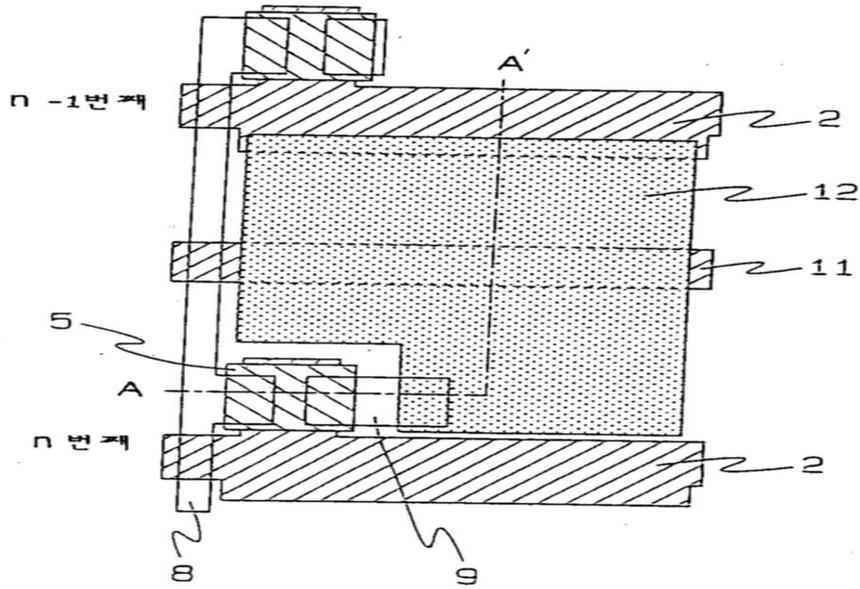
청구항 3.

청구항 1에 있어서,

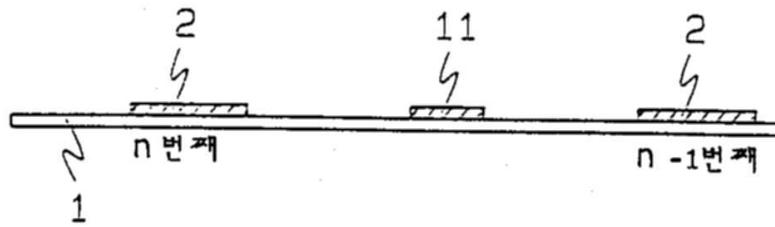
상기 차광막 패턴의 두께가 300 내지 3000Å로 형성됨을 특징으로 하는 저소비전력의 박막 트랜지스터 액정 표시장치.

도면

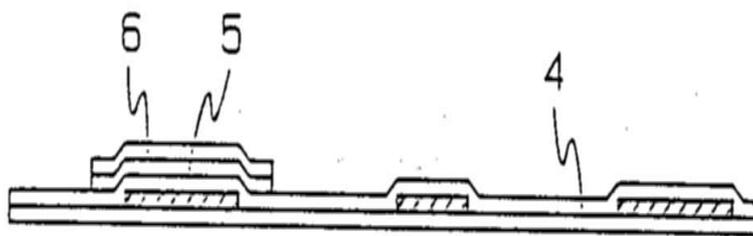
도면1



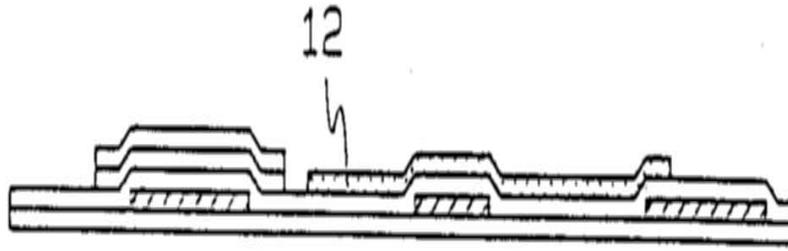
도면2



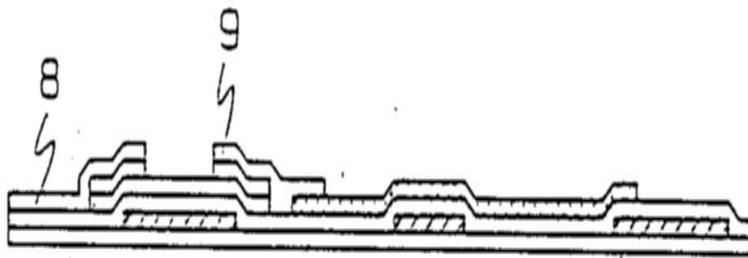
도면3



도면4



도면5



专利名称(译)	低功耗薄膜晶体管液晶显示器		
公开(公告)号	KR1020050105535A	公开(公告)日	2005-11-04
申请号	KR1020040030540	申请日	2004-04-30
[标]申请(专利权)人(译)	VISIONINTECH		
申请(专利权)人(译)	股份公司的实验室.		
当前申请(专利权)人(译)	股份公司的实验室.		
[标]发明人	MIN TAE SEOK		
发明人	MIN,TAE SEOK		
IPC分类号	G02F1/136		
外部链接	Espacenet		

摘要(译)

本发明涉及具有根据本发明降低的功率消耗，低功率薄膜晶体管液晶显示装置的薄膜晶体管的液晶显示装置是在所述衬底，所述源电极，漏电极和栅电极自由基P-TEOS提供了一种薄膜晶体管膜，SOG膜和依次层叠膜1被应用于一个P-TEOS绝缘膜，所述绝缘膜1并且，在形成于薄膜晶体管上的所得遮光膜图案的整个表面上设置像素电极，该像素电极通过穿过绝缘层和绝缘层并暴露漏电极的接触孔连接到漏电极，它表征。根据本发明的低功耗薄膜晶体管液晶显示器件包括TFT基板通过形成光屏蔽膜图案，增加了孔径比和存储容量以降低背光的功耗，并且在不增加背光的功耗的情况下提高了图像质量。1 指数方面（薄膜晶体管），液晶显示器（LCD），薄膜，矩阵，电极。

