



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년08월26일
(11) 등록번호 10-0913303
(24) 등록일자 2009년08월14일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2003-0028650
(22) 출원일자 2003년05월06일
심사청구일자 2008년04월03일
(65) 공개번호 10-2004-0095053
(43) 공개일자 2004년11월12일
(56) 선행기술조사문헌
JP2000347628 A
KR1020010001488 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

전진

경기도안양시동안구갈산동샘마을쌍용아파트202동602호

김형걸

경기도용인시구성면보정리1161진산마을삼성5차아파트505동206호

(74) 대리인

박영우

전체 청구항 수 : 총 9 항

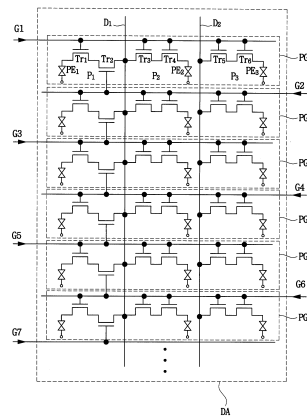
심사관 : 남기영

(54) 액정표시장치

(57) 요약

표시 특성을 향상시킬 수 있는 액정표시장치가 개시된다. 액정표시패널에는 제1 게이트 라인, 제2 게이트 라인 및 제1 데이터 라인에 연결된 제1 화소, 제1 게이트 라인과 제1 데이터 라인에 연결된 제2 화소 및 제2 데이터 라인과 제1 게이트 라인에 연결된 제3 화소로 이루어진 다수의 화소군이 구비된다. 제1 게이트 구동부는 제1 게이트 라인에 제1 게이트 구동신호를 출력하고, 제2 게이트 구동부는 제2 게이트 라인에 제2 게이트 구동신호를 출력한다. 데이터 구동부는 영상신호를 발생하여 제1 및 제2 데이터 라인에 제공한다. 따라서, 액정표시장치의 표시 특성을 향상시킬 수 있고, 액정표시패널에 형성된 데이터 라인의 수를 감소시킬 수 있다.

대표도 - 도2a



특허청구의 범위

청구항 1

제1 게이트 라인, 상기 제1 게이트 라인과 인접한 제2 게이트 라인 및 제1 데이터 라인에 연결된 제1 화소, 상기 제1 게이트 라인과 상기 제1 데이터 라인에 연결된 제2 화소 및 상기 제1 데이터 라인과 인접하는 제2 데이터 라인과 상기 제1 게이트 라인에 연결된 제3 화소로 이루어진 다수의 화소군이 구비된 액정표시패널;

상기 제1 게이트 라인에 제1 게이트 구동신호를 출력하기 위한 제1 게이트 구동부;

상기 제2 게이트 라인에 제2 게이트 구동신호를 출력하기 위한 제2 게이트 구동부; 및

영상 신호를 발생하여 상기 제1 및 제2 데이터 라인에 제공하기 위한 데이터 구동부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서, 상기 제1 화소는,

제1 화소전극;

상기 제2 게이트 라인에 연결된 게이트 전극, 상기 제1 데이터 라인에 연결된 소오스 전극 및 드레인 전극을 갖는 제1 트랜지스터; 및

상기 제1 게이트 라인에 연결된 게이트 전극, 상기 제1 트랜지스터의 드레인 전극에 연결된 소오스 전극 및 상기 제1 화소전극과 결합된 드레인 전극을 갖는 제2 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제2항에 있어서, 상기 제1 게이트 구동신호는 상기 제1 게이트 라인에 연결된 이전단의 상기 제1 및 제2 화소들을 구동하기 위한 제1 구간, 상기 제1 게이트 라인에 연결된 현재단의 상기 제1 내지 제3 화소를 구동하기 위한 제2 구간을 갖고,

상기 제2 게이트 구동신호는 상기 제2 게이트 라인에 연결된 이전단의 상기 제1 및 제2 화소를 구동하기 위한 제3 구간 및 상기 제2 게이트 라인에 연결된 현재단에 상기 제1 내지 제3 화소를 구동하기 위한 제4 구간을 갖는 것을 특징으로 하는 액정표시장치.

청구항 4

제2항에 있어서, 상기 제2 화소는,

제2 화소전극;

상기 제1 게이트 라인에 연결된 게이트 전극, 상기 제1 데이터 라인에 연결된 소오스 전극 및 드레인 전극을 갖는 제3 트랜지스터; 및

상기 제1 게이트 라인에 연결된 게이트 전극, 상기 제3 트랜지스터의 드레인 전극에 연결된 소오스 전극 및 상기 제2 화소전극과 결합된 드레인 전극을 갖는 제4 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제4항에 있어서, 상기 제1 및 제3 구간은 상기 제1 트랜지스터를 턴-온시켜 상기 제1 화소전극에 상기 영상 신호를 출력하기 위한 제5 구간 및 상기 제1 트랜지스터를 턴-오프시켜 상기 제2 화소전극에 상기 영상 신호를 출력하기 위한 제6 구간으로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 6

제2항에 있어서, 상기 제3 화소는,

제3 화소전극;

상기 제1 게이트 라인에 연결된 게이트 전극, 상기 제2 데이터 라인에 연결된 소오스 전극 및 드레인 전극을 갖

는 제5 트랜지스터; 및

상기 제1 게이트 라인에 연결된 게이트 전극, 상기 제5 트랜지스터의 드레인 전극에 연결된 소오스 전극 및 상기 제3 화소전극과 결합된 드레인 전극을 갖는 제6 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서, 상기 액정표시패널은 상기 제1 내지 제3 화소에 각각 대응하는 R(Red), G(Green), B(Blue) 색 화소를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8

제1항에 있어서, 상기 제1 게이트 구동회로는,

제1 클럭신호를 입력받는 클럭신호단자, 상기 제1 클럭신호를 상기 제1 게이트 구동신호로써 출력하는 제1 출력단자, 상기 제1 클럭신호를 제1 스테이지 구동신호로써 출력하는 제2 출력단자, 이전단의 제2 출력단자로부터 출력된 상기 제1 스테이지 구동신호를 입력받는 입력단자 및 다음단의 제2 출력단자로부터 출력된 상기 제1 스테이지 구동신호를 입력받는 제어단자로 이루어진 복수의 스테이지가 종속적으로 연결된 쉬프트 레지스터로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 9

제1항에 있어서, 상기 제2 게이트 구동회로는,

제2 클럭신호를 입력받는 클럭신호단자, 상기 제2 클럭신호를 상기 제1 게이트 구동신호로써 출력하는 제1 출력단자, 상기 제1 클럭신호를 제1 스테이지 구동신호로써 출력하는 제2 출력단자, 이전단의 제2 출력단자로부터 출력된 상기 제1 스테이지 구동신호를 입력받는 입력단자 및 다음단의 제2 출력단자로부터 출력된 상기 제1 스테이지 구동신호를 입력받는 제어단자로 이루어진 복수의 스테이지가 종속적으로 연결된 쉬프트 레지스터로 이루어지는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 액정표시장치에 관한 것으로, 더욱 상세하게는 표시 특성을 향상시킬 수 있고 데이터 라인의 수를 감소시킬 수 있는 액정표시장치에 관한 것이다.
- <16> 일반적으로, 액정표시장치는 영상을 표시하기 위한 액정표시패널을 구비한다. 액정표시패널은 표시 영역, 표시 영역의 주변에 형성된 제1 내지 제3 주변 영역으로 이루어진다. 표시 영역에는 제1 방향으로 연장된 다수의 게이트 라인, 제1 방향과 직교하는 제2 방향으로 연장된 다수의 데이터 라인이 구비된다. 게이트 라인들 및 데이터 라인들 각각에는 박막 트랜지스터(Thin Film Transistor; 이하, TFT)가 연결된다.
- <17> 최근, 액정표시패널의 사이즈가 점차 증가함에 따라서 표시 영역에 형성되는 데이터 라인 및 게이트 라인의 수도 점차 증가된다. 이처럼, 게이트 라인의 수가 증가됨에 따라서, 액정표시장치는 상기 제1 및 제2 주변 영역에 각각 제1 및 제2 게이트 구동부를 구비하는 구조를 채용한다. 즉, 상기 제1 게이트 구동부는 다수의 게이트 라인 중 홀수번째 게이트 라인에 제1 게이트 구동신호를 순차적으로 출력하고, 상기 제2 게이트 구동부는 다수의 게이트 라인 중 짝수번째 게이트 라인에 제2 게이트 구동신호를 순차적으로 출력한다.
- <18> 이와 같이, 액정표시장치는 상기 다수의 게이트 라인을 구동하기 위하여 제1 및 제2 게이트 구동부를 제1 및 제2 주변 영역에 각각 구비함으로써, 게이트 라인에 인가되는 신호가 지연되는 현상을 방지할 수 있다.
- <19> 한편, 제3 주변 영역에는 다수의 데이터 라인에 영상 신호를 출력하기 위한 데이터 구동칩이 실장된다. 이때, 상기 데이터 구동칩에 연결된 다수의 데이터 라인의 수가 증가됨에 따라서, 상기 데이터 구동칩에 걸리는 부하가 증가되어 영상 신호가 지연되는 발생된다. 이러한 신호 지연 현상은 액정표시장치의 표시 특성을 저하시키는 요인으로 작용한다.

발명이 이루고자 하는 기술적 과제

<20> 따라서, 본 발명은 표시 특성을 향상시키기 위한 액정표시장치를 제공한다.

발명의 구성 및 작용

<21> 본 발명에 따른 액정표시장치는 제1 게이트 라인, 상기 제1 게이트 라인에 인접한 제2 게이트 라인 및 제1 데이터 라인에 연결된 제1 화소, 상기 제1 게이트 라인과 상기 제1 데이터 라인에 연결된 제2 화소 및 상기 제1 데이터 라인에 인접하는 제2 데이터 라인과 상기 제1 게이트 라인에 연결된 제3 화소로 이루어진 다수의 화소군이 구비된 액정표시패널을 포함한다.

<22> 제1 게이트 구동부는 상기 제1 게이트 라인에 제1 게이트 구동신호를 출력하고, 제2 게이트 구동부는 상기 제2 게이트 라인에 제2 게이트 구동신호를 출력한다. 데이터 구동부는 영상신호를 발생하여 상기 제1 및 제2 데이터 라인에 제공한다.

<23> 이러한 액정표시장치에 따르면, 상기 액정표시패널에는 다수의 화소군이 구비되고, 상기 다수의 화소군은 R, G, B 색화소 패턴대로 반복될 수 있도록 제1 내지 제3 화소로 이루어진다. 또한, 상기 제1 및 제2 화소는 하나의 데이터 라인에 공통적으로 연결된다. 따라서, 액정표시장치의 표시 특성을 향상시킬 뿐만 아니라, 액정표시패널에 형성된 데이터 라인의 수를 감소시킬 수 있다.

<24> 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

<25> 도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 평면도이다.

<26> 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정표시장치(600)는 영상을 표시하기 위한 표시 영역(DA), 상기 표시 영역(DA)의 주변에 형성된 제1 내지 제3 주변 영역(PA1, PA2, PA3)을 갖는 액정표시패널(100)을 포함한다. 제1 게이트 구동부(200)는 상기 제1 주변 영역(PA1)에 구비되고, 제2 게이트 구동부(300)는 상기 제2 주변 영역(PA2)에 구비된다. 한편, 상기 제3 주변 영역(PA3)에는 통합칩(400)이 실장된다.

<27> 상기 액정표시패널(100)의 상기 제3 주변 영역(PA3)에는 연성회로기판(Flexible Printed Circuit Board; FPC)(500)이 부착되고, 상기 연성회로기판(500)은 상기 액정표시패널(100)의 외부에 구비되는 장치로부터 각종 신호를 입력받아 상기 통합칩(400)으로 제공한다. 상기 통합칩(400)은 상기 각종 신호를 변환하여 상기 제1 및 제2 게이트 구동부(200, 300)의 구동을 제어하기 위한 제1 및 제2 제어신호(GC1, GC2)를 출력한다. 상기 제1 게이트 구동부(200)는 상기 제1 제어신호(GC1)에 의해서 구동되어 상기 표시 영역(DA)에 제1 게이트 구동신호를 출력하고, 상기 제2 게이트 구동부(300)는 상기 제2 제어신호(GC2)에 의해서 구동되어 상기 표시 영역(DA)에 제2 게이트 구동신호를 출력한다. 또한, 상기 통합칩(400)은 상기 표시 영역(DA)으로 영상 신호를 출력한다.

<28> 도 2a는 도 1에 도시된 표시 영역의 내부 구성을 구체적으로 나타낸 도면고, 도 2b는 도 1에 도시된 제1 및 제2 게이트 구동부의 내부 구성을 구체적으로 나타낸 도면이며, 도 3은 도 2a에 도시된 표시 영역의 구성을 구체적으로 나타낸 레이아웃도면이다. 표시 영역(DA)에는 제1 내지 제6 화소군(PG1, PG2, PG3, PG4, PG5, PG6)이 형성된다. 여기서, 상기 제1 내지 제6 화소군(PG1 ~ PG6) 각각은 동일한 구조를 가진다. 따라서, 상기 제1 내지 제6 화소군(PG1 ~ PG6) 중 하나인 제1 화소군(PG1)에 대해서 설명함으로써, 제2 내지 제6 화소군(PG2 ~ PG6)에 대한 설명을 대신한다.

<29> 도 2a 및 도 3을 참조하면, 제1 화소군(PG1)은 제1 및 제2 게이트 라인(G1, G2), 제1 및 제2 데이터 라인(D1, D2), 제1 내지 제3 화소(P1, P2, P3)를 포함한다. 상기 제1 게이트 라인(G1)은 제1 방향(A1)으로 연장되고, 상기 제2 게이트 라인(G2)은 상기 제1 게이트 라인(G1)과 절연된 상태로 상기 제1 방향(A1)으로 연장된다. 상기 제1 데이터 라인(D1)은 상기 제1 방향(A1)과 직교하는 제2 방향(A2)으로 연장되고, 상기 제2 데이터 라인(D2)은 상기 제1 데이터 라인(D1)과 절연된 상태로 상기 제2 방향(A2)으로 연장된다.

<30> 상기 제1 내지 제3 화소(P1 ~ P3)는 R(Red), G(Green), B(Blue) 색화소에 각각 대응한다. 상기 제1 화소(P1)는 상기 제1 데이터 라인(D1), 상기 제1 및 제2 게이트 라인(G1, G2)에 연결되고, 상기 제2 화소(P2)는 상기 제1 게이트 라인(G1) 및 제1 데이터 라인(D1)에 연결되며, 상기 제3 화소(P3)는 상기 제1 게이트 라인(G1) 및 제2 데이터 라인(D2)에 연결된다.

<31> 상기 제1 화소(P1)는 제1 박막 트랜지스터(Thin Film Transistor; 이하, TFT)(Tr1), 제2 TFT(Tr2) 및 제1 화소 전극(PE1)으로 이루어진다. 상기 제1 TFT(Tr1)는 상기 제2 게이트 라인(G1)에 연결된 게이트 전극, 상기 제1 테

이터 라인(D1)에 연결된 소오스 전극 및 상기 제2 TFT(Tr2)에 연결된 드레인 전극을 갖는다. 또한, 상기 제2 TFT(Tr2)는 상기 제1 게이트 라인(G1)에 연결된 게이트 전극, 상기 제1 TFT(Tr1)의 드레인 전극과 연결된 소오스 전극 및 상기 제1 화소 전극(PE1)에 결합된 드레인 전극을 갖는다.

<32> 한편, 상기 제2 화소(P2)는 제3 TFT(Tr3), 제4 TFT(Tr4) 및 제2 화소 전극(PE2)으로 이루어진다. 상기 제3 TFT(Tr3)는 상기 제1 게이트 라인(G1)에 연결된 게이트 전극, 상기 제1 데이터 라인(D1)에 연결된 소오스 전극 및 상기 제4 TFT(Tr4)에 연결된 드레인 전극을 갖는다. 또한, 상기 제4 TFT(Tr4)는 상기 제1 게이트 라인(G1)에 연결된 게이트 전극, 상기 제3 TFT(Tr3)의 드레인 전극에 연결된 소오스 전극 및 상기 제2 화소 전극(PE2)에 결합된 드레인 전극을 갖는다.

<33> 상기 제3 화소(P3)는 제5 TFT(Tr5), 제6 TFT(Tr6) 및 제3 화소 전극(PE3)으로 이루어진다. 상기 제5 TFT(Tr5)는 상기 제1 게이트 라인(G1)에 연결된 게이트 전극, 상기 제2 데이터 라인(D2)에 연결된 소오스 전극 및 상기 제6 TFT(Tr6)에 연결된 드레인 전극을 갖는다. 또한, 상기 제6 TFT(Tr6)는 상기 제1 게이트 라인(G1)에 연결된 게이트 전극, 상기 제5 TFT(Tr5)의 드레인 전극에 연결된 소오스 전극 및 상기 제3 화소 전극(PE3)에 결합된 드레인 전극을 갖는다.

<34> 상술한 구조를 갖는 제1 화소군(PG1)이 상기 표시 영역(DA)내에 다수로 형성됨으로써, 상기 표시 영역(DA)에는 다수의 게이트 라인 및 다수의 데이터 라인이 구비된다. 그러나, 상기 제1 화소군(PG1)이 포함하는 제1 내지 제3 화소(P1 ~ P3) 각각에 상기 데이터 라인을 연결되는 종래의 기술과는 달리, 도 2에 제시된 본 발명의 일 실시 예에서는 상기 제1 및 제2 화소(P1, P2)에 상기 제1 데이터 라인(D1)이 공통적으로 연결된다. 따라서, 상기 제1 화소군(PG1) 내에는 2 개의 데이터 라인이 구비된다. 그로 인해서, 상기 표시 영역(DA) 내에 구비되는 전체적인 다수의 데이터 라인의 수를 절감할 수 있다.

<35> 도 2b를 참조하면, 제1 게이트 구동부(200)는 상기 표시 영역(DA)내에 구비되는 다수의 게이트 라인 중 홀수번째 게이트 라인들(G1, G3, G5, G7)의 제1 단부에 연결되어 제1 게이트 구동신호를 제공하고, 제2 게이트 구동부(300)는 상기 다수의 게이트 라인 중 짝수번째 게이트 라인들(G2, G4, G6)의 제2 단부에 연결되어 제2 게이트 구동신호를 제공한다.

<36> 상기 제1 게이트 구동부(200)는 서로 종속적으로 연결된 복수의 스테이지(SRC01 ~ SRC04)로 이루어진 제1 쉬프트 레지스터를 포함한다. 상기 제1 쉬프트 레지스터의 각 스테이지는 입력단자(IN), 제1 출력단자(SOUT), 제2 출력단자(GOUT), 제어단자(CT), 제1 클럭신호단자(CK1), 구동전원전압단자(VDD), 접지전압단자(VSS)를 구비한다.

<37> 상기 제1 출력단자(GOUT)는 상기 홀수번째 게이트 라인들(G1, G3, G5, G7)의 제1 단부에 연결되어 상기 홀수번째 게이트 라인들(G1, G3, G5, G7)에 순차적으로 상기 제1 게이트 구동신호를 출력한다. 상기 제2 출력단자(SOUT)는 이전 스테이지의 제어단자(CT) 및 다음 스테이지의 입력단자(IN)에 각각 연결되고, 상기 제1 게이트 구동신호와 동일한 위상을 갖는 제1 스테이지 구동신호를 출력한다. 한편, 상기 복수의 스테이지 중 첫 번째 스테이지(SRC01)의 입력단자(IN)에는 제1 개시신호(STO)가 제공된다.

<38> 상기 제1 클럭신호단자(CK1)에는 제1 클럭신호(CK0) 또는 상기 제1 클럭신호(CK0)와 반전된 위상을 갖는 제2 클럭신호(CKB0)가 제공된다. 즉, 상기 제1 클럭신호(CK0)는 상기 복수의 스테이지 중 홀수번째 스테이지(SRC01, SRC03)에 제공되고, 상기 제2 클럭신호(CKB0)는 상기 복수의 스테이지 중 짝수번째 스테이지(SRC02, SRC04)에 제공된다. 상기 구동전압단자(VDD) 및 접지전압단자(VSS)에는 각각 구동전압 및 접지전압이 제공된다.

<39> 상기 제2 게이트 구동부(300)는 서로 종속적으로 연결된 복수의 스테이지(SRCE1 ~ SRCE4)로 이루어진 제2 쉬프트 레지스터를 포함한다. 상기 제2 쉬프트 레지스터의 각 스테이지는 입력단자(IN), 제1 출력단자(GOUT), 제2 출력단자(SOUT), 제어단자(CT), 제2 클럭신호단자(CK2), 구동전원전압단자(VDD), 접지전압단자(VSS)를 구비한다.

<40> 상기 제1 출력단자(GOUT)는 상기 짝수번째 게이트 라인들(G2, G4, G6)의 제2 단부에 연결되고, 상기 짝수번째 게이트 라인들(G2, G4, G6)에 상기 제2 게이트 구동신호를 순차적으로 출력한다. 상기 제2 출력단자(SOUT)는 이전 스테이지의 제어단자(CT) 및 다음 스테이지의 입력단자(IN)에 각각 연결되고, 상기 제2 게이트 구동신호와 동일한 위상을 갖는 제2 스테이지 구동신호를 출력한다. 한편, 상기 복수의 스테이지 중 첫 번째 스테이지(SRCE1)의 입력단자에는 제2 개시신호(STE)가 제공된다.

<41> 상기 제2 클럭신호단자(CK2)에는 제3 클럭신호(CKE) 또는 상기 제3 클럭신호(CKE)와 반전된 위상을 갖는 제4 클럭신호(CKBE)가 제공된다. 즉, 상기 제3 클럭신호(CKE)는 상기 복수의 스테이지 중 홀수번째 스테이지(SRCE1,

SRCE3)에 제공되고, 상기 제4 클럭신호(CKBE)는 상기 복수의 스테이지 중 짝수번째 스테이지(SRCE2, SRCE4)에 제공된다. 상기 구동전압단자(VDD) 및 접지전압단자(VSS)에는 각각 상기 구동전압 및 접지전압이 제공된다.

- <42> 도 4는 도 2b에 제시된 각 스테이지의 내부 구성을 구체적으로 나타낸 회로도이다. 단, 제1 쉬프트 레지스터의 각 스테이지의 내부 구성을 설명함으로써, 이와 유사한 구성을 갖는 제2 쉬프트 레지스터의 각 스테이지의 내부 구성에 대한 설명을 생략한다.
- <43> 도 2b 및 도 4를 참조하면, 각 스테이지는 제1 풀업부(210), 제2 풀업부(220), 제1 풀다운부(230), 제2 풀다운부(240), 풀업 구동부(250) 및 풀다운 구동부(260)를 포함한다.
- <44> 상기 제1 풀업부(210)는 제1 클럭신호단자(CK1)로 제공되는 제1 또는 제2 클럭신호(CK0, CKB0)를 상기 제1 출력단자(GOUT)로 출력하고, 상기 제2 풀업부(220)는 상기 제1 클럭신호단자(CK1)로 제공되는 제1 또는 제2 클럭신호(CK0, CKB0)를 상기 제2 출력단자(SOUT)로 출력한다.
- <45> 상기 제1 풀업부(210)는 게이트 전극이 제1 노드(N1)에 연결되고, 소오스 전극이 상기 제1 클럭신호단자(CK1)에 연결되며, 드레인 전극이 상기 제1 출력단자(GOUT)에 연결된 제1 NMOS 트랜지스터(T1)로 이루어진다. 상기 제2 풀업부(220)는 게이트 전극이 제1 노드(N1)에 연결되고, 소오스 전극이 상기 제1 클럭신호단자(CK1)에 연결되면, 드레인 전극이 상기 제2 출력단자(SOUT)에 연결된 제2 NMOS 트랜지스터(T2)로 이루어진다.
- <46> 여기서, 상기 제1 및 제2 NMOS 트랜지스터(T1, T2)의 길이는 $3.5\mu\text{m}$ 로 고정된다. 한편, 상기 제1 NMOS 트랜지스터(T1)의 폭은 $1110\mu\text{m}$ 이고, 상기 제2 NMOS 트랜지스터(T2)의 폭은 상기 제1 NMOS 트랜지스터(T1)의 폭보다 약 1/10배 작은 $100\mu\text{m}$ 이다.
- <47> 상기 제1 풀다운부(230)는 제1 풀업부(210)가 턴-오프된 이후에 턴-온되어 상기 제1 출력단자(GOUT)로부터 출력되는 상기 제1 또는 제2 클럭신호(CK0, CKB0)를 방전시키고, 상기 제2 풀다운부(240)는 상기 제2 풀업부(220)가 턴-오프된 이후에 턴-온되어 상기 제2 출력단자(SOUT)로부터 출력되는 상기 제1 및 제2 클럭신호(CKCO, CKB0)를 방전시킨다.
- <48> 상기 제1 풀다운부(230)는 게이트 전극이 제2 노드(N2)에 연결되고, 드레인 전극이 상기 제1 출력단자(GOUT)에 연결되며, 소오스 전극이 접지전압단자(VSS)에 연결된 제3 NMOS 트랜지스터(T3)로 이루어진다. 상기 제2 풀다운부(240)는 게이트 전극이 상기 제2 노드(N2)에 연결되고, 드레인 전극이 상기 제2 출력단자(SOUT)에 연결되면, 소오스 전극이 상기 접지전압단자(VSS)에 연결된 제4 NMOS 트랜지스터(T4)로 이루어진다.
- <49> 여기서, 상기 제3 및 제4 NMOS 트랜지스터(T3, T4)의 길이는 $3.5\mu\text{m}$ 로 고정된다. 한편, 상기 제3 NMOS 트랜지스터(T3)의 폭은 $2035\mu\text{m}$ 이고, 상기 제4 NMOS 트랜지스터(T4)의 폭은 상기 제3 NMOS 트랜지스터(T3)의 폭보다 약 1/20배 작은 $100\mu\text{m}$ 이다.
- <50> 상기 풀업 구동부(250)는 제5 내지 제7 NMOS 트랜지스터(T5, T6, T7)로 이루어져 상기 제1 및 제2 풀업부(351, 352)는 턴-온시킨다.
- <51> 상기 제5 NMOS 트랜지스터(T5)는 게이트 전극이 상기 입력단자(IN)에 연결되고, 드레인 전극이 구동전압단자(VDD)에 연결되며, 소오스 전극이 제1 노드(N1)에 연결된다. 상기 제6 NMOS 트랜지스터(T6)는 상기 게이트 전극과 드레인 전극이 상기 구동전압단자(VDD)에 연결되고, 소오스 전극이 제3 노드(N3)에 연결된다. 상기 제7 NMOS 트랜지스터(T7)는 게이트 전극이 상기 제1 노드(N1)에 연결되고, 드레인 전극이 제3 노드(N3)에 연결되며, 소오스 전극이 접지전압단자(VSS)에 연결된다.
- <52> 여기서, 상기 제5 내지 제7 NMOS 트랜지스터(T5 ~ T7)의 길이는 $3.5\mu\text{m}$ 로 동일하다. 한편, 상기 제5 NMOS 트랜지스터(T5)의 폭은 $300\mu\text{m}$ 이고, 상기 제6 및 제7 NMOS 트랜지스터(T6, T7)의 폭은 $50\mu\text{m}$ 로 서로 동일하다.
- <53> 상기 풀다운 구동부(260)는 제8 및 제12 NMOS 트랜지스터(T8, T9, T10, T11, T12)로 이루어져 상기 제1 및 제2 풀업부(210, 220)를 턴-오프시키면서 상기 제1 및 제2 풀다운부(230, 240)를 턴-온시킨다.
- <54> 상기 제8 NMOS 트랜지스터(T8)는 게이트 전극이 상기 제3 노드(N3)에 연결되고, 드레인 전극이 상기 구동전압단자(VDD)에 연결되며, 소오스 전극이 상기 제2 노드(N2)에 연결된다. 상기 제9 NMOS 트랜지스터(T9)는 게이트 전극이 상기 제1 노드(N1)에 연결되고, 드레인 전극이 상기 제2 노드(N2)에 연결되며, 소오스 전극이 상기 접지전압단자(VSS)에 연결된다. 상기 제10 NMOS 트랜지스터(T10)는 게이트 전극이 상기 입력단자(IN)에 연결되고, 드레인 전극이 상기 제2 노드(N2)에 연결되며, 소오스 전극이 상기 접지전압단자(VSS)에 연결된다.
- <55> 상기 제11 NMOS 트랜지스터(T11)는 게이트 전극이 상기 제2 노드(N2)에 연결되고, 드레인 전극이 상기 제1 노드

(N1)에 연결되며, 소오스 전극이 상기 접지전압단자(VSS)에 연결된다. 상기 제12 NMOS 트랜지스터(T12)는 게이트 전극이 상기 제어단자(CT)에 연결되고, 드레인 전극이 상기 제1 노드(N1)에 연결되며, 소오스 전극이 상기 접지전압단자(VSS)에 연결된다.

- <56> 여기서, 상기 제8 내지 제12 NMOS 트랜지스터(T8 ~ T12)의 길이는 $3.5\mu\text{m}$ 으로 서로 동일하다. 한편, 상기 제8 및 제10 NMOS 트랜지스터(T8, T10)의 폭은 $100\mu\text{m}$ 로 서로 동일하고, 상기 제9 NMOS 트랜지스터(T9)의 폭은 $150\mu\text{m}$ 이다. 또한, 상기 제11 NMOS 트랜지스터(T11)의 폭은 $100\mu\text{m}$ 이고, 상기 제12 NMOS 트랜지스터(T12)의 폭은 $150\mu\text{m}$ 이다.
- <57> 상기 입력단자(IN)로 이전 스테이지의 제2 출력단자(SOUT)로부터 출력된 제1 스테이지 구동신호가 제공되면, 상기 제5 NMOS 트랜지스터(T5)가 턴-온되어 상기 제1 노드(N1)의 전위가 점차 상승된다. 상기 제1 노드(N1)의 전위가 상승됨에 따라 상기 제1 NMOS 트랜지스터(T1) 및 제2 NMOS 트랜지스터(T2)가 턴-온되어 상기 제1 및 제2 출력단자(GOUT, SOUT)에는 제1 게이트 구동신호 및 제1 스테이지 구동신호가 각각 출력된다.
- <58> 한편, 상기 제6 NMOS 트랜지스터(T6)는 항상 턴-온 상태를 유지하고있는 상태에서, 상기 제1 노드(N1)의 전위가 상승됨에 따라 상기 제7 NMOS 트랜지스터(T7)가 턴-온되면, 상기 제3 노드(N3)의 전위가 하락된다.
- <59> 상기 제3 노드(N3)의 전위가 하락함으로써 상기 제8 NMOS 트랜지스터(T8)는 턴-오프 상태를 유지한다. 따라서, 상기 제2 노드(N2)에는 상기 구동전압(VDD)이 제공되지 못한다. 또한, 상기 제9 NMOS 트랜지스터(T9)는 상기 제1 노드(N1)의 전위가 상승할 때 턴-온되어 상기 제2 노드(N2)의 전위를 상기 접지전압(VSS)으로 유지시킴으로써, 상기 제3 및 제4 NMOS 트랜지스터(T3, T4)를 턴-오프시킨다.
- <60> 이후, 상기 제어단자(CT)를 통해 다음단 스테이지의 제2 출력단자(SOUT)로부터 출력된 제1 스테이지 구동신호가 제공되면, 상기 제12 NMOS 트랜지스터(T12)가 턴-온되면서 상기 제1 노드(N1)의 전위를 상기 접지전압(VSS)으로 방전시킨다. 상기 제1 노드(N1)의 전위가 하락함에 따라 상기 제7 및 제9 NMOS 트랜지스터(T7, T9)가 턴-오프된다.
- <61> 따라서, 상기 제2 노드(N2)의 전위가 점차 상승되고, 그에 따라서 상기 제3 및 제4 NMOS 트랜지스터(T3, T4)가 턴-온되어 상기 제1 및 제2 출력단자(GOUT, SOUT)로부터 출력된 상기 제1 게이트 구동신호를 접지전압(VSS)으로 방전시킨다.
- <62> 이때, 상기 제10 및 제11 NMOS 트랜지스터(T10, T11)는 상기 제2 노드(N2)의 전위가 상승됨에 따라 턴-온됨으로써, 상기 제1 노드(N1)의 전위를 빠르게 방전시킨다. 이러한 과정을 반복하면서, 상기 각 스테이지는 소정의 구간동안 하이 상태를 유지하는 제1 게이트 구동신호 및 제1 스테이지 구동신호를 출력한다.
- <63> 도 5는 도 2b에 도시된 제1 및 제2 게이트 구동부의 출력 파형도이다.
- <64> 도 2a 내지 5를 참조하면, 제1 게이트 구동부(200)의 각 스테이지 중 첫 번째 스테이지(SRC01)의 입력단자(IN)에 제1 개시신호(ST0)가 제공되면, 상기 각 스테이지(SRC01 ~ SRC04)에는 제1 또는 제2 클럭신호(CK0, CKB0), 구동전압(VDD) 및 접지전압(VSS)이 인가된다.
- <65> 따라서, 상기 입력단자(IN)에 상기 제1 개시신호(ST0)가 제공된 이후에 상기 첫 번째 스테이지(SRC01)가 턴-온되면서, 상기 첫 번째 스테이지(SRC01)의 제1 및 제2 출력단자(GOUT, SOUT)에는 상기 제1 클럭신호(CK0)가 출력된다. 상기 제1 클럭신호(CK0)는 제1 게이트 라인(G1)에 제1 게이트 구동신호로써 인가된다.
- <66> 이후, 상기 첫 번째 스테이지(SRC01)가 턴-오프되는 시점에서 두 번째 스테이지(SRC02)가 턴-온되어, 상기 두 번째 스테이지(SRC02)의 제1 및 제2 출력단자(GOUT, SOUT)에서는 상기 제2 클럭신호(CKB0)가 출력된다. 상기 제2 클럭신호(CKB0)는 제3 게이트 라인(G3)에 상기 제1 게이트 구동신호로써 인가된다.
- <67> 다음, 상기 두 번째 스테이지(SRC02)가 턴-오프되는 시점에서 세 번째 스테이지(SRC03)가 턴-온되어, 상기 세 번째 스테이지(SRC03)의 제1 및 제2 출력단자(GOUT, SOUT)에서는 상기 제1 클럭신호(CK0)가 출력된다. 상기 제1 클럭신호(CK0)는 제5 게이트 라인(G5)에 상기 제1 게이트 구동신호로써 인가된다.
- <68> 따라서, 상기 제1 게이트 구동부(200)는 다수의 게이트 라인 중 홀수번째 게이트 라인(G1, G3, G5)에 순차적으로 상기 제1 게이트 구동신호를 출력할 수 있다.
- <69> 한편, 제2 게이트 구동부(300)의 각 스테이지 중 첫 번째 스테이지(SRCE1)의 입력단자(IN)에 제2 개시신호(STE)가 제공되면, 상기 각 스테이지(SRCE1 ~ SRCE4)에는 제3 또는 제4 클럭신호(CKE, CKBE), 구동전압(VDD) 및 접지전압(VSS)이 인가된다.

- <70> 따라서, 상기 입력단자(IN)에 상기 제2 개시신호(STE)가 제공된 이후에 상기 첫 번째 스테이지(SRCE1)가 턴-온되면서, 상기 첫 번째 스테이지(SRCE1)의 제1 및 제2 출력단자(GOUT, SOUT)에는 상기 제3 클럭신호(CKE)가 출력된다. 상기 제3 클럭신호(CKE)는 제2 게이트 라인(G2)에 제2 게이트 구동신호로써 제공된다.
- <71> 이후, 상기 첫 번째 스테이지(SRCE1)가 턴-오프되는 시점에서 두 번째 스테이지(SRCE2)가 턴-온되어, 상기 두 번째 스테이지(SRCE2)의 제1 및 제2 출력단자(GOUT, SOUT)에서는 상기 제4 클럭신호(CKBE)가 출력된다. 상기 제4 클럭신호(CKBE)는 제4 게이트 라인(G4)에 상기 제2 게이트 구동신호로써 제공된다.
- <72> 다음, 상기 두 번째 스테이지(SRCE2)가 턴-오프되는 시점에서 세 번째 스테이지(SRCE3)가 턴-온되어, 상기 세 번째 스테이지(SRCE3)의 제1 및 제2 출력단자(GOUT, SOUT)에서는 상기 제3 클럭신호(CKE)가 출력된다. 상기 제3 클럭신호(CKE)는 상기 제6 게이트 라인(G6)에 상기 제2 게이트 구동신호로써 제공된다.
- <73> 따라서, 상기 제2 게이트 구동부(300)는 다수의 게이트 라인 중 짝수번째 게이트 라인(G2, G4, G6)에 순차적으로 상기 제2 게이트 구동신호를 출력할 수 있다.
- <74> 여기서, 상기 제3 클럭신호(CKE)는 상기 제1 클럭신호(CKO)보다 1/4 주기만큼 지연된 위상을 갖고, 상기 제4 클럭신호(CKBE)는 상기 제2 클럭신호(CKBO)보다 1/4 주기만큼 지연된 위상을 갖는다. 따라서, 상기 홀수번째 게이트 라인(G1, G3, G5)에 인가되는 상기 제1 게이트 구동신호도 상기 짝수번째 게이트 라인(G2, G4, G6)에 인가되는 상기 제2 게이트 구동신호와 1/4 주기만큼의 위상차가 난다. 즉, 제2 게이트 라인(G2)에 인가되는 상기 제2 게이트 구동신호가 제1 게이트 라인(G1)에 인가되는 상기 제1 게이트 구동신호보다 1/4 주기만큼 지연된다.
- <75> 상기 제1 화소(P1)는 상기 제2 게이트 라인(G2)에 연결된 제1 TFT(Tr1), 제2 게이트 라인(G2)에 각각 연결된 제2 TFT(Tr2), 제1 데이터 라인(D1) 및 상기 제2 TFT(Tr2)에 연결된 제1 화소전극(PE1)으로 이루어진다. 상기 제1 및 제2 TFT(Tr1, Tr2)가 모두 턴-온될 때, 상기 제1 데이터 라인(D1)으로부터 출력된 영상 신호가 상기 제1 화소전극(PE1)으로 인가될 수 있다. 이때, 상기 제1 및 제2 TFT(Tr1, Tr2)는 상기 제1 게이트 라인(G1)에 인가된 상기 제1 게이트 구동신호와 상기 제2 게이트 라인(G2)에 인가되는 상기 제2 게이트 구동신호가 각각 하이 상태를 유지할 때 턴-온된다.
- <76> 여기서, 상기 제1 게이트 구동신호는 상기 홀수번째 게이트 라인(G1, G3, G5)에 연결된 이전단의 상기 제2 TFT(Tr2)를 구동하기 위한 제1 구간(t1) 및 상기 홀수번째 게이트 라인(G1, G3, G5)에 연결된 현재단의 상기 제1 TFT(Tr1)를 구동하기 위한 제2 구간(t2)을 갖고 발생된다. 또한, 상기 제2 게이트 구동신호는 상기 제2 게이트 라인(G2)에 연결된 이전단의 상기 제2 TFT(Tr2)를 구동하기 위한 제3 구간(t3) 및 상기 제2 게이트 라인(G2)에 연결된 현재단에 상기 제1 TFT(Tr1)를 구동하기 위한 제4 구간(t4)을 갖고 발생된다.
- <77> 도 5에 도시된 바와 같이, 상기 제1 게이트 구동신호와 상기 제2 게이트 구동신호는 상기 제2 구간(t2)과 상기 제3 구간(t3)이 서로 오버랩되도록 발생된다. 상술한 바와 같이, 상기 제1 게이트 구동신호는 상기 제2 구간(t2)에서 상기 제1 TFT(Tr1)를 턴-온시키고, 상기 제2 게이트 구동신호는 상기 제3 구간(t3)에서 상기 제2 TFT(Tr2)를 턴-온시킨다. 따라서, 상기 제1 데이터 라인(D1)으로부터 출력된 영상 신호는 상기 제1 및 제2 TFT(Tr1, Tr2)를 통과한 후 상기 제1 화소 전극(PE1)으로 인가된다.
- <78> 상기 제2 구간은 상기 제1 데이터 라인(D1)이 상기 제1 화소(P1)의 상기 제1 화소전극(PE1)으로 영상 신호를 출력하는 제5 구간(t5) 및 상기 제1 데이터 라인(D1)이 상기 제2 화소(P2)의 제2 화소전극(PE2)으로 영상 신호를 출력하는 제6 구간(t6)으로 구분된다. 즉, 상기 제5 구간(t5)에서 상기 제1 TFT(Tr1)가 턴-온되지만, 상기 제6 구간(t6)에서는 상기 제2 게이트 구동신호에 의해서 상기 제1 TFT(Tr1)가 턴-오프 상태로 변환된다. 따라서, 상기 제6 구간(t6)에서 상기 영상 신호는 상기 제1 화소전극(PE1)으로 제공되지 못하고, 상기 제3 및 제4 TFT(Tr3, Tr4)를 통과한 후 상기 제2 화소전극(PE2)으로 제공된다.
- <79> 이처럼, 상기 제1 데이터 라인(D1)에 상기 제1 및 제2 화소(P1, P2)가 공통적으로 연결되더라도, 상기 제1 데이터 라인(D1)은 주어진 시간 내에 상기 제1 화소전극(PE1) 및 제2 화소 전극(PE2)에 각각 영상 신호를 출력할 수 있다.
- <80> 이로써, 상기 홀수번째 게이트 라인(G1, G3, G5)에 연결된 화소군들과 짝수번째 게이트 라인(G2, G4, G6)에 연결된 화소군들이 서로 교번적으로 구동될 수 있다.
- <81> 도 6은 도 1에 도시된 통합칩과 제1 및 제2 게이트 구동부의 연결관계를 구체적으로 나타낸 도면이고, 도 7은 도 6에 도시된 통합칩의 내부 블록도이다.
- <82> 도 6을 참조하면, 표시 영역(DA)에는 다수의 화소군이 구비되고, 제1 및 제2 주변 영역(PA1, PA2)에는 제1 및

제2 게이트 구동부(200, 300)가 각각 구비되며, 제3 주변 영역(PA3)에는 통합칩(400)이 실장된다. 상기 통합칩(400)은 외부로부터 각종 신호를 입력받는 입력단자(IT), 상기 표시 영역(DA)에 구비된 다수의 데이터 라인에 영상 신호를 출력하기 위한 채널 단자(CH), 상기 제1 게이트 구동부(200)로 제1 제어신호(GC1)를 출력하는 제2 출력단자(OT1) 및 상기 제2 게이트 구동부(300)로 제2 제어신호(GC2)를 출력하는 제2 출력단자(OT2)로 이루어진다.

- <83> 도 6 및 도 7에 도시된 바와 같이, 상기 통합칩(400)은 타이밍 컨트롤러(410), 메모리부(420), 소오스 구동부(430), 공통전압(Vcom) 발생부(440), 제1 및 제2 레벨 쉬프터부(450, 460)를 포함한다. 상기 입력단자(IT)를 통해 각종 신호들이 상기 타이밍 컨트롤러(410)로 제공된다. 여기서, 상기 각종 신호는 외부 영상 신호 및 외부 제어신호를 입력받고, 상기 외부 영상 신호를 상기 메모리부(420)에 저장한다. 한편, 상기 외부 제어신호는 수평 및 수직 동기 신호, 메인 클럭신호, 데이터 인에이블 신호 및 모드 선택신호를 포함한다.
- <84> 또한, 상기 타이밍 컨트롤러(410)는 상기 제1 레벨 쉬프터부(450)에 제1 제어신호(GC1)를 제공하고, 상기 제2 레벨 쉬프터부(460)에 제2 제어신호(GC2)를 제공한다. 이때, 상기 제1 제어신호(GC1)는 제1 개시신호(STO), 제1 클럭신호(CKO), 제2 클럭신호(CKBO), 전원전압(VSS) 및 구동전압(VDD)을 포함한다. 또한, 상기 제2 제어신호(GC2)는 제2 개시신호(STE), 제3 클럭신호(CKE), 제4 클럭신호(CKBE), 상기 전원전압(VSS) 및 구동전압(VDD)을 포함한다.
- <85> 상기 타이밍 컨트롤러(410)는 상기 메모리부(420)에 저장된 상기 외부 영상 신호를 블록 단위로 출력하여 상기 소오스 구동부(430)로 제공한다.
- <86> 상기 메모리부(420)는 상기 타이밍 컨트롤러(410)로부터 제공된 상기 외부 영상 신호를 일시적으로 저장한다. 이때, 상기 메모리부(420)는 상기 외부 영상 신호를 프레임(frame) 또는 라인(line) 단위로 저장한다.
- <87> 상기 소오스 구동부(430)는 상기 메모리부(420)로부터 독출된 블록 단위의 상기 외부 영상 신호를 입력받아 아날로그 신호로 변환한 후 블록 단위로 출력한다. 이때, 상기 소오스 구동부(430)의 출력단자, 즉 상기 채널 단자(CH)들은 복수의 데이터 라인들과 연결되어, 상기 다수의 데이터 라인에 상기 영상 신호를 제공한다.
- <88> 상기 제1 레벨 쉬프터부(450)는 상기 타이밍 컨트롤러(410)로부터 제공된 상기 제1 제어신호(GC1)의 전압 레벨을 쉬프팅하여 출력하고, 상기 제2 레벨 쉬프터부(460)는 상기 타이밍 컨트롤러(410)로부터 제공된 상기 제2 제어신호(GC2)의 전압 레벨을 쉬프팅하여 출력한다. 따라서, 상기 제1 레벨 쉬프터부(450)는 레벨이 쉬프팅된 제1 개시신호(STO), 제1 클럭신호(CKO), 제2 클럭신호(CKBO), 접지전압(VSS) 및 구동전압(VDD)을 출력한다. 또한, 상기 제2 레벨 쉬프터부(460)는 레벨이 쉬프팅된 제2 개시신호(STE), 제3 클럭신호(CKE), 제4 클럭신호(CKBE), 접지전압(VSS) 및 구동전압(VDD)을 출력한다.
- <89> 상기 제1 게이트 구동부(200)는 레벨 쉬프팅된 상기 제1 제어신호(GC1)에 응답하여 상기 홀수번째 게이트 라인들(G1, G3, G5)에 제1 게이트 구동신호를 순차적으로 출력하고, 상기 제2 게이트 구동부(300)는 레벨 쉬프팅된 상기 제2 제어신호(GC2)에 응답하여 상기 짝수번째 게이트 라인들(G2, G4)에 제2 게이트 구동신호를 순차적으로 출력한다.
- <90> 상기 공통전압 발생부(440)는 상기 액정층의 전압 유지율을 높이기 위해서 액정층과 병렬로 형성된 공통 전극 라인(미도시)에 공통 전압(Vcom)을 인가한다.

발명의 효과

- <91> 이와 같은 액정표시장치에 따르면, 상기 액정표시패널에는 다수의 화소군이 구비되고, 상기 다수의 화소군은 R, G, B 색화소 패턴대로 반복될 수 있도록 제1 내지 제3 화소로 이루어진다. 따라서, 액정표시장치의 표시 특성을 향상시킬 수 있다.
- <92> 또한, 상기 제1 및 제2 화소는 하나의 데이터 라인에 공통적으로 연결된다. 따라서, 상기 데이터 라인은 상기 제1 및 제2 화소에 연결된 게이트 라인에 게이트 구동신호가 인가되는 시간을 분할하여 상기 제1 화소 및 제2 화소에 순차적으로 영상 신호를 출력한다. 그 결과, 액정표시패널에 형성된 데이터 라인의 수를 감소시킬 수 있다.
- <93> 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

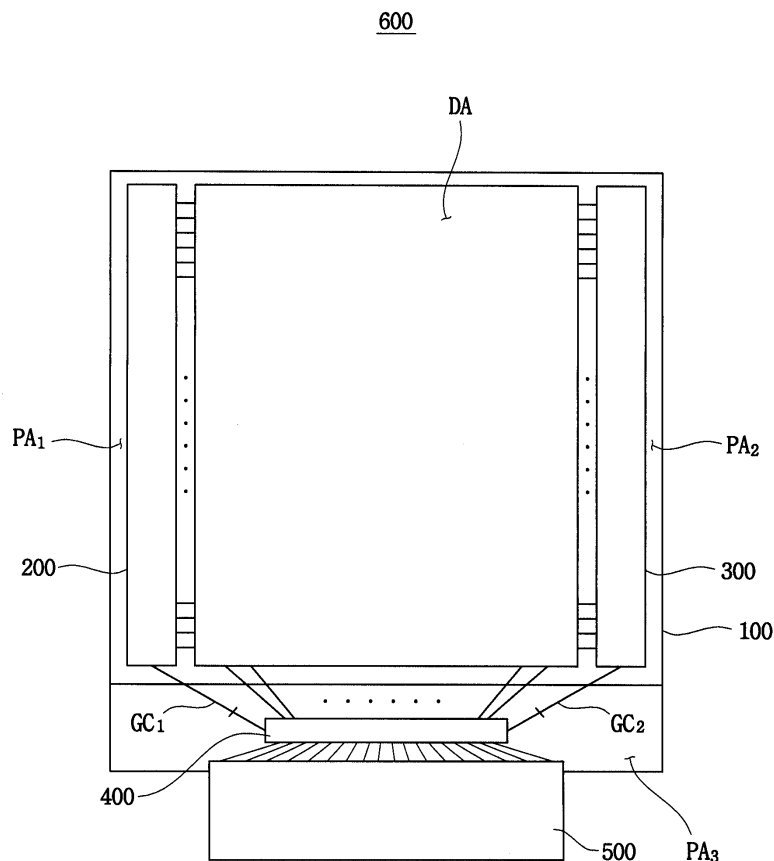
- <1> 도 1은 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 평면도이다.
- <2> 도 2a는 도 1에 도시된 표시 영역의 내부 구성을 구체적으로 나타낸 도면이다.
- <3> 도 2b는 도 1에 도시된 제1 및 제2 게이트 구동부의 내부 구성을 구체적으로 나타낸 도면이다.
- <4> 도 3은 도 2a에 도시된 표시 영역의 구성을 구체적으로 나타낸 레이아웃도면이다.
- <5> 도 4는 도 2에 제시된 각 스테이지의 내부 구성을 구체적으로 나타낸 회로도이다.
- <6> 도 5는 도 2에 도시된 제1 및 제2 게이트 구동부의 출력 파형도이다.
- <7> 도 6은 도 1에 도시된 통합칩과 제1 및 제2 게이트 구동부의 연결관계를 구체적으로 나타낸 도면이다.
- <8> 도 7은 도 6에 도시된 통합칩의 내부 블록도이다.

<9> <도면의 주요 부분에 대한 부호의 설명>

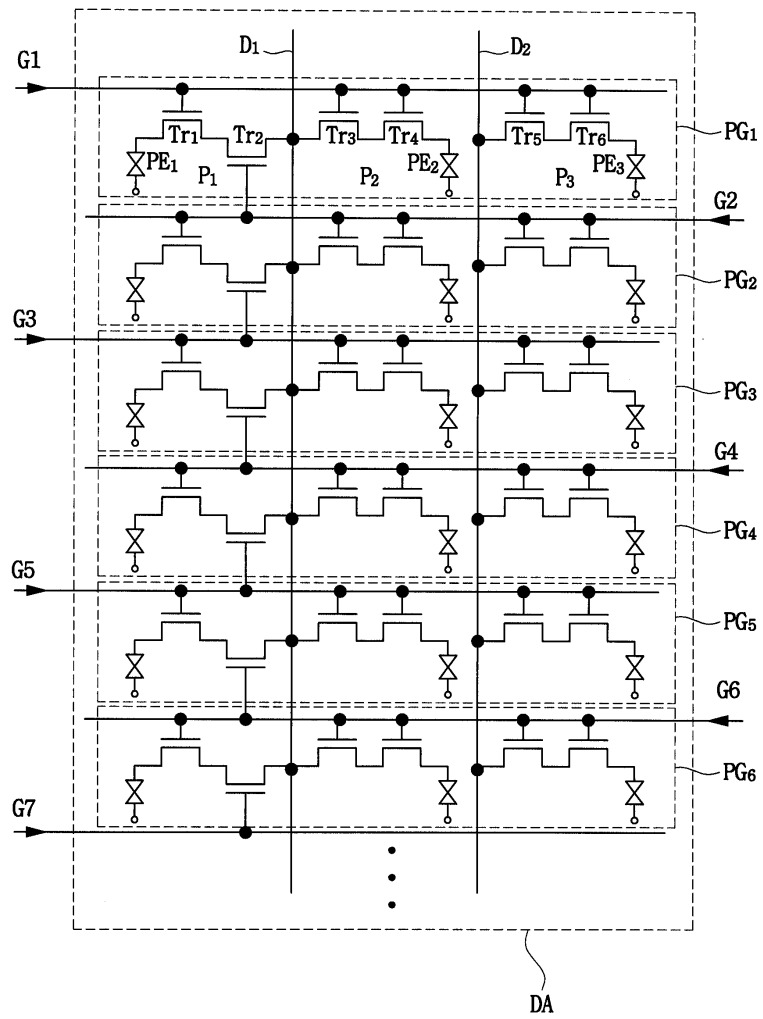
- | | | |
|------|------------------|------------------|
| <10> | 100 : 액정표시패널 | 200 : 제1 게이트 구동부 |
| <11> | 300 : 제2 게이트 구동부 | 400 : 통합칩 |
| <12> | 500 : 연성회로기판 | 600 : 액정표시장치 |
| <13> | PG1 : 제1 화소군 | P1 : 제1 화소 |
| <14> | P2 : 제2 화소 | P3 : 제3 화소 |

도면

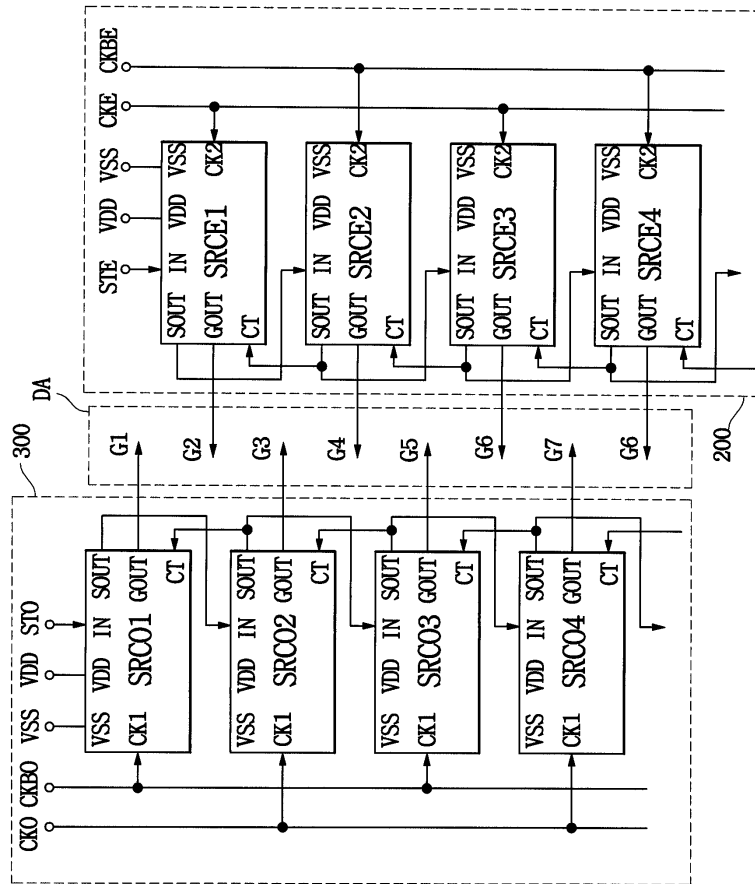
도면1



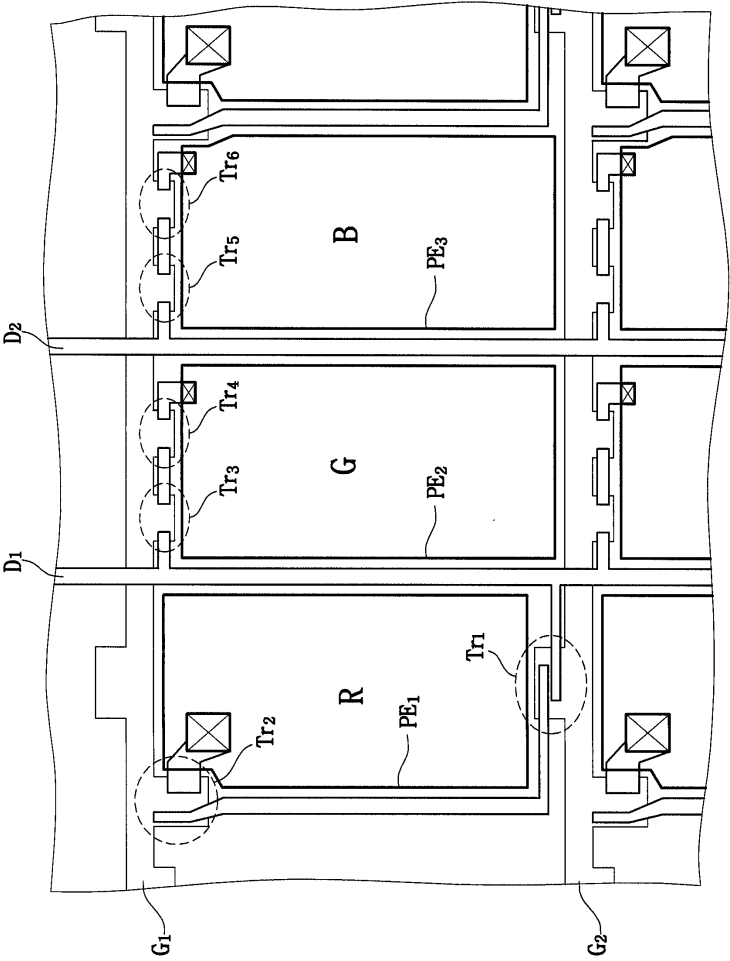
도면2a



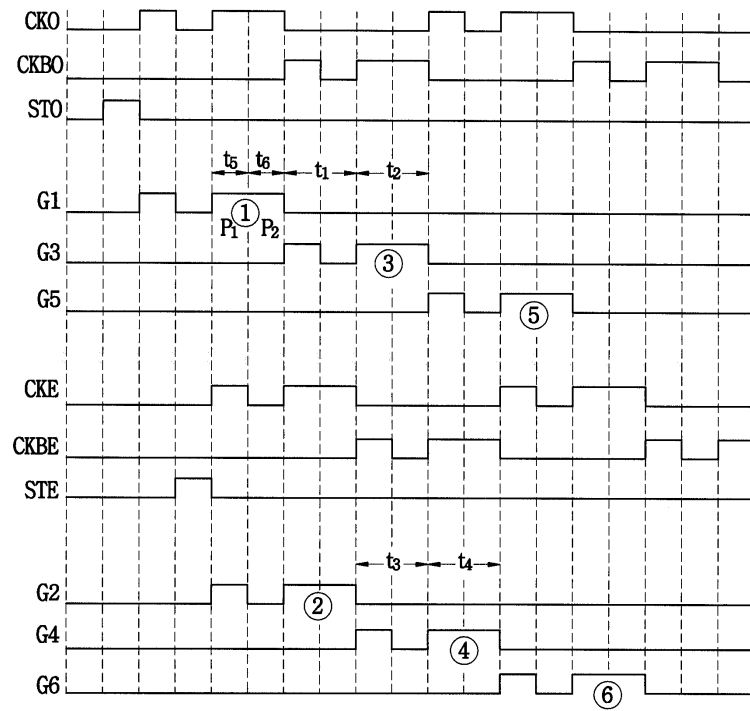
도면2b



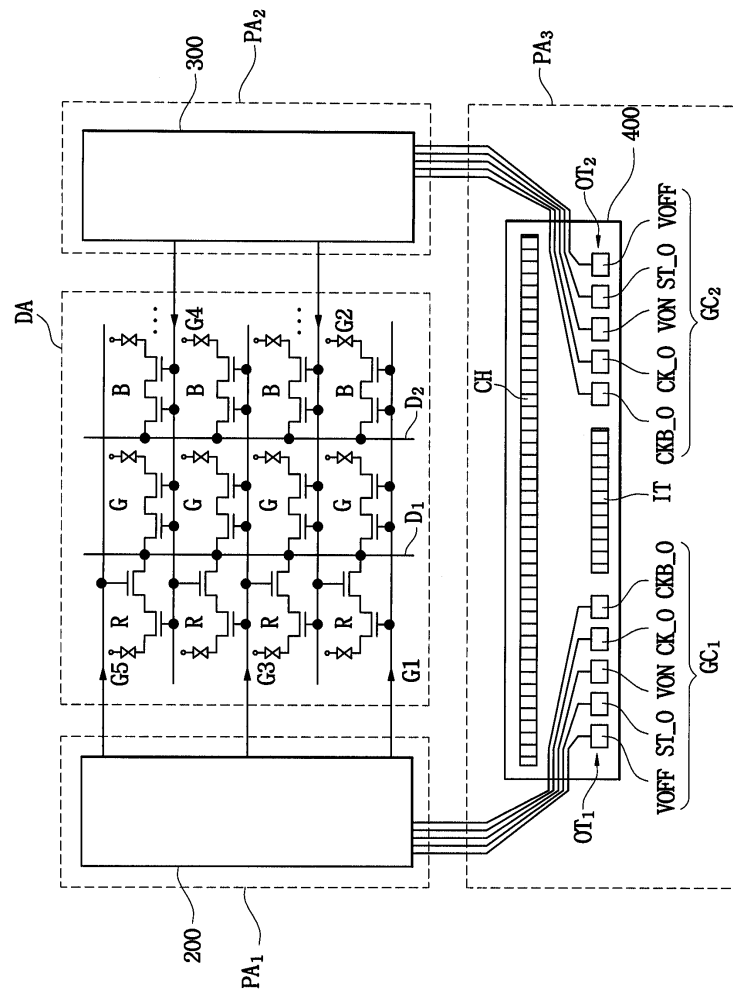
도면3



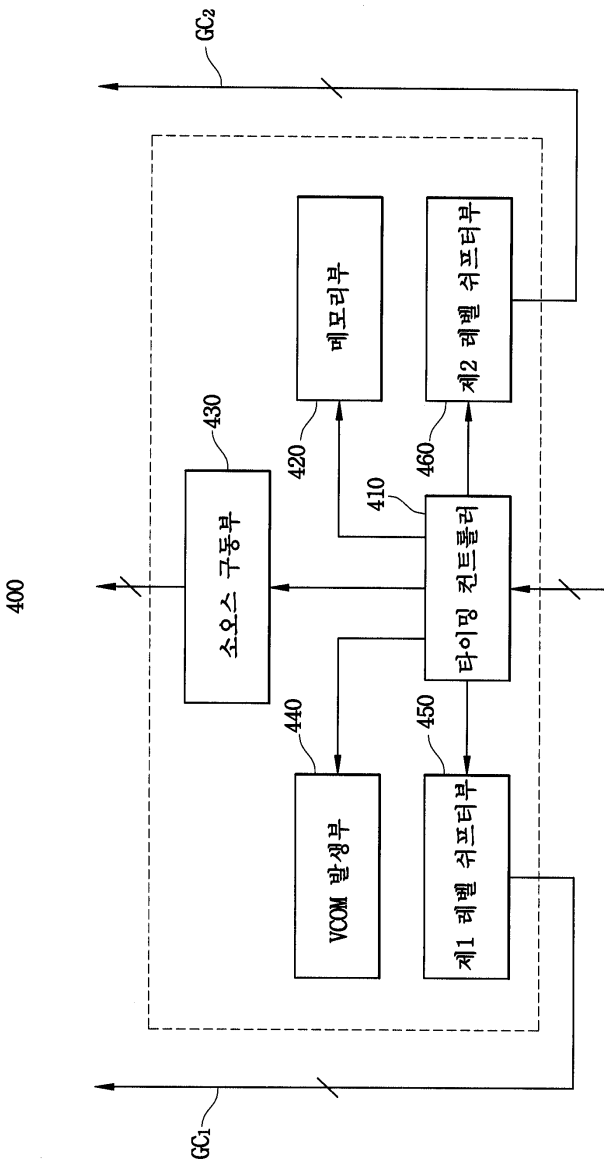
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR100913303B1	公开(公告)日	2009-08-26
申请号	KR1020030028650	申请日	2003-05-06
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	JEON JIN 전진 KIM HYUNGGUEL 김형걸		
发明人	전진 김형걸		
IPC分类号	G02F1/133 G02F1/1343 G02F1/1345 G02F1/1362 G02F1/1368 G09G3/36 H01L29/786		
CPC分类号	G11C19/28 G09G2300/0814 G09G3/20 G09G3/3688 G09G3/3659 G02F1/136286 G09G2310/0289 G09G3/3677 G09G2310/08 G09G3/3648 G09G2300/0426		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR1020040095053A		
外部链接	Espacenet		

摘要(译)

公开了一种改善指示特性的液晶显示器。多个像素组包括LCD面板中的第一栅极线，第二栅极线和连接到第一数据线的的第一像素，以及第一栅极线，第二像素，连接到第一数据线和第二数据线和连接到第一栅极线的第三像素配备。第一栅极驱动器将第一栅极驱动信号输出到第一栅极线。第二栅极驱动器将第二栅极驱动信号输出到第二栅极线。数据驱动器产生图像信号，并提供给第一和第二数据线。因此，可以改善液晶显示器的指示特性。可以在LCD面板中减少形成的数据线的数量。

