

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0102769
G02F 1/136 (2006.01) (43) 공개일자 2006년09월28일

(21) 출원번호 10-2005-0024693
(22) 출원일자 2005년03월24일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 조석호
경기 안산시 상록구 본오3동 1124-2
(74) 대리인 박장원

심사청구 : 없음

(54) 실리콘사이드 오믹 컨택층을 이용한 박막 트랜지스터 및 액정표시소자와 그 제조방법

요약

본 발명은 실리콘사이드 조성의 오믹 컨택층을 이용한 박막 트랜지스터 및 액정표시소자와 그 제조방법에 관한 것으로, 본 발명에 따른 오믹 컨택층은 상호 인접하는 실리콘층과 금속층의 계면에서 상기 실리콘층을 구성하는 실리콘의 일부와 상기 금속층을 구성하는 금속의 일부가 실리콘사이드화 반응하여 형성된다.

대표도

도 3g

색인어

실리콘사이드, 오믹 컨택층, 박막 트랜지스터, 액정표시소자

명세서

도면의 간단한 설명

도 1은 종래 액정표시소자의 구조를 나타내는 평면도.

도 2는 본 발명의 일시시예에 따른 액정표시소자의 단면도.

도 3a~도 3j는 본 발명에 따른 액정표시소자의 제조방법을 나타내는 도면.

본 발명의 주요부분에 대한 부호의 설명

11, 111: 게이트전극 12, 112: 반도체층

13, 113: 소스전극 14, 114: 드레인전극

115: 오믹 컨택층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 및 액정표시소자와 그 제조방법에 관한 것으로, 특히 박막 트랜지스터의 오믹 컨택(Ohmic Contact) 특성을 향상시키면서, 제조 공정을 단순화 할 수 있는 박막 트랜지스터 및 액정표시소자 및 그 제조방법에 관한 것이다.

근래, 핸드폰(Mobile Phone), PDA, 노트북 컴퓨터와 같은 각종 휴대용 전자 기기가 발전함에 따라 이에 적용할 수 있는 경박단소용의 평판표시소자(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다. 이러한 평판표시소자로 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display), VFD(Vacuum Fluorescent Display) 등이 활발히 연구되고 있는데, 그 중 양산화 기술, 구동수단의 용이성, 고화질의 구현이라는 이유로 인해 현재에는 액정표시소자(LCD)가 각광을 받고 있다.

액정표시소자(Liquid Crystal Display Device)와 같은 평판표시소자는 각각의 화소에 박막 트랜지스터와 같은 능동소자를 구비하여 표시소자를 구동하는데, 이러한 방식의 표시소자 구동방식을 흔히 액티브 매트릭스(Active Matrix) 구동방식이라 한다. 이러한 액티브 매트릭스방식에서는 상기한 능동소자가 매트릭스형식으로 배열된 각각의 화소에 배치되어 해당 화소를 구동하게 된다.

도 1은 종래 액티브 매트릭스방식의 액정표시소자를 나타내는 도면이다. 도면에 도시된 구조는 박막 트랜지스터(Thin Film Transistor:10)를 능동소자로 사용하는 박막 트랜지스터 액정표시소자의 제 1 기관이다. 도면에 도시된 바와 같이, 제 1 기관 상에 중첩으로 N×M개의 화소가 배치된 박막 트랜지스터 액정표시소자의 각 화소는 외부의 구동회로부터 주사신호가 인가되는 게이트라인(3)과 화상신호가 인가되는 데이터라인(5) 및 상기 게이트라인(3)과 데이터라인(5)의 교차 영역에 형성된 박막 트랜지스터(10)를 포함하고 있다. 박막 트랜지스터(10)는 상기 게이트라인(3)과 연결된 게이트전극(11)과, 상기 게이트전극(11) 위에 형성되어 게이트전극(11)에 주사신호가 인가됨에 따라 활성화되는 반도체층(12)과, 상기 반도체층(12) 위에 형성된 소스전극(13) 및 드레인전극(14)을 포함하여 구성된다. 상기 화소의 표시영역에는 상기 소스전극(13) 및 드레인전극(14)과 연결되어 반도체층(12)이 활성화됨에 따라 상기 소스전극(13) 및 드레인전극(14)을 통해 화상신호를 인가받아 액정(도면표시하지 않음)을 동작시키는 화소전극(16)이 형성되어 있다.

또한, 도면에 도시하지는 않았지만, 제 2 기관 상에는 상기 화소전극(16)과 함께 전계를 형성하는 공통전극 및 컬러 구현을 위한 컬러필터층이 형성되며, 상기 제 1 기관 및 제 2 기관 사이의 이격 공간에 액정층이 형성된다.

한편 박막 트랜지스터는 스위칭소자로서, 상기한 바와 같이, 게이트전극, 소스전극 그리고 드레인전극의 세개의 전극을 포함하여 구성되며, 화소전극에 신호전압을 인가하기 위한 스위치 역할을 한다. 즉, 게이트전극에 양의 전압이 인가될 때 전계에 의하여 반도체층의 채널 영역에 전자가 집중되도록 하고, 전도성 채널을 형성하여 소스와 드레인전극 사이에 전류가 흐르도록 하는 것이다. 이때, 상기 반도체층과 소스전극 및 드레인전극 간의 컨택 저항을 줄이고, 전류의 원활한 흐름을 위해서는 양호한 오믹 컨택 특성을 부여하는 별도의 오믹 컨택층(Ohmic Contact layer)의 형성이 요구된다.

따라서, 종래 액티브 매트릭스형 액정표시소자에서는 다음과 같은 공정 과정에 따라 오믹 컨택 특성이 부여된 액정표시소자를 형성하였다.

먼저, 제 1 기관 상에 금속물질을 형성한 다음 패터닝하여 게이트 전극을 형성한다. 그리고, 상기 게이트 전극이 형성된 박막 트랜지스터 어레이 기관 상에 절연물질을 전면 증착하여 게이트 절연막(30)을 형성한다. 상기 게이트 절연막(30) 상에는 비정질 실리콘(Amorphous silicon)으로 이루어진 반도체층과, 인(P)이 고농도로 도핑된 n+ 비정질 실리콘으로 이루어진 오믹 컨택층(ohmic contact layer)을 연속 증착한 다음 패터닝한다. 다음으로, 상기 게이트 절연막(30)과 오믹 컨택층(34) 상에 금속물질을 증착한 다음 패터닝하여 박막 트랜지스터의 소스 전극(8)과 드레인전극(12)을 형성하여 박막 트랜지스터를 제조한다. 이때, 소스 전극(8)과 드레인전극(12)은 오믹컨택층(36)의 상부에서 서로 대응하여 이격되도록 패터

닝된다. 그리고, 상기 노출된 반도체층(32)을 포함하여 소스 전극(8)과 드레인 전극(12) 등이 형성된 게이트 절연막(30) 상에 절연물질을 전면 증착하여 보호막(passivation film, 38)을 형성한다. 이후, 상기 드레인 전극(12) 상의 보호막(38) 일부를 선택적으로 식각하여 드레인 전극(12)의 일부를 노출시키는 콘택홀(16)을 형성하고, 상기 보호막(38) 상에 투명 전극물질을 형성한 다음 패터닝함으로써, 상기 콘택홀(16)을 통해 드레인 전극(12)에 접속되도록 화소전극(14)을 형성한다.

한편, 상기와 같은 공정으로 진행되는 박막 트랜지스터 및 액정표시소자의 제조방법은 다수의 마스크 공정을 포함하여 제조가 이루어지므로, 공정 과정이 복잡하게 되고, 제조 비용이 증가할 뿐만 아니라 대규모의 설치비용을 필요로 하는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해, 반도체층 상부의 금속층이 실리콘과 반응하여 오믹 콘택층을 형성하도록 유도함으로써, 전기적 특성 및 신뢰성이 향상되며, 별도의 오믹 콘택층 형성 공정이 필요없는 박막 트랜지스터 및 액정표시소자와 그 제조방법을 제공함을 목적으로 한다.

발명의 구성 및 작용

상기와 같은 목적을 이루기 위해 본 발명에 따른 오믹 콘택층은 상호 인접하는 실리콘층과 금속층의 계면에서 상기 실리콘층을 구성하는 실리콘의 일부와 상기 금속층을 구성하는 금속의 일부가 실리사이드화 반응하여 형성됨을 특징으로 한다.

이때, 상기 오믹 콘택층은 금속층과 접하는 실리콘층의 일부 영역이 실리사이드화되어 형성되거나, 실리콘층과 접하는 금속층의 일부 영역이 실리사이드화되어 형성될 수 있다.

그리고, 본 발명에 따른 박막 트랜지스터는 게이트 전극; 비정질 실리콘을 함유하는 반도체층; 금속물질로 이루어진 소스 전극 및 드레인전극; 및 상기 비정질 실리콘의 일부와 상기 금속물질의 일부가 화학결합하여 이루어진 실리사이드 조성의 합금 영역으로 구성된 오믹 콘택층을 포함하여 구성됨을 특징으로 한다.

상기 오믹 콘택층은 상기 소스전극 및 드레인전극과 상기 반도체층의 계면상에 형성됨을 특징으로 한다.

상기 금속은 몰리브덴(Mo), 몰리브덴합금(Mo alloy), 알루미늄(Al), 알루미늄합금(Al alloy), 티타늄(Ti), 티타늄합금(Ti alloy), 탄탈륨(Ta), 탄탈륨합금(Ta alloy), 코발트(Co), 코발트합금, 니켈(Ni) 또는 니켈 합금(Ni alloy)로 구성된 군에서 선택된 적어도 하나의 물질인 것을 특징으로 한다.

또한, 상기 게이트전극과 상기 반도체층 사이에 게이트 절연막을 더 포함하여 구성될 수 있다.

그리고, 본 발명에 따른 액정표시소자는 제 1 기판 및 제 2 기판; 상기 제 1 기판상에 종횡으로 배열되어 단위 화소를 정의하는 게이트라인 및 데이터라인; 상기 게이트라인의 일부가 연장되어 형성되는 게이트전극; 비정질 실리콘을 함유하는 반도체층; 금속으로 이루어진 소스전극 및 드레인전극; 상기 비정질 실리콘의 일부와 상기 금속물질의 일부가 화학결합하여 이루어진 실리사이드 조성의 합금 영역으로 구성된 오믹 콘택층; 상기 단위 화소 내에 전계를 발생시키는 적어도 한 쌍의 공통전극 및 화소전극; 및 상기 제 1 및 제 2 기판 사이에 형성된 액정층을 포함하여 구성된 것을 특징으로 한다.

상기 오믹 콘택층은 상기 소스전극 및 드레인전극과 상기 반도체층의 계면에 형성됨을 특징으로 한다.

상기 금속은 몰리브덴(Mo), 몰리브덴합금(Mo alloy), 알루미늄(Al), 알루미늄합금(Al alloy), 티타늄(Ti), 티타늄합금(Ti alloy), 탄탈륨(Ta), 탄탈륨합금(Ta alloy), 코발트(Co), 코발트합금, 니켈(Ni) 또는 니켈 합금(Ni alloy)로 구성된 군에서 선택된 적어도 하나의 물질로 구성됨을 특징으로 한다.

그리고, 상기 제 1 기판에 보호막; 및 상기 보호막 상에 형성되는 콘택홀을 더 포함하고, 상기 제 2 기판에 컬러필터층; 및 블랙 매트릭스를 더 포함하여 구성될 수 있다.

또한, 상기 제 1 기판 및 제 2 기판 상에 액정의 초기 배향방향을 결정짓는 제 1 및 제 2 배향막이 도포될 수 있다.

그리고, 본 발명에 따른 오믹 컨택층의 제조방법은 실리콘층과 접하는 금속층에 에너지를 인가하는 단계; 및 상기 실리콘층과 금속층을 구성하는 실리콘과 금속의 일부가 실리사이드화 반응하는 단계를 포함하여 이루어지는 것을 특징으로 한다. 여기서, 상기 에너지를 인가하는 단계는 레이저를 조사하여 이루어지는 단계임을 특징으로 한다.

그리고, 본 발명에 따른 박막 트랜지스터의 제조 방법은 제 1 기판상에 게이트전극을 형성하는 단계; 상기 게이트전극 위에 게이트절연막을 적층하는 단계; 게이트절연막 위에 반도체층을 형성하는 단계; 상기 반도체층 위에 소스전극 및 드레인전극을 형성하는 단계; 및 실리사이드 오믹컨택층을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

상기 게이트전극을 형성하는 단계는, 상기 제 1 기판 위에 금속층을 형성하는 단계; 및 마스크를 이용하여 상기 금속층을 식각하는 단계를 포함하여 이루어진다.

상기 반도체층을 형성하는 단계는, 게이트 절연층 위에 비정질 실리콘층을 적층하는 단계; 및 마스크를 이용하여 상기 비정질 실리콘층을 식각하는 단계를 포함하여 이루어진다.

상기 소스전극 및 드레인전극을 형성하는 단계는, 상기 반도체층을 포함하는 제 1 기판 위에 금속층을 형성하는 단계; 및 마스크를 이용하여 상기 금속층을 식각하는 단계를 포함하여 이루어진다.

여기서, 상기 상기 금속층은 폴리브덴(Mo), 폴리브덴합금(Mo alloy), 알루미늄(Al), 알루미늄합금(Al alloy), 티타늄(Ti), 티타늄합금(Ti alloy), 탄탈륨(Ta), 탄탈륨합금(Ta alloy), 코발트(Co), 코발트합금, 니켈(Ni) 또는 니켈 합금(Ni alloy)로 구성된 군에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 한다.

상기 오믹 컨택층을 형성하는 단계는, 상기 소스전극 및 드레인전극이 상기 반도체층과 중첩되는 영역 상부에 에너지를 인가하는 단계; 및 상기 소스전극 및 드레인전극과 상기 반도체층의 계면에서 실리사이드화 반응이 일어나는 단계를 포함하여 이루어진다. 여기서, 상기 에너지를 인가하는 단계는 레이저를 조사하여 이루어지는 단계임을 특징으로 한다.

또한, 본 발명의 박막 트랜지스터 제조방법은 금속층의 적층이 두 차례에 걸쳐 이루어지는 것을 특징으로 한다.

그리고, 본 발명에 따른 액정표시소자의 제조방법은, 제 1 기판을 준비하는 단계; 상기 제 1 기판상에 게이트라인 및 게이트전극을 형성하는 단계; 상기 제 1 기판 전체에 게이트절연막을 적층하는 단계; 게이트절연막 위에 반도체층을 형성하는 단계; 상기 반도체층 위에 소스전극 및 드레인전극을 형성하는 단계; 및 실리사이드 오믹컨택층을 형성하는 단계; 상기 제 1 기판 전체에 걸쳐서 보호막을 형성하는 단계; 상기 보호막에 컨택홀을 형성하는 단계; 및 공통전극 및 화소전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

상기 오믹 컨택층을 형성하는 단계는, 상기 소스전극 및 드레인전극과 상기 반도체층이 중첩하는 영역 상부에 에너지를 인가하는 단계; 및 상기 소스전극 및 드레인전극과 상기 반도체층의 계면에서 실리사이드화 반응이 일어나는 단계를 포함하여 이루어진다. 여기서, 상기 에너지를 인가하는 단계는 레이저를 조사하여 이루어지는 단계임을 특징으로 한다.

이하, 첨부한 도면을 참조하여, 본 발명에 따른 실리사이드 오믹 컨택층이 적용된 박막 트랜지스터 및 액정표시소자와 그 제조방법을 상세히 설명한다.

도 2는 본 발명의 일실시예에 따른 액티브 매트릭스 액정표시소자의 단면을 나타내는 도면으로서, 도면에 도시된 바와 같이, 본 발명의 박막 트랜지스터(T)는 소스전극(113) 및 드레인전극(114)과 반도체층(112) 사이에 실리사이드 조성의 합금영역으로 구성된 오믹 컨택층(Ohmic Contact Layer, 115)을 포함하여 형성된다.

그리고, 본 발명의 액정표시소자는 상기 실리사이드 오믹 컨택층(115)이 포함되어 구성되는 박막트랜지스터 어레이 기판의 제 1 기판(120)과, 컬러필터 기판인 제 2 기판(130), 및 상기 제 1 기판(120)과 제 2 기판(130) 사이에 주입된 액정층(140)을 포함하여 구성된다.

여기서, 상기 제 1 기판(120)은 유리와 같은 절연 물질로 이루어진 투명 기판으로서, 상기 제 1 기판(120)상에는 게이트라인(미도시) 및 데이터라인(미도시)이 종횡으로 배열되어 단위 화소를 정의한다. 그리고, 상기 단위 화소 내의 표시부에는 공통전극(미도시)과 함께 전계를 발생시키는 화소전극(116)이 형성되며, 단위 화소 내, 특히, 상기 게이트라인과 데이터라인이 교차되는 영역에는 상기 실리사이드 오믹 컨택층(115)을 포함하는 박막 트랜지스터(T)가 배치된다.

상기 박막 트랜지스터(T)는 보다 구체적으로 상기 게이트라인의 일부로 형성되는 게이트전극(111)과, 상기 게이트전극(111)이 형성된 제 1 기판(120) 전체에 걸쳐 적층된 게이트절연막(122)과, 상기 게이트절연막(122) 상에 비정질 실리콘으로 이루어진 반도체층(112)과, 상기 반도체층(112) 상에 소정간격 이격 배치된 금속 성분의 소스전극(113) 및 드레인전극(114)과, 상기 비정질 실리콘의 일부와 상기 금속 성분의 일부가 화학 결합하여 이루어진 실리사이드 조성의 합금 영역으로 구성된 오믹 콘택층(115)을 포함하여 구성된다.

이때, 상기 소스전극(113) 및 드레인전극(114)을 구성하는 금속은 몰리브덴(Mo), 몰리브덴합금(Mo alloy), 알루미늄(Al), 알루미늄합금(Al alloy), 티타늄(Ti), 티타늄합금(Ti alloy), 탄탈륨(Ta), 탄탈륨합금(Ta alloy), 코발트(Co), 코발트합금, 니켈(Ni) 또는 니켈 합금(Ni alloy)로 구성된 군에서 선택된 적어도 하나의 물질인데, 본 발명의 바람직한 실시예는 상기 소스전극(113) 및 드레인전극(114)이 몰리브덴(Mo)으로 형성된다.

그리고, 상기 오믹 콘택층(115)은 상기 소스전극(113) 및 드레인전극(114)과 상기 반도체층(112)의 계면에서 상기 소스전극(113) 및 드레인전극(114)을 구성하는 금속의 일부와 상기 반도체층(112)을 구성하는 실리콘의 일부가 화학 결합하여 형성됨을 특징으로 한다.

다시 말해, 상기 오믹 콘택층(115)은 상기 소스전극(113) 및 드레인전극(114)의 금속 성분이 상기 반도체층(112)으로 확산되어 실리콘과 반응함으로써, 상기 반도체(112)층의 일부가 실리사이드화(Silicidation)되어 형성될 수 있고, 또는 상기 반도체층(112)의 실리콘 성분이 상기 소스전극(113) 및 드레인전극(114) 상으로 확산되어 금속 성분과 반응함으로써, 상기 소스전극(113) 및 드레인전극(114)의 일부 영역이 실리사이드화되어 형성될 수도 있다. 또한, 상기 금속 성분 및 실리콘 성분이 계면 상에서 상호 확산하여 결합함으로써 오믹 콘택층(115)을 구성할 수도 있다.

한편, 본 발명의 액정표시소자는 상기한 바와 같은 박막 트랜지스터(T)를 포함하는 제 1 기판(120) 상부에 실리콘산화물(SiO₂) 또는 실리콘질화물(Si₃N₄) 등으로 이루어지는 보호막(Passivation layer, 124)을 더 포함하여 구성된다. 또한, 상기 보호막(124) 상에는 콘택홀(Contact hole; 126)이 형성되어, 박막 트랜지스터(T)의 드레인전극(114)과 화소전극(116)을 전기적으로 접속시킨다.

그리고, 유리와 같은 투명한 물질로 이루어진 제 2 기판(130)에는 상기 제 1 기판(120)의 박막 트랜지스터(T) 형성 영역이나 단위 화소 사이의 화상 비표시영역영역으로 광이 누설되는 것을 방지하는 블랙매트릭스(132)와, R(Red), G(Green), B(Blue)로 이루어져 실제 컬러를 구현하는 컬러필터층(134)이 형성된다.

또한, 도면에 도시하지는 않았지만, 상기 화소전극(116)과 함께 전계를 발생시키는 공통전극은 제 2 기판(130)상에 형성되어, 액정층(140)에 대하여 상하로 걸리는 전계를 발생시킬 수 있으며, 또한, 상기 화소전극(116)과 함께 제 1 기판(120)상에 교대로 형성되어 횡전계(In-plane switching electric field)를 발생시킬 수도 있다.

그리고, 도면에 도시하지는 않았지만, 상기 제 1 기판(110) 및 제 2 기판(120)의 대향면에는 액정의 초기 배향방향을 결정짓는 제 1 및 제 2 배향막이 도포될 수 있다.

다음으로, 도 3a ~ 3i는 본 발명의 일실시예에 따른 액티브 매트릭스 액정표시소자의 제조 공정을 나타내는 도면이다.

우선, 도 3a에 도시된 바와 같이, 투명한 절연 기판인 제 1 기판(120) 상에 알루미늄(Al), 알루미늄합금(Al alloy), 몰리브덴(Mo), 몰리브덴합금(Mo alloy), 티타늄(Ti), 티타늄합금(Ti alloy), 탄탈륨(Ta), 탄탈륨합금(Ta alloy), 코발트(Co) 또는 코발트합금(Co alloy) 등의 금속을 스퍼터링(Sputtering) 방법 등에 의해 2000~3000Å 정도의 두께로 증착하여 금속층(111a)을 형성한다.

그리고, 그 위에 감광성의 포토레지스트층(Photoresist; 160a)을 형성한다. 도면에는 도시하지 않았지만, 적층된 포토레지스트층(160a)은 일정한 온도에서 베이킹되며, 이후, 상기 포토레지스트층(160a) 위에 마스크(170)가 위치된 상태에서 자외선(Ultraviolet light)과 같은 광이 조사되고 현상액이 적용되어, 금속층(111a) 위에, 도 3b에 도시된 바와 같은, 소정의 포토레지스트패턴(160)이 형성된다. 이때, 상기 포토레지스트는 음성(negative) 포토레지스트로서, 자외선이 조사되지 않은 영역이 현상액에 의해 제거되는 특성을 갖는다.

이어서, 상기 포토레지스트패턴(160)으로 금속층(111a)의 일부를 블로킹한 상태에서 상기 금속층(111a)에 에천트를 인가하면, 도 3c에 도시된 바와 같이, 제 1 기판(120) 위에 게이트전극(111)이 형성된다.

이후, 도 3d에 도시된 바와 같이, 게이트전극(111)을 포함하는 제 1 기판(120)의 표면 전체에 걸쳐서 3000~4000Å 정도의 실리콘산화물(SiO₂) 또는 실리콘질화물(Si₃N₄)을 단층 또는 이중층으로 증착하여 게이트절연막(122)을 형성한다.

게이트절연막(122) 형성 후 그 상부에 불순물이 도핑되지 않는 비정질실리콘층(112a)을 적층한다. 상기와 같이 적층된 비정질실리콘층(112a) 위에 포토레지스트층을 적층하고 마스크를 위치시킨 후 자외선을 조사하고 현상액을 적용하면, 비정질실리콘층(112a) 위에 포토레지스트패턴(162)이 형성된다. 상기 포토레지스트패턴(162)으로 비정질실리콘층(112a)의 일부를 블로킹한 상태에서 에치트를 적용하면, 도 3e에 도시된 바와 같이, 게이트전극(111) 상부에 반도체층(112)이 형성된다.

이어서, 도 3f에 도시된 바와 같이, 제 1 기판(120) 전체에 걸쳐서 몰리브덴(Mo), 몰리브덴합금(Mo alloy), 알루미늄(Al), 알루미늄합금(Al alloy), 티타늄(Ti), 티타늄합금(Ti alloy), 탄탈륨(Ta), 탄탈륨합금(Ta alloy), 코발트(Co), 코발트합금, 니켈(Ni) 또는 니켈 합금(Ni alloy) 등의 금속을 플라즈마 방법, 스퍼터링 방법 또는 열증발법(Thermal evaporation)에 의해 증착한 후 마스크를 이용하여 포토레지스트패턴을 형성하고 상기 포토레지스트패턴을 통해 상기 금속을 식각하여 반도체층(112) 위에 소스전극(113) 및 드레인전극(114)을 형성한다. 이때, 상기 금속은 후속의 공정에서 실리콘(Si)과 반응하여 실리사이드(Silicide)를 형성하는 고용점 금속임을 특징으로 하며, 본 발명의 바람직한 실시예에 따르면, 소스전극(113) 및 드레인전극(114)을 몰리브덴(Mo)으로 형성한다.

이어지는 과정은 실리사이드 조성의 오믹 콘택층(115)을 형성하는 단계로, 도 3g에 도시된 바와 같이, 소스전극(113) 및 드레인전극(114)이 상기 반도체층(120)과 중첩되는 영역 상부에 에너지를 인가하여 실리사이드화 반응을 유도함으로써 오믹 콘택층(115)을 형성한다. 이때, 적용가능한 본 발명의 바람직한 에너지원으로는 레이저 빔이며, 레이저를 이용하여 오믹 콘택층(115)을 형성하는 세부 과정의 일례는 다음과 같다.

먼저, 소스전극(113) 및 드레인전극(114)이 형성된 제 1 기판(120)을 도핑시키고자 하는 가스에 의해서 도핑 분위기가 형성된 챔버에 로딩시킨다. 이때, 상기 챔버내로 약 1 내지 100토르 정도의 압력하에 유지되는 반응성 가스들을 유입시킨다. 한편, 반응성 가스들을 챔버내로 유입시키면서 ArF, KrF 또는 XeCl 가스 등에서 얻어지는 엑시머 레이저빔을 렌즈를 통해 상기 챔버내에 장착된 소스전극(113) 및 드레인전극(114)이 상기 반도체층(112)과 중첩되는 영역 상에 조사한다. 그 결과 상기 소스전극(113) 및 드레인전극(114)을 구성하는 고용점 금속과 그 하부의 반도체층(112)을 구성하는 비정질 실리콘이 레이저빔의 에너지에 의해 순간적으로, 즉 수백 나노초 동안 용융된다. 이후, 상기 소스전극(113) 및 드레인전극(114)과 반도체층(112)의 계면으로부터 용융된 물질의 재결정 성장이 수행되는 과정에서 용융된 고용점 금속 원자 및 실리콘 원자의 확산에 의해 실리사이드(Silicide)가 형성되는 실리사이드화(Silicidation) 반응이 이루어진다. 즉, 실리사이드화 반응을 일으킬 때 실리콘 표면과 만나는 소스전극 및 드레인전극의 금속층 계면에서 금속과 실리콘 원자와의 실리사이드화 결합 반응이 균일하게 일어나, 상기 반도체층 또는 소스전극 및 드레인전극 내로 실리사이드 조성의 합금 영역(115)이 성장하는 것이다. 이렇게 성장된 실리사이드 조성의 합금 영역(115)은 소스, 드레인전극(113, 114)의 금속층과 반도체층(112) 사이에서 균일한 인터페이스를 형성하며, 오믹 콘택층(115)을 구성하게 된다.

실리사이드 오믹 콘택층(115)의 형성 후, 도 3h에 도시된 바와 같이, 소스전극(113) 및 드레인전극(114)이 형성된 제 1 기판(120)상에 3000~4000Å 정도의 실리콘산화물(SiO₂) 또는 실리콘질화물(Si₃N₄)로 형성된 보호막(124)을 적층하여 상기 박막 트랜지스터를 보호한다. 이후, 상기와 같은 포토 공정(즉, 마스크를 이용한 포토레지스트 공정)에 의해 드레인전극(114) 상 보호막(124)의 일부를 식각하여 콘택홀(Contact hole; 126)을 형성한다.

이어서, 도 3i에 도시된 바와 같이, 상기 보호막(124) 위에 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ITZO(Indium Tin Zinc Oxide)와 같은 투명 전도 물질을 적층한 후 포토공정에 의해 식각하여 상기 보호막(124) 위에 화소전극(116)을 형성한다. 이때, 상기 화소전극(116)은 보호막(124)에 형성된 콘택홀(126)을 통해 박막 트랜지스터의 드레인전극(114)에 전기적으로 접속되어, 데이터신호를 인가받는다.

한편, 도 3j에 도시된 바와 같이, 제 2 기판(130) 상에 블랙매트릭스(132)와 컬러필터층(134)을 형성한 후, 상기 제 1 기판(120) 및 제 2 기판(130)을 합착한 후 그 사이에 액정층(140)을 형성하여 액정표시소자를 완성한다.

상술한 바와 같이, 본 발명에 따른 박막 트랜지스터는 소스전극 및 드레인전극을 형성하기 위해 몰리브덴 등 단일 금속층을 증착한 후, 상기 소스전극 및 드레인전극이 반도체층과 중첩되는 영역 상부에 국부적인 레이저 어닐링(Laser annealing)을 실시함으로써, 실리사이드 조성의 합금 영역으로 이루어진 오믹 콘택층을 형성한다.

이는 종래 박막 트랜지스터에서 오믹 컨택 특성을 향상시키기 위해 반도체층 상부에 별도의 n+ 비정질 실리콘층을 적층하고, 패터닝하여 오믹 컨택층을 형성했던 방식과 구별되는 것으로, 소스전극 및 드레인전극의 소정 영역에 국부적인 레이저 조사를 실시함으로써, 소스전극 및 드레인전극 또는 반도체층의 일부 영역을 오믹 컨택층으로 변환시키는 방법이다.

이와 같은 방식의 오믹 컨택층 형성은 종래의 기술과 비교할 때 공정이 더욱 단순할 뿐 아니라, 박막 트랜지스터 소자의 신뢰성과 전기적 특성을 향상시킨다.

실질적으로, 소자의 고집적화 추세에 따른 박막 트랜지스터의 고정세화에 의해 컨택 저항이 증가하고, 전기적 특성의 불량 이 나타났다. 하지만, 본 발명에 따른 박막 트랜지스터 및 액정표시소자의 제조에서는 반도체층과 금속층간의 계면에서 실리사이드화 반응을 진행하면서, 반도체층과 금속층간의 오믹 특성을 향상시킴으로써, 컨택 저항을 감소시켜 소자의 전기적 특성을 향상시킨다. 또한, 컨택 저항의 감소에 따라 소스전극 및 드레인전극과 게이트전극 사이의 기생 커패시턴스를 감소시켜, 플리커(Flicker) 등의 불량 방지에 의하여 표시특성을 개선하게 된다.

결국, 본 발명의 박막 트랜지스터 및 액정표시소자는 고용점금속과 실리콘의 화학적 반응에 의한 실리사이드 형성을 통해, 액정표시소자의 제조 공정을 단순화시킬 수 있으며, 박막 트랜지스터 소자의 신뢰성과 전기적 특성을 향상시킬 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구범위에 의해 정하여져야만 할 것이다.

발명의 효과

상기와 같이 본 발명은 실리사이드의 조성의 오믹 컨택층을 형성하여 박막 트랜지스터 및 액정표시소자를 제조하므로, 소자의 신뢰성 및 전기적 특성을 향상시키고, 공정을 단순화하여 제조 효율을 증가시킬 수 있게 한다.

(57) 청구의 범위

청구항 1.

상호 인접하는 실리콘층과 금속층의 계면에서 상기 실리콘층을 구성하는 실리콘의 일부와 상기 금속층을 구성하는 금속의 일부가 실리사이드화 반응하여 형성되는 오믹 컨택층.

청구항 2.

제 1 항에 있어서, 상기 금속층과 접하는 실리콘층의 일부 영역이 실리사이드화되어 형성되는 오믹 컨택층.

청구항 3.

제 1 항에 있어서, 상기 실리콘층과 접하는 금속층의 일부 영역이 실리사이드화되어 형성되는 오믹 컨택층.

청구항 4.

실리콘층과 접하는 금속층에 에너지를 인가하는 단계; 및

상기 실리콘층과 금속층을 구성하는 실리콘과 금속의 일부가 실리사이드화 반응하는 단계를 포함하여 이루지는 것을 특징으로 하는 오믹 컨택층의 제조방법.

청구항 5.

제 4 항에 있어서, 상기 에너지를 인가하는 인가하는 단계는 레이저를 조사하여 이루어지는 단계임을 특징으로 하는 오믹 컨택층의 제조방법.

청구항 6.

게이트 전극;

비정질 실리콘을 함유하는 반도체층;

금속물질로 이루어진 소스전극 및 드레인전극; 및

상기 비정질 실리콘의 일부와 상기 금속물질의 일부가 화학결합하여 이루어진 실리사이드 조성의 합금 영역으로 구성된 오믹 컨택층을 포함하여 구성됨을 특징으로 하는 박막 트랜지스터.

청구항 7.

제 6 항에 있어서, 상기 오믹 컨택층은 상기 소스전극 및 드레인전극과 상기 반도체층의 계면상에 형성됨을 특징으로 하는 박막 트랜지스터.

청구항 8.

제 6 항에 있어서, 상기 금속은 몰리브덴(Mo), 몰리브덴합금(Mo alloy), 알루미늄(Al), 알루미늄합금(Al alloy), 티타늄(Ti), 티타늄합금(Ti alloy), 탄탈륨(Ta), 탄탈륨합금(Ta alloy), 코발트(Co), 코발트합금, 니켈(Ni) 또는 니켈 합금(Ni alloy)로 구성된 군에서 선택된 적어도 하나의 물질인 것을 특징으로 하는 박막 트랜지스터.

청구항 9.

제 6 항에 있어서, 상기 게이트전극과 상기 반도체층 사이에 게이트 절연막을 더 포함함을 특징으로 하는 박막 트랜지스터.

청구항 10.

제 1 기판상에 게이트전극을 형성하는 단계;

상기 게이트전극 위에 게이트절연막을 적층하는 단계;

게이트절연막 위에 반도체층을 형성하는 단계;

상기 반도체층 위에 소스전극 및 드레인전극을 형성하는 단계; 및

실리사이드 오믹컨택층을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 11.

제 10 항에 있어서, 상기 게이트전극을 형성하는 단계는,

상기 제 1 기판 위에 금속층을 형성하는 단계; 및

마스크를 이용하여 상기 금속층을 식각하는 단계를 포함하여 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 12.

제 10 항에 있어서, 상기 반도체층을 형성하는 단계는,

게이트 절연층 위에 비정질 실리콘층을 적층하는 단계; 및

마스크를 이용하여 상기 비정질 실리콘층을 식각하는 단계를 포함하여 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 13.

제 10 항에 있어서, 상기 소스전극 및 드레인전극을 형성하는 단계는,

상기 반도체층을 포함하는 제 1 기판 위에 금속층을 형성하는 단계; 및

마스크를 이용하여 상기 금속층을 식각하는 단계를 포함하여 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 14.

제 10 항에 있어서, 상기 상기 금속층은 몰리브덴(Mo), 몰리브덴합금(Mo alloy), 알루미늄(Al), 알루미늄합금(Al alloy), 티타늄(Ti), 티타늄합금(Ti alloy), 탄탈륨(Ta), 탄탈륨합금(Ta alloy), 코발트(Co), 코발트합금, 니켈(Ni) 또는 니켈 합금(Ni alloy)로 구성된 군에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 15.

제 10 항에 있어서, 상기 오믹 컨택층을 형성하는 단계는,

상기 소스전극 및 드레인전극이 상기 반도체층과 중첩되는 영역 상부에 에너지를 인가하는 단계; 및

상기 소스전극 및 드레인전극과 상기 반도체층의 계면에서 실리사이드화 반응이 일어나는 단계를 포함하여 이루어짐을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 16.

제 15 항에 있어서, 상기 에너지를 인가하는 단계는 레이저를 조사하여 이루어지는 단계임을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 17.

제 10 항에 있어서, 금속층의 적층이 두 차례에 걸쳐 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 18.

제 1 기판 및 제 2 기판;

상기 제 1 기판상에 종횡으로 배열되어 단위 화소를 정의하는 게이트라인 및 데이터라인;

상기 게이트라인의 일부가 연장되어 형성되는 게이트전극;

비정질 실리콘을 함유하는 반도체층;

금속으로 이루어진 소스전극 및 드레인전극;

상기 비정질 실리콘의 일부와 상기 금속물질의 일부가 화학결합하여 이루어진 실리사이드 조성의 합금 영역으로 구성된 오믹 컨택층;

상기 단위 화소 내에 전계를 발생시키는 적어도 한 쌍의 공통전극 및 화소전극; 및

상기 제 1 및 제 2 기판 사이에 형성된 액정층을 포함하여 구성된 것을 특징으로 하는 액정표시소자.

청구항 19.

제 18 항에 있어서, 상기 오믹 컨택층은 상기 소스전극 및 드레인전극과 상기 반도체층의 계면에 형성됨을 특징으로 하는 액정표시소자.

청구항 20.

제 18 항에 있어서, 상기 금속은 몰리브덴(Mo), 몰리브덴합금(Mo alloy), 알루미늄(Al), 알루미늄합금(Al alloy), 티타늄(Ti), 티타늄합금(Ti alloy), 탄탈륨(Ta), 탄탈륨합금(Ta alloy), 코발트(Co), 코발트합금, 니켈(Ni) 또는 니켈 합금(Ni alloy)로 구성된 군에서 선택된 적어도 하나의 물질인 것을 특징으로 하는 액정표시소자.

청구항 21.

제 18 항에 있어서, 상기 제 2 기판에

컬러필터층; 및

블랙 매트릭스를 더 포함하여 구성되는 것을 특징으로 하는 액정표시소자.

청구항 22.

제 18 항에 있어서, 보호막을 더 포함하여 구성되는 것을 특징으로 하는 액정표시소자.

청구항 23.

제 18 항에 있어서, 상기 보호막 상에 컨택홀을 더 포함하여 구성되는 것을 특징으로 하는 액정표시소자.

청구항 24.

제 18 항에 있어서, 상기 제 1 기판 및 제 2 기판 상에 액정의 초기 배향방향을 결정짓는 제 1 및 제 2 배향막이 도포됨을 특징으로 하는 액정표시소자.

청구항 25.

제 1 기판을 준비하는 단계;

상기 제 1 기판상에 게이트라인 및 게이트전극을 형성하는 단계;

상기 제 1 기판 전체에 게이트절연막을 적층하는 단계;

게이트절연막 위에 반도체층을 형성하는 단계;

상기 반도체층 위에 소스전극 및 드레인전극을 형성하는 단계; 및

실리사이드 오믹컨택층을 형성하는 단계;

상기 제 1 기판 전체에 걸쳐서 보호막을 형성하는 단계;

상기 보호막에 컨택홀을 형성하는 단계; 및

공통전극 및 화소전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 26.

제 25 항에 있어서, 상기 오믹 컨택층을 형성하는 단계는,

상기 소스전극 및 드레인전극과 상기 반도체층이 중첩하는 영역 상부에 에너지를 인가하는 단계; 및

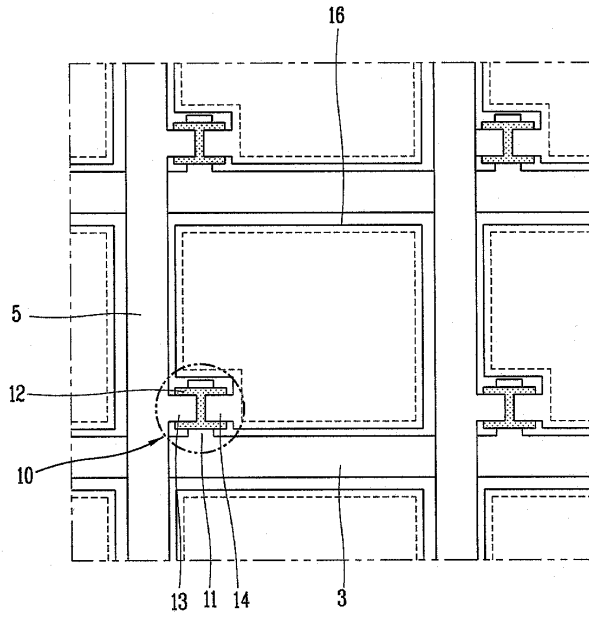
상기 소스전극 및 드레인전극과 상기 반도체층의 계면에서 실리사이드화 반응이 일어나는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시소자의 제조방법.

청구항 27.

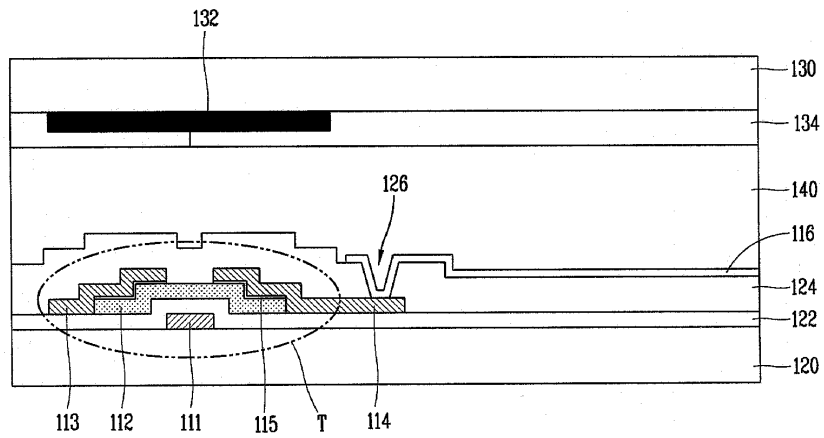
제 26 항에 있어서, 상기 에너지를 인가하는 단계는 레이저를 조사하여 이루어지는 단계임을 특징으로 하는 액정표시소자의 제조방법.

도면

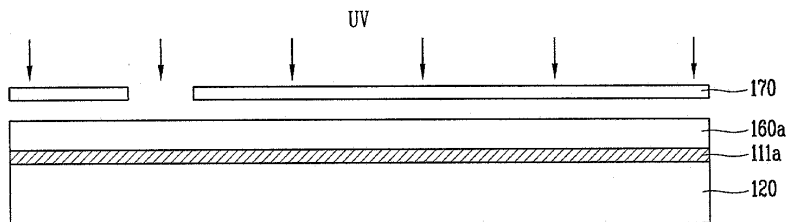
도면1



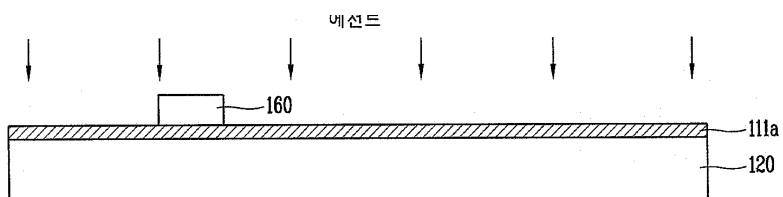
도면2



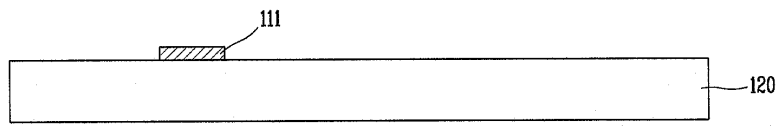
도면3a



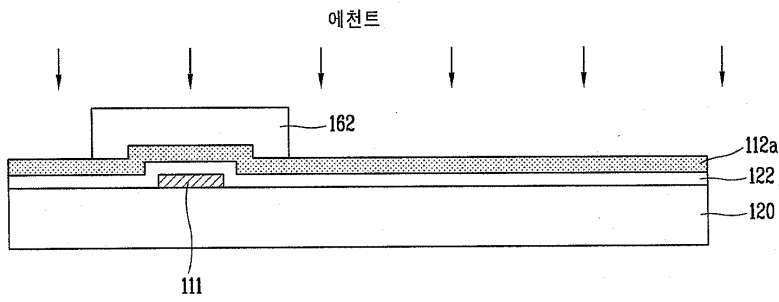
도면3b



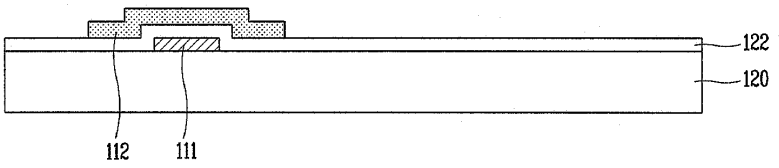
도면3c



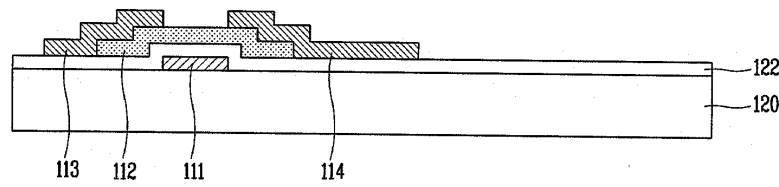
도면3d



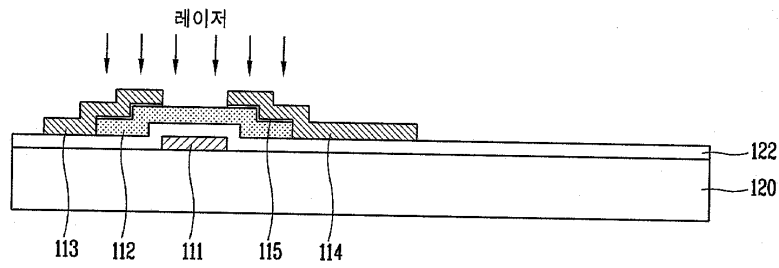
도면3e



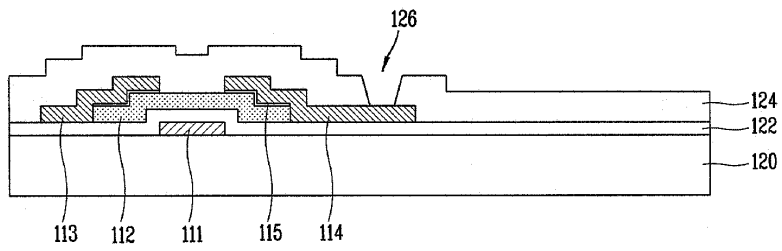
도면3f



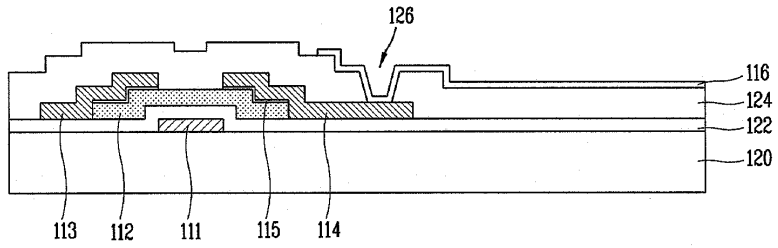
도면3g



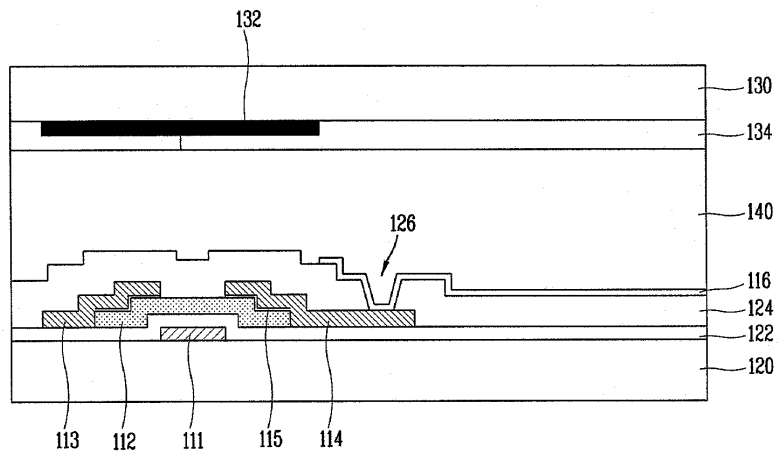
도면3h



도면3i



도면3j



专利名称(译)	使用硅化物欧姆接触层的薄膜晶体管 and 液晶显示元件及其制造方法		
公开(公告)号	KR1020060102769A	公开(公告)日	2006-09-28
申请号	KR1020050024693	申请日	2005-03-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO SUK HO		
发明人	CHO,SUK HO		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136286 G02F2001/136295 H01L27/124		
代理人(译)	PARK , JANG WON		
外部链接	Espacenet		

摘要(译)

本发明涉及使用硅化物组合物的欧姆接触层的薄膜晶体管 and 液晶显示装置及其制造方法。并且在金属层和硅层的界面中，根据本发明的欧姆接触层交叉相邻，包含硅层的部分硅氧烷和包含金属层的金属的一部分与硅化和部分反应形成。硅化物，欧姆接触层，薄膜晶体管，液晶显示器件。

