



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0064929
(43) 공개일자 2008년07월10일

(51) Int. Cl.

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2007-0001820

(22) 출원일자 2007년01월06일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김철민

서울 강남구 대치동 은마아파트 27동 607호

박대형

경기 용인시 수지구 상현동 만현마을쌍용1차아파트 705동 902호

박준하

부산 부산진구 개금동 92-1번지 현대아파트 102동 807호

(74) 대리인

조희원

전체 청구항 수 : 총 10 항

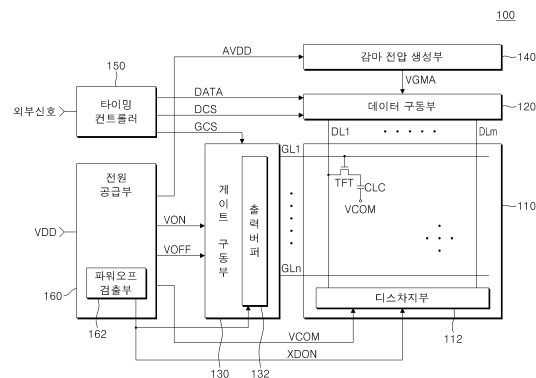
(54) 액정 표시 장치

(57) 요약

본 발명은 외부 전원 차단시 잔상을 제거하는 액정 표시 장치에 관한 것이다.

본 발명의 액정 표시 장치는, 외부 전원 전압 공급의 차단을 검출하여 파워 다운 신호로 제공하는 전원 공급부, 파워 다운 신호에 응답하여 복수의 게이트 라인에 게이트 구동 신호를 동시에 제공하는 복수의 낸드 게이트를 포함하는 게이트 구동부 및 파워 다운 신호에 응답하여 복수의 데이터 라인에 공통 전압을 제공하는 디스차지부를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

외부 전원 전압 공급의 차단을 검출하여 파워 다운 신호로 제공하는 전원 공급부;

상기 파워 다운 신호에 응답하여 복수의 게이트 라인에 게이트 구동 신호를 동시에 제공하는 복수의 낸드 게이트를 포함하는 게이트 구동부; 및

상기 파워 다운 신호에 응답하여 복수의 데이터 라인에 공통 전압을 제공하는 디스차지부를 포함하는 액정 표시 장치.

청구항 2

제 1 항에 있어서, 상기 게이트 구동부는,

상기 복수의 낸드 게이트에 대응하며, 상기 게이트 구동 신호의 위상과 반전된 위상을 가지는 신호를 출력하는 복수의 제1 인버터를 더 포함하며,

상기 낸드 게이트는 상기 제1 인버터의 출력 신호와 상기 파워 다운 신호를 낸드 연산하여 상기 게이트 구동 신호로 출력하는 액정 표시 장치.

청구항 3

제 2 항에 있어서, 상기 디스차지부는,

상기 복수의 데이터 라인에 각각 대응하는 스위칭 트랜지스터와 상기 파워 다운 신호의 위상을 반전시켜 파워 다운바 신호로 출력하는 제2 인버터를 포함하며,

상기 스위칭 트랜지스터는 상기 파워 다운바 신호가 제공되는 제어단, 상기 데이터 라인에 연결되는 출력단, 상기 공통 전압이 제공되는 입력단을 포함하는 액정 표시 장치.

청구항 4

제 3 항에 있어서, 상기 전원 공급부는,

소스와 드레인인이 전원단과 접지단에 연결되고 게이트에 상기 외부 전원 전압이 제공되는 신호 생성 트랜지스터를 포함하는 액정 표시 장치.

청구항 5

복수의 게이트 라인, 복수의 데이터 라인, 상기 복수의 게이트 라인과 복수의 데이터 라인의 교차부에 각각 형성되며 일단에 공통 전압이 인가되는 화소 커패시터, 상기 게이트 라인에 제공되는 게이트 구동 신호에 응답하여 상기 데이터 라인과 상기 화소 커패시터의 타단을 전기적으로 연결하는 박막 트랜지스터를 포함하는 액정 패널;

외부 전원 전압을 제공받아 상기 공통 전압을 포함하는 구동 전압을 생성하고, 상기 외부 전원 전압의 공급 차단을 검출하여 파워 다운 신호로 제공하는 전원 공급부;

상기 파워 다운 신호에 응답하여 복수의 게이트 라인에 게이트 구동 신호를 동시에 제공하는 복수의 낸드 게이트를 포함하는 게이트 구동부; 및

상기 파워 다운 신호에 응답하여 상기 복수의 데이터 라인에 상기 공통 전압을 인가하는 디스차지부를 포함하는 액정 표시 장치.

청구항 6

제 5 항에 있어서,

상기 구동 전압은 게이트 온 전압과 게이트 오프 전압을 포함하고,

상기 게이트 구동부는 상기 게이트 온 전압과 게이트 오프 전압 레벨의 상기 게이트 구동 신호를 제공하는 액정

표시 장치.

청구항 7

제 5 항에 있어서, 외부 신호에 응답하여 게이트 제어 신호를 제공하는 타이밍 컨트롤러를 더 포함하고,

상기 게이트 구동부는 상기 게이트 제어 신호에 응답하여 제1 게이트 구동 신호를 순차적으로 생성하는 쉬프트 레지스터,

상기 제1 게이트 구동 신호를 상기 게이트 온 전압과 게이트 오프 전압 레벨의 제2 게이트 구동 신호로 생성하는 레벨 쉬프터, 및

상기 복수의 낸드 게이트에 대응하며, 상기 제2 게이트 구동 신호의 위상을 반전시켜 출력하는 복수의 제1 인버터를 더 포함하며, 상기 낸드 게이트는 상기 제1 인버터의 출력 신호와 상기 파워 다운 신호를 낸드 연산하여 상기 게이트 구동 신호로 출력하는 출력 버퍼를 포함하는 액정 표시 장치.

청구항 8

제 7 항에 있어서,

상기 디스차지부는, 상기 복수의 데이터 라인에 각각 대응하는 스위칭 트랜지스터와 상기 파워 다운 신호의 위상을 반전시켜 파워 다운바 신호를 출력하는 제2 인버터를 포함하며,

상기 스위칭 트랜지스터는 상기 파워 다운바 신호가 제공되는 제어단, 상기 데이터 라인에 연결되는 출력단, 상기 공통 전압이 제공되는 입력단을 포함하는 액정 표시 장치.

청구항 9

제 8 항에 있어서, 상기 스위칭 트랜지스터는 NMOS 트랜지스터인 액정 표시 장치.

청구항 10

제 9 항에 있어서, 상기 전원 공급부는,

소스와 드레인인이 전원단과 접지단에 연결되고 게이트에 상기 전원 전압이 제공되는 신호 생성 트랜지스터를 포함하는 액정 표시 장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <12> 본 발명은 액정 표시 장치에 관한 것으로서, 보다 상세하게는 외부 전원 차단시 잔상을 제거하는 액정 표시 장치에 관한 것이다.
- <13> 일반적으로 액정 표시 장치는 전계 생성 전극이 각각 형성된 박막 트랜지스터 기판과 컬러 필터 기판을 전극이 형성된 면이 마주 대하도록 배치하고 두 기판 사이에 액정을 주입한 후, 전극에 전압을 인가하여 생성되는 전기장에 의해 액정을 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.
- <14> 이러한 액정 표시 장치는, 초박형, 경량, 고신뢰성, 저소비전력 특성에 기인하여 개인용 컴퓨터, 텔레비전뿐만 아니라, 휴대형 개인 정보 단말기, 휴대 전화 등 모바일(Mobile) 정보 기기에 많이 사용되고 있다.
- <15> 그런데 종래 모바일 정보 기기에 사용되는 액정 표시 장치는, 사용 중 사용자 또는 외부 충격에 의해 배터리가 제거되면 액정 표시 장치에 공급되는 전원이 차단되어 동작을 멈추게 되는데 이때 액정 패널에 잔상이 남는 문제점이 있다.
- <16> 이는 배터리가 제거되어 갑자기 전원 공급이 중단되면, 배터리가 제거되기 직전에 선택된 게이트 라인을 제외한 모든 게이트 라인은 게이트 오프 전압 상태가 되어 액정 패널의 화소 커패시터에 축적된 게조 표시 전압이 그대로 유지되기 때문이다. 즉 배터리가 제거되기 직전에 선택된 게이트 라인을 제외하고는 화소 커패시터에 축적된

계조 표시 전압이 방전될 수 있는 통로가 차단되어 누설 전류에 의한 자연 방전으로 모두 방전될 때까지 계조 표시 전압이 유지되어 잔상으로 남게 된다.

<17> 그러나 액정 패널에 형성된 박막 트랜지스터는 공정상 발생하는 특성차이, 예를 들면, 박막 트랜지스터의 문턱 값(Vth)의 공정 산포 등에 의해 각각의 누설 전류에 차이가 있고 이로 인해 각 화소 커패시터마다 방전 상태가 달라져 노이즈로 시인될 수 있는 문제점이 있다.

<18>

발명이 이루고자 하는 기술적 과제

<19> 따라서, 본 발명은 종래의 문제점을 해결하기 위하여 안출된 것으로, 배터리 제거가 검출되면 동시에 모든 게이트 라인을 구동시키고, 데이터 라인에 공통 전압을 제공하는 액정 표시 장치를 제공함에 그 목적이 있다.

발명의 구성 및 작용

<20> 상기 목적을 달성하기 위하여 본 발명의 액정 표시 장치는, 외부 전원 전압 공급의 차단을 검출하여 파워 다운 신호로 제공하는 전원 공급부; 상기 파워 다운 신호에 응답하여 복수의 게이트 라인에 게이트 구동 신호를 동시에 제공하는 복수의 낸드 게이트를 포함하는 게이트 구동부; 및 상기 파워 다운 신호에 응답하여 복수의 데이터 라인에 공통 전압을 제공하는 디스차지부를 포함한다.

<21> 여기서, 상기 게이트 구동부는, 상기 복수의 낸드 게이트에 대응하며, 상기 게이트 구동 신호의 위상과 반전된 위상을 가지는 신호를 출력하는 복수의 제1 인버터를 더 포함하며, 상기 낸드 게이트는 상기 제1 인버터의 출력 신호와 상기 파워 다운 신호를 낸드 연산하여 상기 게이트 구동 신호로 출력하는 것이 바람직하다.

<22> 또한 상기 디스차지부는, 상기 복수의 데이터 라인에 각각 대응하는 스위칭 트랜지스터와 상기 파워 다운 신호의 위상을 반전시켜 파워 다운바 신호로 출력하는 제2 인버터를 포함하며, 상기 스위칭 트랜지스터는 상기 파워 다운바 신호가 제공되는 제어단, 상기 데이터 라인에 연결되는 출력단, 상기 공통 전압이 제공되는 입력단을 포함한다.

<23> 또한 상기 전원 공급부는, 소스와 드레인인이 전원단과 접지단에 연결되고 게이트에 상기 외부 전원 전압이 제공되는 신호 생성 트랜지스터를 포함한다.

<24> 본 발명의 액정 표시 장치는, 복수의 게이트 라인, 복수의 데이터 라인, 상기 복수의 게이트 라인과 복수의 데이터 라인의 교차부에 각각 형성되며 일단에 공통 전압이 인가되는 화소 커패시터, 상기 게이트 라인에 제공되는 게이트 구동 신호에 응답하여 상기 데이터 라인과 상기 화소 커패시터의 타단을 전기적으로 연결하는 박막 트랜지스터를 포함하는 액정 패널; 외부 전원 전압을 제공받아 상기 공통 전압을 포함하는 구동 전압을 생성하고, 상기 외부 전원 전압의 공급 차단을 검출하여 파워 다운 신호로 제공하는 전원 공급부; 상기 파워 다운 신호에 응답하여 복수의 게이트 라인에 게이트 구동 신호를 동시에 제공하는 복수의 낸드 게이트를 포함하는 게이트 구동부; 및 상기 파워 다운 신호에 응답하여 상기 복수의 데이터 라인에 상기 공통 전압을 인가하는 디스차지부를 포함한다.

<25> 여기서, 상기 구동 전압은 게이트 온 전압과 게이트 오프 전압을 포함하고, 상기 게이트 구동부는 상기 게이트 온 전압과 게이트 오프 전압 레벨의 상기 게이트 구동 신호를 제공하는 것이 바람직하다.

<26> 또한 본 발명의 액정 표시 장치는, 외부 신호에 응답하여 게이트 제어 신호를 제공하는 타이밍 컨트롤러를 더 포함하고, 상기 게이트 구동부는 상기 게이트 제어 신호에 응답하여 제1 게이트 구동 신호를 순차적으로 생성하는 쉬프트 레지스터, 상기 제1 게이트 구동 신호를 상기 게이트 온 전압과 게이트 오프 전압 레벨의 제2 게이트 구동 신호로 생성하는 레벨 쉬프터, 및 상기 복수의 낸드 게이트에 대응하며, 상기 제2 게이트 구동 신호의 위상을 반전시켜 출력하는 복수의 제1 인버터를 더 포함하며, 상기 낸드 게이트는 상기 제1 인버터의 출력 신호와 상기 파워 다운 신호를 낸드 연산하여 상기 게이트 구동 신호로 출력하는 출력 버퍼를 포함한다.

<27> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 일 실시예에 대해 상세히 설명한다.

<28> 도 1은 본 발명의 일 실시 예에 따른 액정 표시 장치의 구성 블록도이다. 도 1에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 액정 표시 장치(100)는 액정 패널(110), 데이터 구동부(120), 게이트 구동부(130), 감마 전압 생성부(140), 타이밍 컨트롤러(150) 및 전원 공급부(160)를 포함한다.

<29> 상기 액정 패널(110)은 컬러 필터와 공통 전극이 형성된 컬러 필터 기판, 박막 트랜지스터(TFT)가 형성된 박막

트랜지스터 기판 및 컬러 필터 기판과 박막 트랜지스터 기판 사이에 충전되는 액정을 포함한다.

- <30> 박막 트랜지스터 기판은 복수의 게이트 라인($GL_1, \dots, GL_n$), 복수의 데이터 라인($DL_1, \dots, DL_m$), 복수의 게이트 라인($GL_1, \dots, GL_n$)과 복수의 데이터 라인($DL_1, \dots, DL_m$)의 교차부에 각각 형성되어 계조 표시 전압을 충전하는 화소 커패시터(CLC), 게이트 온 전압(VON)에 응답하여 계조 표시 전압을 화소 커패시터(CLC)에 제공하는 박막 트랜지스터(TFT)를 포함한다. 박막 트랜지스터(TFT)는 게이트 라인(GL_1)에 연결되는 게이트, 데이터 라인(DL_1)에 연결되는 소스 및 화소 커패시터(CLC)의 화소 전극에 연결되는 드레인을 포함한다.
- <31> 또한 액정 패널(110)은 비표시 영역에 복수의 데이터 라인($DL_1, \dots, DL_m$)에 연결되는 디스차지부(112)를 포함한다. 디스차지부(112)는 전원 공급부(160)로부터 공통 전압(VCOM)을 제공받고, 파워 오프 검출부(162)로부터 파워 다운 신호(XDON)를 제공받는다. 디스차지부(112)는 파워 다운 신호(XDON)에 응답하여 외부 전원 전압의 공급이 차단되는 경우 예를 들면, 액정 표시 장치가 적용되는 모바일 정보 기기에서 배터리가 제거되는 경우 복수의 데이터 라인($DL_1, \dots, DL_m$)에 공통 전압(VCOM)을 제공한다.
- <32> 상기 데이터 구동부(120)는 감마 전압(VGMA)을 이용하여 데이터 신호(DATA)에 해당하는 계조 표시 전압을 생성하고, 게이트 온 전압(VON)에 의해 구동되는 박막 트랜지스터(TFT)에 계조 표시 전압을 인가하여 게이트 라인($GL_1, \dots, GL_n$) 단위로 계조 표시 전압을 표시한다.
- <33> 이를 위해 데이터 구동부(120)는 타이밍 컨트롤러(140)로부터 데이터 제어신호(DCS) 및 데이터 신호(DATA)를 제공받고, 감마 전압 생성부(140)로부터 감마 전압(VGMA)을 제공받는다. 여기서 계조 표시 전압은 데이터 신호(DATA)에 해당하는 아날로그 전압이며, 데이터 제어 신호(DCS)는 데이터 스타트 펄스(STH), 데이터 동기 클럭(CPH)을 포함한다.
- <34> 데이터 구동부(120)는 데이터 구동 집적 회로(IC: Integrated Circuit)로 제작되어, TCP(Tape Carrier Package) 타입으로 액정 패널(110)에 부착될 수 있고, COG(Chip On Glass) 타입으로 액정 패널(110)의 비표시 영역에 직접 실장될 수 있다.
- <35> 상기 게이트 구동부(130)는 순차적으로 선택되는 게이트 라인($GL_1, \dots, GL_n$)에 게이트 구동 신호를 제공하여 선택된 게이트 라인($GL_1, \dots, GL_n$)에 각각 연결된 복수의 박막 트랜지스터(TFT)를 동시에 턴온시킨다. 이를 위해 게이트 구동부(130)는 타이밍 컨트롤러(140)로부터 게이트 제어신호(GCS)를 제공받고, 감마 전압 생성부(140)로부터 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF)을 제공받는다. 여기서 게이트 제어 신호(GCS)는 게이트 스타트 펄스(STV), 게이트 동기 클럭(CPV)을 포함한다.
- <36> 또한 게이트 구동부(130)는 파워 다운 신호(XDON)에 응답하여 외부 전원 전압의 공급이 차단되는 경우 예를 들면, 복수의 게이트 라인($GL_1, \dots, GL_n$)에 동시에 게이트 구동 신호를 제공한다. 이를 위해 게이트 구동부(130)는 파워오프 검출부(162)로부터 파워 다운 신호(XDON)를 제공받는다.
- <37> 게이트 구동부(130)는 게이트 구동 집적 회로(IC: Integrated Circuit)로 제작되어, TCP(Tape Carrier Package) 타입으로 액정 패널(110)에 부착될 수 있고, 아몰포스 실리콘 게이트(ASG: Amorphous Silicon Gate) 타입으로 액정 패널(110)의 비표시 영역에 집적화될 수 있다.
- <38> 게이트 구동부(130)가 ASG 타입으로 구현되는 경우(도시되지 않음), 게이트 구동부(130)는 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨의 게이트 클럭 펄스 및 개시 펄스를 생성하는 레벨 쉬프터, 게이트 클럭 펄스 및 개시 펄스에 응답하여 복수의 게이트 라인($GL_1, \dots, GL_n$)에 게이트 클럭 펄스를 게이트 구동 전압으로 순차적으로 제공하는 게이트 구동 회로 및 디스차지 신호(DISSig)에 응답하여 복수의 게이트 라인($GL_1, \dots, GL_n$)에 순차적으로 게이트 구동 신호를 제공하거나 동시에 게이트 구동 신호를 제공하는 출력 버퍼(132)를 포함한다. 여기서 게이트 구동 회로와 출력 버퍼는 액정 패널(110)의 비표시 영역에 집적화되는 것이 바람직하다.
- <39> 상기 감마 전압 생성부(140)는 전원 공급부(160)로부터 공급되는 아날로그 전원 전압(AVDD)을 분압하여 감마 전압(VGMA)을 생성하고 이를 데이터 구동부(120)로 제공한다.
- <40> 상기 타이밍 컨트롤러(150)는 외부 신호를 제공받아, 데이터 구동부(120)가 처리할 수 있는 데이터 신호(DATA)로 변환하여 데이터 구동부(120)로 공급하고 데이터 구동부(120)와 게이트 구동부(130)의 동작에 필요한 제어 신호(DCS; OE, CPV, STV)를 생성하여 데이터 구동부(120)와 게이트 구동부(130)로 각각으로 제공한다. 여기서 외부 신호는 R, G, B 데이터(R, G, B), 동기 신호(HSYNC, VSYNC) 및 클럭(MCLK)을 포함한다.
- <41> 상기 전원 공급부(160)는 외부로부터 전원 전압(VDD)을 공급받아 게이트 온 전압(VON)과 게이트 오프 전압(VOFF)을 생성하여 게이트 구동부(130)로 제공한다. 또한 전원 공급부(160)는 아날로그 전원 전압(AVDD)을 생성

하여 감마 전압 생성부(140)로 제공한다.

- <42> 또한 전원 공급부(160)는 배터리가 제거되어 외부로부터 전원 전압(VDD) 공급이 차단(Off)되면, 이를 검출하여 파워 다운 신호(XDON)를 생성하여 출력 버퍼(132) 및 디스차지부(112)로 제공하는 파워 오프 검출부(162)를 포함한다. 여기서 파워 다운 신호(XDON)는 전원 전압이 정상적으로 공급될 때, "하이" 레벨을 유지하며, 전원 전압이 비정상적으로 차단될 때, "로우" 레벨로 인에이블되는 것이 바람직하다.
- <43> 본 발명의 일 실시 예에 따른 액정 표시 장치는, 외부로부터 전원 전압(VDD) 공급이 비정상적으로 차단되면 복수의 게이트 라인(GL1,...,GLn)이 동시에 구동되고, 화소 커패시터(CLC)의 양단에 공통 전압(VCOM)이 인가되는 구성을 가지기 때문에 화소 커패시터(CLC)에 잔존하고 있던 계조 표시 전압이 모두 방전되어 잔상이 제거될 수 있다.
- <44> 도 2는 도 1에 도시된 디스차지부의 예시 회로 구성도이다. 도 2에 도시된 바와 같이, 디스차지부(112)는 파워 다운 신호(XDON)에 응답하여 복수의 데이터 라인(DL1,...,DLm)에 공통 전압(VCOM)을 인가할 수 있는 구성을 가진다.
- <45> 보다 구체적으로 디스차지부(112)는 복수의 데이터 라인(DL1,...,DLm)에 각각 대응하는 복수의 스위칭 트랜지스터(NT1,...,NTm)와 파워 다운 신호(XDON)의 위상을 반전시켜 복수의 스위칭 트랜지스터(NT1,...,NTm)의 제어단에 제공하는 인버터(INV)를 포함한다. 여기서 인버터(INV)의 출력은 파워 다운바 신호(XDONB)가 된다.
- <46> 각 스위칭 트랜지스터는 파워 다운바 신호(XDON)가 제공되는 제어단, 데이터 라인에 연결되는 출력단 및 공통 전압(VCOM)이 제공되는 입력단을 포함한다. 여기서 스위칭 트랜지스터(NT1,...,NTm)는 엔모스(NMOS: N-channel Metal-Oxide Semiconductor) 트랜지스터인 것이 바람직하다.
- <47> 동작에 있어서, 전원 전압(VDD)이 정상적으로 공급되어 파워 다운 신호(XDON)가 "하이" 레벨로 제공되면, 파워 다운바 신호(XDONB)는 "로우" 레벨로 출력되며, 복수의 스위칭 트랜지스터(NT1,...,NTm)은 턴오프되어 복수의 데이터 라인(DL1,...,DLm)은 전기적으로 분리된다. 따라서 데이터 구동부(120)는 데이터 라인(DL1,...,DLm) 각각에 연결된 박막 트랜지스터에 계조 표시 전압을 정상적으로 인가할 수 있다.
- <48> 반면 전원 전압(VDD)이 비정상적으로 차단되어 파워 다운 신호(XDON)가 "로우" 레벨로 제공되면, 파워 다운바 신호(XDONB)는 "하이" 레벨로 출력되며, 복수의 스위칭 트랜지스터(NT1,...,NTm)은 턴온되어 복수의 데이터 라인(DL1,...,DLm)은 전기적으로 연결된다. 스위칭 트랜지스터(NT1,...,NTm)는 공통 전압(VCOM)을 복수의 데이터 라인(DL1,...,DLm) 각각에 연결된 박막 트랜지스터에 제공한다. 따라서 복수의 박막 트랜지스터에 연결된 화소 커패시터(CLC)의 양단 전극은 모두 공통 전압(VCOM)이 제공되어 축적된 계조 표시 전압이 동시에 제거될 수 있게 된다.
- <49> 도 3은 도 3은 도 1에 도시된 게이트 구동부의 구성 블록도이다. 도 3에 도시된 바와 같이, 게이트 구동부(130)는 쉬프트 레지스터(136), 레벨 쉬프터(134) 및 출력 버퍼(132)를 포함한다.
- <50> 상기 쉬프트 레지스터(136)는 타이밍 컨트롤러(150)로부터 제공되는 제어 신호(STV, CPV)에 응답하여 게이트 구동 신호를 순차적으로 발생시킨다. 여기서 제어신호 STV는 한 프레임의 시작을 알리는 수직 동기 신호이고, 제어 신호 CPV는 클럭 신호이다.
- <51> 상기 레벨 쉬프터(134)는 쉬프트 레지스터(136)으로부터 제공되는 게이트 구동 신호를 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF) 레벨의 게이트 구동 신호로 생성한다. 레벨 쉬프터(134)는 게이트 제어 신호인 출력 인에이블 신호(OE)를 이용하여 쉬프트 레지스터(136)에서 발생된 게이트 구동 신호의 특성, 예를 들면, 펄스 폭을 조절할 수 있다.
- <52> 상기 출력 버퍼(132)는 파워 다운 신호(XDON)에 응답하여, 레벨 쉬프터(134)로부터 제공되는 게이트 구동 신호를 복수의 게이트 라인(GL1,...,GLn)에 순차적으로 제공하거나, 게이트 구동 신호를 복수의 게이트 라인(GL1,...,GLn)에 동시에 제공할 수 있는 구성을 가진다.
- <53> 보다 구체적으로 출력 버퍼(132)는 게이트 구동 신호의 위상을 반전시키고 전류 구동 능력을 향상시키는 인버터(INV1,...,INVn) 및 인버터(INV1,...,INVn)의 출력 신호와 파워 다운 신호(XDON)를 제공받아 낸드 연산하여, 대응되는 게이트 라인(GL1,...,GLn)에 제공하는 복수의 낸드 게이트(ND1,...,NDn)를 포함한다.
- <54> 인버터(INV1,...,INVn)의 출력 신호, 파워 다운 신호(XDON) 및 낸드 게이트(ND1,...,NDn)의 출력 신호의 논리 연산 관계를 진리표로 나타내면 아래 표1과 같다.

표 1

인버터 출력 신호	파워 다운 신호	낸드 게이트 출력 신호
0	0	1
1	0	1
0	1	1
1	1	0

- <55> 표 1에서 인버터(INV1,...,INVn)의 출력 신호가 "0"인 경우, 쉬프트 레지스터(136)에 의해 해당 게이트 라인이 선택된 경우이고, 인버터(INV1,...,INVn)의 출력 신호가 "1"인 경우, 쉬프트 레지스터(136)에 의해 해당 게이트 라인이 선택되지 않은 경우이다.
- <57> 또한 낸드 게이트 출력 신호가 "1"인 경우, 낸드 게이트(ND1,...,NDn)는 해당 게이트 라인에 게이트 온 전압(VON) 레벨의 게이트 구동 신호가 제공되는 경우이고, 낸드 게이트 출력 신호가 "0"인 경우, 낸드 게이트(ND1,...,NDn)는 해당 게이트 라인에 게이트 오프 전압(VOFF) 레벨의 게이트 구동 신호가 제공되는 경우이다.
- <58> 또한 파워 다운 신호가 "0"인 경우, 배터리가 제거되어 외부 전원이 차단되는 경우이고, 파워 다운 신호가 "1"인 경우, 외부 전원이 정상적으로 공급되는 경우이다.
- <59> 본 발명의 일 실시 예에 따른 출력 버퍼(132)는 외부 전원이 정상적으로 공급되면, 낸드 게이트(ND1,...,NDn)에 의해 인버터(INV1,...,INVn)의 출력 신호를 반전시켜 정상적으로 복수의 게이트 라인(GL1,...,GLn)에 순차적으로 게이트 구동 신호를 제공한다.
- <60> 반면, 외부 전원이 차단되면, 낸드 게이트(ND1,...,NDn)는 인버터(INV1,...,INVn)의 출력 신호에 상관없이 항상 "1", 즉 게이트 온 전압(VON) 레벨의 게이트 구동 신호를 복수의 게이트 라인(GL1,...,GLn)에 동시에 제공한다. 따라서 복수의 게이트 라인(GL1,...,GLn)에 연결된 모든 박막 트랜지스터는 턴온되어, 화소 커패시터(CLC)에 잔존하는 계조 표시 전압이 방전될 수 있는 경로가 형성된다. 이로써 비정상적 전원 공급 중단으로 종래에 액정 패널에서 발생하는 잔상이 제거될 수 있다.
- <61> 도 4는 도 1에 도시된 파워 오프 검출부의 예시 회로 구성도이다. 도 4에 도시된 바와 같이, 파워 오프 검출부(162)는 외부 전원 전압(VDD)에 응답하여 파워 다운 신호(XDON)를 생성하는 구성을 가진다.
- <62> 보다 구체적으로 파워 오프 검출부(162)는 파워 다운 신호(XDON)를 생성하는 신호 생성 트랜지스터를 포함한다. 신호 생성 트랜지스터는 소스와 드레인이 전원단과 접지단에 연결되고 게이트에 전원 전압(VDD)이 제공된다. 전원단이 연결되는 소스는 파워 다운 신호(XDON)가 출력되는 출력단으로 동작한다. 여기서 신호 생성 트랜지스터는 피모스(PMOS: P-channel Metal-Oxide Semiconductor) 트랜지스터인 것이 바람직하다.
- <63> 동작에 있어서, 전원 전압(VDD)이 정상적으로 공급되면, 신호 생성 트랜지스터는 턴오프되어 전원단으로 제공되는 "하이" 레벨의 전압이 파워 다운 신호(XDON)로 출력된다. 반면 전원 전압(VDD)이 비정상적으로 차단되면, 신호 생성 트랜지스터는 턴온되어 전원단과 접지단을 연결하는 경로가 형성되어 전원단에 제공되는 "하이" 레벨의 전압에 의한 전류가 모두 접지단으로 흐르게 된다. 따라서, 접지단에 해당하는 "로우" 레벨의 전압이 파워 다운 신호(XDON)로 출력된다.
- <64> 도 5는 도 1에 도시된 액정 표시 장치의 동작을 설명하기 위한 타이밍도이다. 도 5를 참조하면, 파워 다운 신호(XDON)가 "하이"인 구간은 전원 전압(VDD)이 정상적으로 공급되는 구간으로서, 게이트 온 전압(VON) 레벨의 게이트 구동 신호는 복수의 게이트 라인(GL1,...,GLn)에 순차적으로 제공된다.
- <65> 파워 다운 신호(XDON)가 "로우"인 구간은 배터리 제거 등 전원 전압(VDD)이 비정상적으로 차단된 구간으로서, 게이트 온 전압(VON) 레벨의 게이트 구동 신호는 출력 버퍼(132)에 의해 복수의 게이트 라인(GL1,...,GLn)에 동시에 제공된다.
- <66> 여기서 T는 출력 버퍼(132)에 의해 복수의 게이트 라인(GL1,...,GLn)으로 제공되는 게이트 구동 신호가 "하이" 레벨을 유지하는 시간을 의미한다. T는 복수의 게이트 라인(GL1,...,GLn)의 구동에 의해 액정 패널(110)의 모든 화소 커패시터(CLC)에 축적된 전하가 모두 방전될 수 있는 시간인 것이 바람직하다.
- <67> 본 발명의 일 실시 예에 따른 액정 표시 장치는, 외부로부터 전원 전압(VDD) 공급이 비정상적으로 차단되면 복수의 게이트 라인(GL1,...,GLn)이 동시에 구동되는 구성을 가지기 때문에 화소 커패시터(CLC)에 잔존하고 있던 계

조 표시 전압이 모두 방전되어 잔상이 제거될 수 있다.

발명의 효과

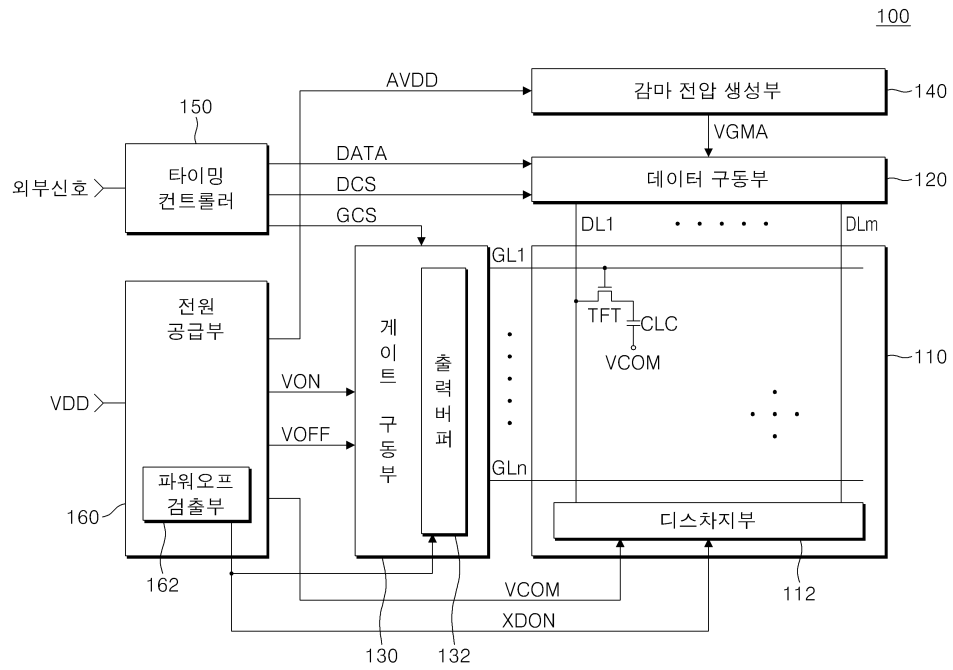
- <68> 본 발명의 액정 표시 장치는, 배터리 제거가 검출되면 동시에 모든 게이트 라인을 구동시키고, 데이터 라인에 공통 전압을 입력하여, 배터리 제거시 발생하는 잔상을 제거할 수 있는 효과가 있다.
- <69> 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- <70> 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

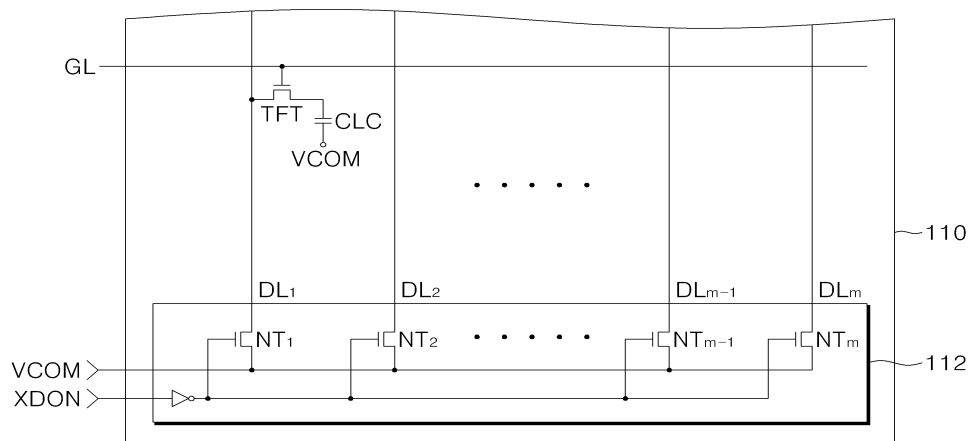
- <1> 도 1은 본 발명의 일 실시 예에 따른 액정 표시 장치의 구성 블록도,
- <2> 도 2는 도 1에 도시된 디스차지부의 예시 회로 구성도,
- <3> 도 3은 도 1에 도시된 게이트 구동부의 구성 블록도,
- <4> 도 4는 도 1에 도시된 파워 오프 검출부의 예시 회로 구성도, 및
- <5> 도 5는 도 1에 도시된 액정 표시 장치의 동작을 설명하기 위한 타이밍도이다.
- <6> <도면의 주요부분에 대한 부호설명>
- | | |
|---------------------|----------------|
| <7> 100: 액정 표시 장치 | 110: 액정 패널 |
| <8> 112: 디스차지부 | 120: 데이터 구동부 |
| <9> 130: 게이트 구동부 | 132: 출력 버퍼 |
| <10> 140: 감마 전압 생성부 | 150: 타이밍 컨트롤러 |
| <11> 160: 전원 공급부 | 162: 파워 오프 검출부 |

도면

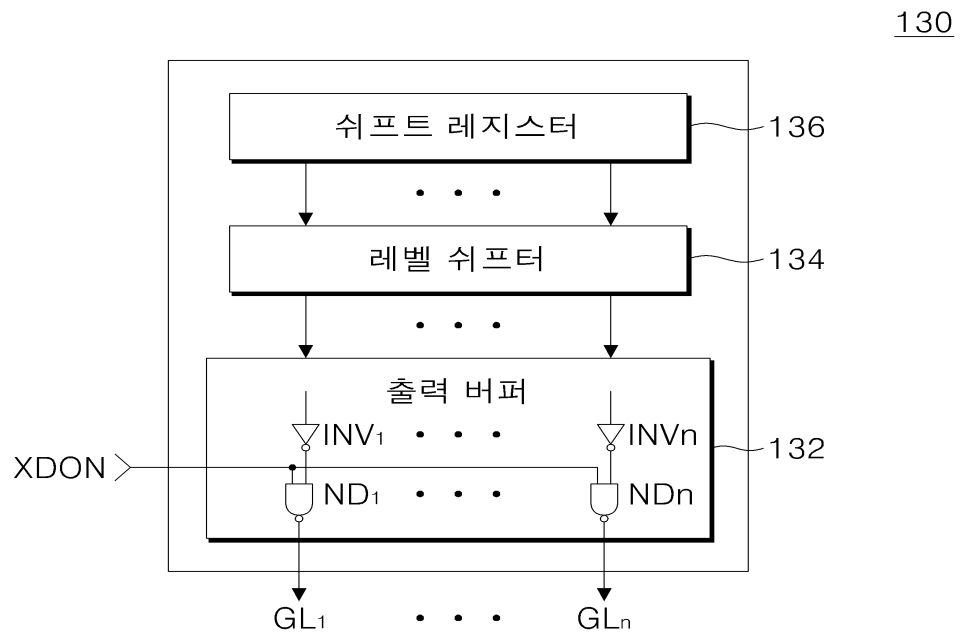
도면1



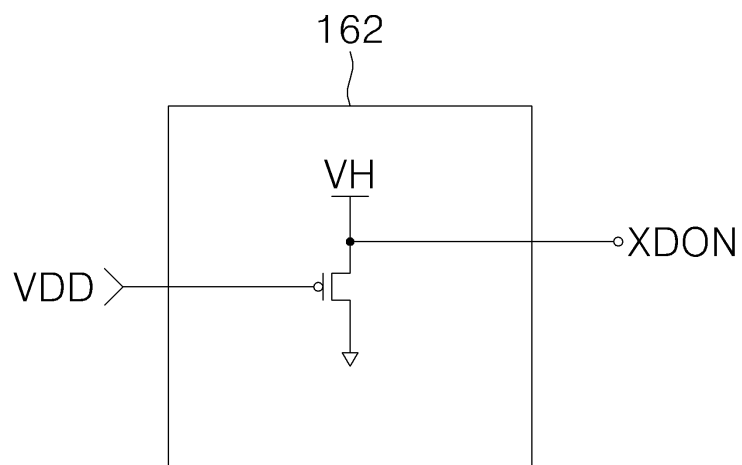
도면2



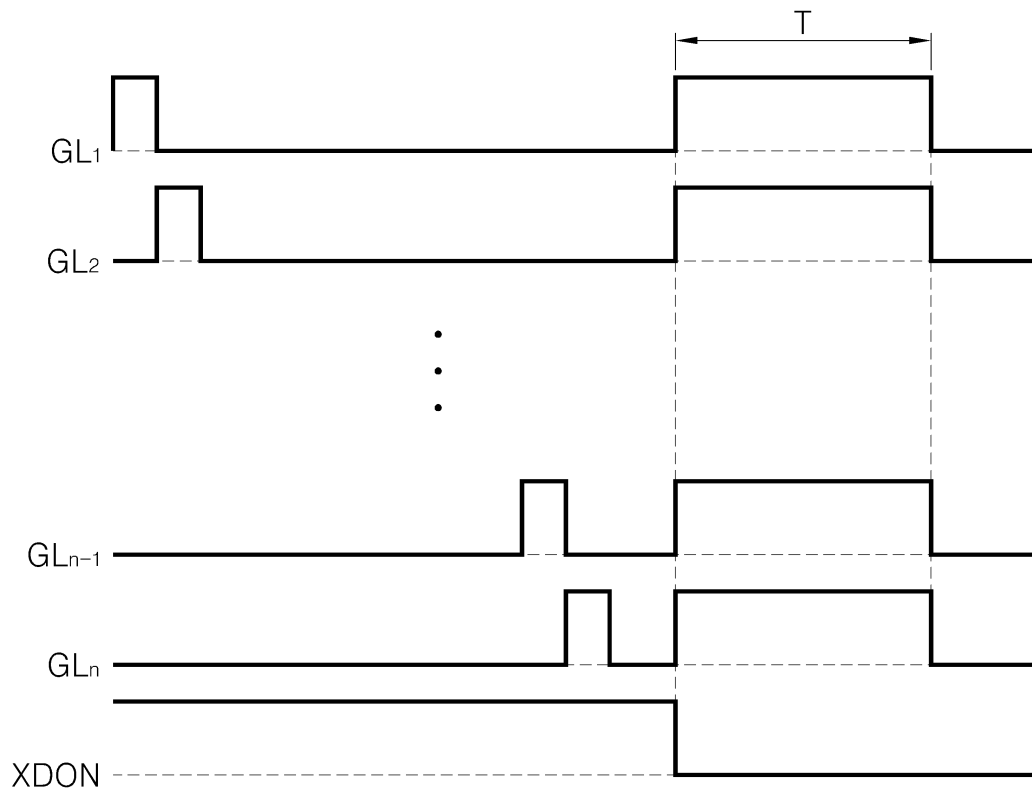
도면3



도면4



도면5



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080064929A	公开(公告)日	2008-07-10
申请号	KR1020070001820	申请日	2007-01-06
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM CHEOL MIN 김철민 PARK TAE HYEONG 박태형 PARK JOON HA 박준하		
发明人	김철민 박태형 박준하		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	E01F13/04		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于去除外部断电余像的液晶显示器。本发明的液晶显示器包括电源单元，该电源单元检测外部供电电源电压的切断并提供给掉电信号，该栅极驱动单元包括多个NAND门，同时提供栅极响应于断电信号驱动信号到多条栅极线，并且放电单元响应于断电信号向多条数据线提供公共电压。

