



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0034595
(43) 공개일자 2008년04월22일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0100745

(22) 출원일자 2006년10월17일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

임지숙

대전 중구 태평2동 삼부아파트2단지 27동 123호

박용기

경기도 시흥시 은행동 성원아파트 103동 205호

(74) 대리인

팬코리아특허법인

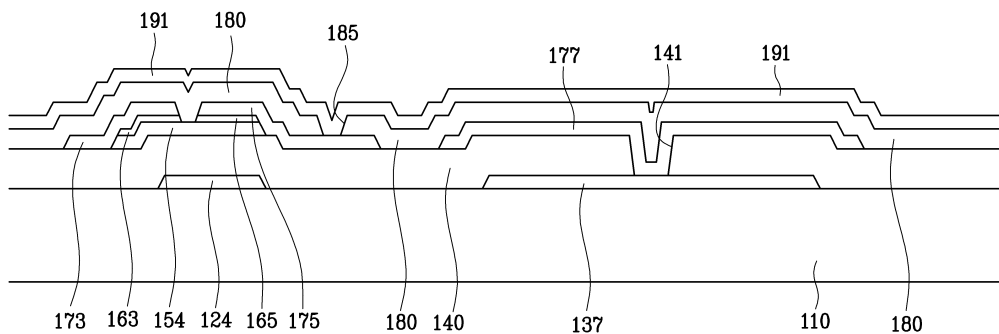
전체 청구항 수 : 총 17 항

(54) 박막 트랜지스터 표시 기판 및 그 제조 방법

(57) 요약

본 발명의 한 실시예에 따른 박막 트랜지스터 표시 기판은 기판, 상기 기판 위에 형성되어 있으며, 게이트 전극을 포함하는 게이트선 및 유지 전극을 포함하는 유지 전극선, 상기 유지 전극의 일부를 드러내는 접촉 구멍을 가지는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 게이트 절연막 및 상기 반도체층 위에 형성되어 있는 데이터선 및 드레인 전극, 상기 게이트 절연막의 접촉 구멍을 통하여 상기 유지 전극과 전기적으로 연결되는 유지 도전체, 상기 기판 위에 형성되어 있으며, 상기 게이트 절연막의 두께보다 얇은 보호막, 그리고 상기 보호막 위에 형성되어 있으며, 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하며, 상기 화소 전극과 상기 유지 도전체는 상기 보호막을 사이에 두고 중첩하여 유지 축전기를 이룬다. 본 발명에 따른 박막 트랜지스터 표시 기판은 액정 축전기를 이루는 중첩하는 도전체의 면적을 크게 하지 않고, 두 도전체를 상대적으로 두께가 얇은 보호막을 사이에 두고 중첩하게 함으로써, 표시 장치의 개구율을 감소하지 않으면서, 더 큰 유지 용량을 가지는 유지 축전기를 가질 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

기관,

상기 기관 위에 형성되어 있으며, 게이트 전극을 포함하는 게이트선 및 유지 전극을 포함하는 유지 전극선,

상기 기관 위에 형성되어 있으며, 상기 유지 전극의 일부를 드러내는 접촉 구멍을 가지는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 게이트 절연막 및 상기 반도체층 위에 형성되어 있는 데이터선 및 드레인 전극,

상기 게이트 절연막 위에 상기 데이터선과 함께 형성되고, 상기 게이트 절연막의 접촉 구멍을 통하여 상기 유지 전극과 전기적으로 연결되는 유지 도전체,

상기 데이터선, 드레인 전극 및 유지 도전체 위에 형성되어 있는 보호막, 그리고

상기 보호막 위에 형성되어 있으며, 상기 드레인 전극과 연결되어 있는 화소 전극

을 포함하는 박막 트랜지스터 표시 기관.

청구항 2

제1항에서,

상기 유지 전극선에는 유지 전압이 인가되는 박막 트랜지스터 표시 기관.

청구항 3

제2항에서,

상기 유지 도전체에는 상기 유지 전극을 통하여 유지 전압이 인가되는 박막 트랜지스터 표시 기관.

청구항 4

제3항에서,

상기 게이트 절연막의 두께는 상기 보호막의 두께보다 두껍고,

상기 투명 전극과 상기 유지 도전체는 상기 보호막을 사이에 두고 중첩하여 유지 축전기를 이루는 박막 트랜지스터 표시 기관.

청구항 5

제1항에서,

상기 보호막에는 상기 드레인 전극의 일부를 드러내는 접촉 구멍이 형성되어 있고, 상기 화소 전극을 상기 보호막의 접촉 구멍을 통해 상기 드레인 전극과 전기적으로 연결되는 박막 트랜지스터 표시 기관.

청구항 6

기관 위에 게이트 전극을 포함하는 게이트선 및 유지 전극을 포함하는 유지 전극선을 형성하는 단계,

상기 기관, 상기 게이트선 및 상기 유지 전극선 위에 게이트 절연막을 적층하는 단계,

상기 게이트 절연막 위에 진성 비정질 규소층을 적층하는 단계,

상기 비정질 규소층 위에 불순물 비정질 규소층을 적층하는 단계,

상기 불순물 비정질 규소층, 상기 진성 비정질 규소층 및 상기 게이트 절연막을 패터닝하여 불순물 반도체 및 진성 반도체를 형성함과 동시에 상기 게이트 절연막에 상기 유지 전극의 일부를 드러내는 제1 접촉 구멍을 형성하는 단계,

상기 게이트 절연막 및 상기 불순물 반도체 위에 데이터선 및 드레인 전극을 형성함과 동시에 상기 제1 접촉 구

멍을 통하여 상기 유지 전극과 연결되는 유지 도전체를 형성하는 단계,

상기 데이터선, 드레인 전극 및 유지 도전체 위에 상기 드레인 전극의 일부를 노출하는 제2 접촉 구멍을 가지는 보호막을 형성하는 단계, 그리고

상기 보호막 위에 상기 제2 접촉 구멍을 통하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 표시 기관 제조 방법.

청구항 7

제6항에서,

상기 게이트 절연막의 두께는 상기 보호막의 두께보다 두껍고, 상기 화소 전극과 상기 유지 도전체는 상기 보호막을 사이에 두고 중첩하여 유지 축전기를 이루는 박막 트랜지스터 표시 기관 제조 방법.

청구항 8

기관,

상기 기관 위에 형성되어 있으며, 게이트 전극을 포함하는 게이트선 및 유지 전극을 포함하는 유지 전극선,

상기 기관 위에 형성되어 있으며, 상기 유지 전극을 드러내는 접촉 구멍을 가지는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체층,

상기 게이트 절연막 및 상기 반도체층 위에 형성되어 있는 데이터선 및 드레인 전극,

상기 데이터선, 드레인 전극 및 유지 도전체 위에 형성되어 있는 보호막, 그리고

상기 보호막 위에 형성되어 있으며, 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하고,

상기 유지 전극은 상기 보호막을 사이에 두고 상기 화소 전극과 중첩하여 유지 축전기를 이루는 박막 트랜지스터 표시 기관.

청구항 9

제8항에서,

상기 유지 전극선에는 유지 전압이 인가되는 박막 트랜지스터 표시 기관.

청구항 10

제9항에서,

상기 게이트 절연막의 두께는 상기 보호막의 두께보다 두꺼운 박막 트랜지스터 표시 기관.

청구항 11

제8항에서,

상기 보호막은 하부막 및 상부막을 포함하는 이중막 구조를 가지고, 상기 하부막의 두께는 상기 게이트 절연막의 두께보다 얇은 박막 트랜지스터 표시 기관.

청구항 12

제11항에서,

상기 보호막의 상부막은 상기 유지 전극 위에는 제거되어 있는 박막 트랜지스터 표시 기관.

청구항 13

제11항에서,

상기 보호막의 하부막은 무기 절연물을 포함하고, 상기 보호막의 상부막은 유기 절연물을 포함하는 박막 트랜지스터 표시 기관.

청구항 14

기관 위에 게이트 전극을 포함하는 게이트선 및 유지 전극을 포함하는 유지 전극선을 형성하는 단계,
 상기 기관, 상기 게이트선 및 상기 유지 전극선 위에 게이트 절연막을 적층하는 단계,
 상기 게이트 절연막 위에 진성 비정질 규소층을 적층하는 단계,
 상기 비정질 규소층 위에 불순물 비정질 규소층을 적층하는 단계,
 상기 불순물 비정질 규소층, 상기 진성 비정질 규소층 및 상기 게이트 절연막을 패터닝하여 불순물 반도체 및 진성 반도체를 형성함과 동시에 상기 게이트 절연막에 상기 유지 전극을 드러내는 제1 접촉 구멍을 형성하는 단계,
 상기 게이트 절연막 및 상기 불순물 반도체 위에 데이터선 및 드레인 전극을 형성하는 단계,
 상기 데이터선 및 상기 드레인 전극 위에 상기 드레인 전극의 일부를 노출하는 제2 접촉 구멍을 가지는 보호막을 형성하는 단계, 그리고
 상기 보호막 위에 상기 제2 접촉 구멍을 통하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 표시 기관 제조 방법.

청구항 15

제14항에서,
 상기 게이트 절연막의 두께는 상기 보호막의 두께보다 두꺼운 박막 트랜지스터 표시 기관.

청구항 16

제14항에서,
 상기 보호막은 하부막 및 상부막을 포함하는 이중막 구조를 가지고, 상기 보호막의 상부막은 상기 유지 전극 위에는 제거되어 있고, 상기 보호막의 하부막의 두께는 상기 게이트 절연막의 두께보다 얇은 박막 트랜지스터 표시 기관.

청구항 17

제16항에서,
 상기 보호막을 형성하는 단계는
 상기 기관 위에 하부 보호막을 적층하는 단계,
 상기 하부 보호막 위에 상부 보호막을 적층하는 단계,
 상기 상부 보호막 위에 위치에 따라 두께가 다르며 상기 상부 보호막의 일부를 노출하는 감광막을 형성하는 단계,
 상기 감광막을 마스크로 삼아 상기 상부 보호막, 상기 하부 보호막 및 상기 게이트 절연막을 패터닝하여, 상기 게이트선의 끝부분, 상기 데이터선의 끝부분 및 상기 드레인 전극의 일부를 각각 드러내는 제2, 제3 및 제4 접촉 구멍을 형성하는 단계,
 상기 감광막을 두께를 줄여 상기 유지 전극 위의 상부 보호막을 노출하는 단계,
 상기 감광막을 식각 마스크로 하여, 상부 보호막을 식각하여 제거하는 단계, 그리고
 상기 감광막을 제거하는 단계를 포함하고,
 상기 게이트 절연막의 두께는 상기 하부 보호막의 두께보다 두꺼운 박막 트랜지스터 표시 기관 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <28> 본 발명은 박막 트랜지스터 표시 기관의 제조 방법에 관한 것이다.
- <29> 일반적으로 액정 표시 장치나 유기 발광 표시 장치 등의 평판 표시 장치는 복수 쌍의 전기장 생성 전극과 그 사이에 들어 있는 전기광학(electro-optical) 활성층을 포함한다. 액정 표시 장치의 경우 전기광학 활성층으로 액정층을 포함하고, 유기 발광 표시 장치의 경우 전기광학 활성층으로 유기 발광층을 포함한다.
- <30> 한 쌍을 이루는 전기장 생성 전극 중 하나는 통상 스위칭 소자에 연결되어 전기 신호를 인가 받고, 전기광학 활성층은 이 전기 신호를 광학 신호를 변환함으로써 영상이 표시된다.
- <31> 평판 표시 장치에서는 스위칭 소자로서 삼단자 소자인 박막 트랜지스터(thin film transistor, TFT)를 사용하며, 이 박막 트랜지스터를 제어하기 위한 주사 신호를 전달하는 게이트선(gate line)과 화소 전극에 인가될 신호를 전달하는 데이터선(data line) 등의 신호선이 평판 표시 장치에 구비된다.
- <32> 한편, 일반적으로 액정 표시 장치에는 액정 화소 전극의 전압을 유지하기 위하여 유지 축전기가 더 필요하다. 액정 표시 장치의 박막 트랜지스터에 게이트 온 전압이 인가되면, 전기 광학 활성층인 액정층에 전하가 충전되고, 이 충전된 전하는 박막 트랜지스터에 다시 게이트 온 전압이 인가될 때까지 유지된다. 일반적으로, 게이트 온 전압에서 게이트 오프 전압으로 바뀔 때, 화소 전압이 다소 하강하는데, 유지 축전기는 이러한 변동 정도를 줄여서 화소 전압을 일정하게 유지한다.
- <33> 따라서, 액정 표시 장치의 유지 축전기의 유지 용량은 가능한 한 큰 것이 바람직하다.

발명이 이루고자 하는 기술적 과제

- <34> 본 발명이 이루고자 하는 기술적 과제는 큰 유지 축전기의 유지 용량을 가지는 박막 트랜지스터 표시 기관을 제공하고, 유지 축전기의 유지 용량을 크게 할 수 있는 박막 트랜지스터 표시 기관의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

- <35> 본 발명의 한 실시예에 따른 박막 트랜지스터 표시 기관은 기관, 상기 기관 위에 형성되어 있으며, 게이트 전극을 포함하는 게이트선 및 유지 전극을 포함하는 유지 전극선, 상기 기관 위에 형성되어 있으며, 상기 유지 전극의 일부를 드러내는 접촉 구멍을 가지는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 게이트 절연막 및 상기 반도체층 위에 형성되어 있는 데이터선 및 드레인 전극, 상기 게이트 절연막 위에 상기 데이터선과 함께 형성되고, 상기 게이트 절연막의 접촉 구멍을 통하여 상기 유지 전극과 전기적으로 연결되는 유지 도전체, 상기 데이터선, 드레인 전극 및 유지 도전체 위에 형성되어 있는 보호막, 그리고 상기 보호막 위에 형성되어 있으며, 상기 드레인 전극과 연결되어 있는 화소 전극을 포함한다.
- <36> 상기 유지 전극선에는 유지 전압이 인가될 수 있다.
- <37> 상기 유지 도전체에는 상기 유지 전극을 통하여 유지 전압이 인가될 수 있다.
- <38> 상기 게이트 절연막의 두께는 상기 보호막의 두께보다 두껍고, 상기 투명 전극과 상기 유지 도전체는 상기 보호막을 사이에 두고 중첩하여 유지 축전기를 이룰 수 있다.
- <39> 상기 보호막에는 상기 드레인 전극의 일부를 드러내는 접촉 구멍이 형성되어 있고, 상기 화소 전극을 상기 보호막의 접촉 구멍을 통해 상기 드레인 전극과 전기적으로 연결될 수 있다.
- <40> 본 발명의 한 실시예에 따른 박막 트랜지스터 표시 기관의 제조 방법은 기관 위에 게이트 전극을 포함하는 게이트선 및 유지 전극을 포함하는 유지 전극선을 형성하는 단계, 상기 기관, 상기 게이트선 및 상기 유지 전극선 위에 게이트 절연막을 적층하는 단계, 상기 게이트 절연막 위에 진성 비정질 규소층을 적층하는 단계, 상기 비정질 규소층 위에 불순물 비정질 규소층을 적층하는 단계, 상기 불순물 비정질 규소층, 상기 진성 비정질 규소층 및 상기 게이트 절연막을 패터닝하여 불순물 반도체 및 진성 반도체를 형성함과 동시에 상기 게이트 절연막에 상기 유지 전극의 일부를 드러내는 제1 접촉 구멍을 형성하는 단계, 상기 게이트 절연막 및 상기 불순물 반도체 위에 데이터선 및 드레인 전극을 형성함과 동시에 상기 제1 접촉 구멍을 통하여 상기 유지 전극과 연결되

는 유지 도전체를 형성하는 단계, 상기 데이터선, 드레인 전극 및 유지 도전체 위에 상기 드레인 전극의 일부를 노출하는 제2 접촉 구멍을 가지는 보호막을 형성하는 단계, 그리고 상기 보호막 위에 상기 제2 접촉 구멍을 통하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함한다.

- <41> 상기 게이트 절연막의 두께는 상기 보호막의 두께보다 두껍고, 상기 화소 전극과 상기 유지 도전체는 상기 보호막을 사이에 두고 중첩하여 유지 축전기를 이룰 수 있다.
- <42> 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시 기판은 기판, 상기 기판 위에 형성되어 있으며, 게이트 전극을 포함하는 게이트선 및 유지 전극을 포함하는 유지 전극선, 상기 기판 위에 형성되어 있으며, 상기 유지 전극을 드러내는 접촉 구멍을 가지는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 게이트 절연막 및 상기 반도체층 위에 형성되어 있는 데이터선 및 드레인 전극, 상기 데이터선, 드레인 전극 및 유지 도전체 위에 형성되어 있는 보호막, 그리고 상기 보호막 위에 형성되어 있으며, 상기 드레인 전극과 연결되어 있는 화소 전극을 포함하고, 상기 유지 전극은 상기 보호막을 사이에 두고 상기 화소 전극과 중첩하여 유지 축전기를 이룬다.
- <43> 상기 유지 전극선에는 유지 전압이 인가될 수 있다.
- <44> 상기 게이트 절연막의 두께는 상기 보호막의 두께보다 두꺼울 수 있다.
- <45> 상기 보호막은 하부막 및 상부막을 포함하는 이중막 구조를 가지고, 상기 하부막의 두께는 상기 게이트 절연막의 두께보다 얇을 수 있다.
- <46> 상기 보호막의 상부막은 상기 유지 전극 위에는 제거될 수 있다.
- <47> 상기 보호막의 하부막은 무기 절연물을 포함하고, 상기 보호막의 상부막은 유기 절연물을 포함할 수 있다.
- <48> 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시 기판의 제조 방법은 기판 위에 게이트 전극을 포함하는 게이트선 및 유지 전극을 포함하는 유지 전극선을 형성하는 단계, 상기 기판, 상기 게이트선 및 상기 유지 전극선 위에 게이트 절연막을 적층하는 단계, 상기 게이트 절연막 위에 진성 비정질 규소층을 적층하는 단계, 상기 비정질 규소층 위에 불순물 비정질 규소층을 적층하는 단계, 상기 불순물 비정질 규소층, 상기 진성 비정질 규소층 및 상기 게이트 절연막을 패터닝하여 불순물 반도체 및 진성 반도체를 형성함과 동시에 상기 게이트 절연막에 상기 유지 전극을 드러내는 제1 접촉 구멍을 형성하는 단계, 상기 게이트 절연막 및 상기 불순물 반도체 위에 데이터선 및 드레인 전극을 형성하는 단계, 상기 데이터선 및 상기 드레인 전극 위에 상기 드레인 전극의 일부를 노출하는 제2 접촉 구멍을 가지는 보호막을 형성하는 단계, 그리고 상기 보호막 위에 상기 제2 접촉 구멍을 통하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함한다.
- <49> 상기 게이트 절연막의 두께는 상기 보호막의 두께보다 두꺼울 수 있다.
- <50> 상기 보호막은 하부막 및 상부막을 포함하는 이중막 구조를 가지고, 상기 보호막의 상부막은 상기 유지 전극 위에는 제거되어 있고, 상기 보호막의 하부막의 두께는 상기 게이트 절연막의 두께보다 얇을 수 있다.
- <51> 상기 보호막을 형성하는 단계는 상기 기판 위에 하부 보호막을 적층하는 단계, 상기 하부 보호막 위에 상부 보호막을 적층하는 단계, 상기 상부 보호막 위에 위치에 따라 두께가 다르며 상기 상부 보호막의 일부를 노출하는 감광막을 형성하는 단계, 상기 감광막을 마스크로 삼아 상기 상부 보호막, 상기 하부 보호막 및 상기 게이트 절연막을 패터닝하여, 상기 드레인 전극의 일부, 상기 게이트선의 끝부분, 상기 데이터선의 끝부분을 각각 드러내는 제2, 제3 및 제4 접촉 구멍을 형성하는 단계, 상기 감광막을 두께를 줄여 상기 유지 전극 위의 상부 보호막을 노출하는 단계, 상기 감광막을 식각 마스크로 하여, 상부 보호막을 식각하여 제거하는 단계, 그리고 상기 감광막을 제거하는 단계를 포함하고, 상기 게이트 절연막의 두께는 상기 하부 보호막의 두께보다 두꺼울 수 있다.
- <52> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <53> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <54> 그러면 도 1 내지 도 3을 참고로 하여 본 발명의 한 실시예에 따른 박막 트랜지스터 표시 기판에 대하여 상세하

게 설명한다.

- <55> 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시 기관의 배치도이고, 도 2 및 도 3은 각각 도 1의 박막 트랜지스터 표시 기관을 II-II 선 및 III-III 선을 따라 잘라 도시한 단면도이다.
- <56> 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기관(110) 위에 복수의 게이트선(gate line)(121) 및 복수의 유지 전극선(storage electrode line)(131)이 형성되어 있다.
- <57> 각 게이트선(121)은 위로 돌출한 복수의 게이트 전극(gate electrode)(124)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(129)을 포함한다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)는 기관(110) 위에 부착되는 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되거나, 기관(110) 위에 직접 장착되거나, 기관(110)에 집적될 수 있다. 게이트 구동 회로가 기관(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 이와 직접 연결될 수 있다.
- <58> 유지 전극선(131)은 소정의 전압을 인가 받으며 게이트선(121)과 거의 나란하게 뻗는다. 각 유지 전극선(131)은 인접한 두 게이트선(121) 사이에 위치하고, 아래위로 확장된 유지 전극(storage electrode)(137)을 포함한다. 그러나 유지 전극선(131)의 모양 및 배치는 여러 가지로 변형될 수 있다.
- <59> 게이트선(121) 및 유지 전극선(131)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 (합금) 상부막 및 알루미늄 (합금) 하부막과 몰리브덴 (합금) 상부막을 들 수 있다. 그러나 게이트선(121) 및 유지 전극선(131)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- <60> 게이트선(121) 및 유지 전극선(131)의 측면은 기관(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.
- <61> 게이트선(121) 및 유지 전극선(131) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다. 게이트 절연막(140)은 유지 전극(137)의 일부를 드러내는 접촉 구멍(141)을 가진다.
- <62> 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며, 게이트 전극(124)을 향하여 뻗어 나온 복수의 돌출부(projection)(154)를 포함한다. 선형 반도체(151)는 게이트선(121) 및 유지 전극선(131) 부근에서 너비가 넓어져 이들을 폭넓게 덮고 있다.
- <63> 반도체(151) 위에는 복수의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161, 165)가 형성되어 있다. 저항성 접촉 부재(161, 165)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 선형 저항성 접촉 부재(161)는 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 섬형 저항성 접촉 부재(165)는 쌍을 이루어 반도체(151)의 돌출부(154) 위에 배치되어 있다.
- <64> 반도체(151, 154)와 저항성 접촉 부재(161, 165)의 측면 역시 기관(110) 면에 대하여 경사져 있으며 경사각은 30° 내지 80° 정도이다.
- <65> 저항성 접촉 부재(161, 165) 및 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175), 복수의 유지 도전체(177)가 형성되어 있다.
- <66> 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121) 및 유지 전극선(131)과 교차한다. 각 데이터선(171)은 게이트 전극(124)을 향하여 뻗은 J자형으로 굽은 복수의 소스 전극(source electrode)(173)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)는 기관(110) 위에 부착되는 가요성 인쇄 회로막(도시하

지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 데이터 구동 회로가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.

- <67> 드레인 전극(175)은 데이터선(171)과 분리되어 있으며 게이트 전극(124)을 중심으로 소스 전극(173)과 마주한다. 각 드레인 전극(175)은 다소 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 포함한다. 넓은 끝 부분은 접촉 구멍(185)을 통해 화소 전극(191)과 연결되어 있으며, 막대형 끝 부분은 소스 전극(173)으로 일부 둘러싸여 있다.
- <68> 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체(151)의 돌출부(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다.
- <69> 유지 도전체(177)는 데이터선(171)과 동일한 물질로 함께 형성될 수 있는데, 데이터선(171) 및 드레인 전극(175)과 분리되어 있다. 유지 도전체(177)는 게이트 절연막(140)에 형성되어 있는 접촉 구멍(141)을 통하여 유지 전극(137)과 물리적 전기적으로 연결되어 있으며, 유지 도전체(177)의 평면 모양은 유지 전극(137)의 평면 모양과 유사하고, 유지 전극(137)을 덮는 크기를 가진다.
- <70> 데이터선(171), 드레인 전극(175), 유지 도전체(177)는 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴(합금) 하부막과 알루미늄(합금) 상부막의 이중막, 몰리브덴(합금) 하부막과 알루미늄(합금) 중간막과 몰리브덴(합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터선(171) 및 드레인 전극(175)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- <71> 데이터선(171), 드레인 전극(175), 유지 도전체(177) 또한 그 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.
- <72> 저항성 접촉 부재(161, 163, 165)는 그 아래의 반도체(151)와 그 위의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 준다. 대부분의 곳에서는 선형 반도체(151)가 데이터선(171)보다 좁지만, 앞서 설명하였듯이 게이트선(121)과 만나는 부분에서 너비가 넓어져 표면의 프로파일을 부드럽게 함으로써 데이터선(171)이 단선되는 것을 방지한다. 반도체(151)에는 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)으로 가리지 않고 노출된 부분이 있다.
- <73> 데이터선(171), 드레인 전극(175) 및 노출된 반도체(154) 부분 위에는 무기 물질인 질화 규소나 산화 규소 따위로 이루어진 보호막(passivation layer)(180)이 형성되어 있다.
- <74> 보호막(180)에는 데이터선(171)의 끝 부분(179)과 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181)이 형성되어 있다.
- <75> 보호막(180) 위에는 복수의 화소 전극(191) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질로 만들어질 수 있다.
- <76> 화소 전극(191)은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 있으며, 드레인 전극(175)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 화소 전극(191)은 공통 전압(common voltage)을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(common electrode)(도시하지 않음)과 함께 전극장을 생성함으로써 두 전극 사이의 액정층(도시하지 않음)의 액정 분자(도시하지 않음)의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층을 통과하는 빛의 편광이 달라진다. 화소 전극(191)과 공통 전극은 축전기[이하 "액정 축전기(liquid crystal capacitor)"라 함]를 이루어 박막 트랜지스터가 턴 오프(turn-off)된 후에도 인가된 전압을 유지한다.
- <77> 화소 전극(191)은 유지 전극(137)과 물리적 전기적으로 연결되어 있는 유지 도전체(177)와 중첩한다. 화소 전극(191)이 유지 전극(137)과 전기적으로 연결된 유지 도전체(177)와 중첩하여 이루는 축전기를 "유지 축전기(storage capacitor)"라 하며, 유지 축전기는 액정 축전기의 전압 유지 능력을 강화한다.
- <78> 접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 82)는 데이터선(171) 및 게이트선(121)의 끝 부분(179,

129)과 외부 장치와의 접촉성을 보완하고 이들을 보호한다.

- <79> 본 발명의 실시예에 따른 박막 트랜지스터 표시 기판은 보호막(180)을 사이에 두고 중첩하는 화소 전극(191)과 유지 도전체(177)에 의하여 형성되는 유지 축전기를 포함한다. 따라서, 일반적으로 게이트 절연막(140)을 사이에 두고 중첩하는 유지 전극(137)과 화소 전극(191)과 전기적으로 연결되어 있는 드레인 전극(175)이 중첩하여 형성되는 경우에 비하여, 본 발명의 실시예에 따른 박막 트랜지스터 표시 기판의 유지 축전기의 유지 용량이 더 크다.
- <80> 따라서, 본 발명의 실시예에 따른 박막 트랜지스터 표시 기판의 액정 축전기를 이루는 중첩하는 도전체의 면적을 크게 하지 않고, 두 도전체를 상대적으로 두께가 얇은 보호막(180)을 사이에 두고 중첩하게 함으로써, 표시 장치의 개구율을 감소하지 않으면서, 더 큰 유지 용량을 가지는 유지 축전기를 포함한다.
- <81> 그러면, 본 실시예에 따른 박막 트랜지스터 표시 기판의 제조 방법에 대하여 도 4 내지 도 15를 참고로 하여 상세하게 설명한다. 도 4, 도 7, 도 10, 및 도 13은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시 기판의 제조 방법을 차례로 도시한 배치도이고, 도 5 및 도 6은 도 4의 박막 트랜지스터 표시 기판을 V-V 선 및 VI-VI 선을 따라 잘라 도시한 단면도이고, 도 8 및 도 9는 도 7의 박막 트랜지스터 표시 기판을 VIII-VIII 선 및 IX-IX 선을 따라 잘라 도시한 단면도이고, 도 11 및 도 12는 도 10의 박막 트랜지스터 표시 기판을 XI-XI 선 및 XII-XII 선을 따라 잘라 도시한 단면도이고, 도 14 및 도 15는 도 13의 박막 트랜지스터 표시 기판을 XIV-XIV 선 및 XV-XV 선을 따라 잘라 도시한 단면도이다.
- <82> 도 4 내지 도 6에 도시한 바와 같이, 기판(110) 위에 금속층을 스퍼터링 등으로 적층한 후에, 감광막을 도포하고 마스크를 사용하여 노광 및 현상한 다음, 감광막을 식각 마스크로 삼아 건식 식각 또는 습식 식각하여, 게이트 전극(124) 및 끝 부분(129)을 포함하는 게이트선(121), 그리고 유지 전극(137)을 포함하는 유지 전극선(131)을 형성한다.
- <83> 다음으로 도 7 내지 도 9를 참고하면, 기판(110) 위에 게이트 절연막(140)을 증착하고, 이어서 그 위에 반도체 및 불순물 반도체 층을 증착한 후에 감광막을 도포하고 사진 식각하여, 돌출부(154)를 포함하는 선형 진성 반도체(151) 및 복수의 선형 불순물 반도체(164)를 형성하고, 게이트 절연막(140)에 유지 전극(137)을 드러내는 접촉 구멍(141)을 형성한다.
- <84> 도 10 내지 도 12를 참고하면, 소스 전극(173) 및 끝 부분(179)을 포함하는 복수의 데이터선(171), 복수의 드레인 전극(175) 및 복수의 유지 도전체(177)를 형성하고, 선형 불순물 반도체(164)에서 데이터선(171) 및 드레인 전극(175)으로 덮이지 않고 노출된 부분을 제거하여 돌출부(163)를 포함하는 복수의 선형 저항성 접촉 부재(161)와 복수의 선형 저항성 접촉 부재(165)를 완성하는 한편, 그 아래의 진성 반도체(154) 부분을 노출한다.
- <85> 다음으로, 보호막(180)을 적층한다. 이 때, 보호막(180)의 두께는 게이트 절연막(140)의 두께보다 얇은데, 게이트 절연막(140)의 두께는 보호막(180)의 두께보다 약 2배 이상 두꺼울 수 있다. 보호막(180)을 적층한 후에 게이트 절연막(140)과 함께 패터닝하여, 도 13 내지 도 15에 도시한 바와 같이, 보호막(180) 및 게이트 절연막(140)에 게이트선(121)의 끝 부분(129), 데이터선(171)의 끝 부분(179), 그리고 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(181, 182, 185)을 형성한다.
- <86> 마지막으로, 도 1 내지 도 3에서와 같이 기판(110) 위에 접촉 구멍(185)을 통해 드레인 전극(175)과 연결된 복수의 화소 전극(191), 그리고 복수의 접촉 보조 부재(81, 82)를 형성한다. 이 경우도 역시, 기판(110) 위에 ITO 또는 IZO 등을 증착하여 투명 도전막을 형성하고, 투명 도전막 위에 감광막을 도포한 후 사진 식각 공정을 통하여 형성한다.
- <87> 그러면, 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시 기판에 대하여 도 16 내지 도 18을 참고로 하여 상세하게 설명한다.
- <88> 도 16은 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시 기판의 배치도이고, 도 17 및 도 18은 도 16의 박막 트랜지스터 표시 기판을 XVII-XVII 선 및 XVIII-XVIII 선을 따라 잘라 도시한 단면도이다.
- <89> 본 실시예에 따른 박막 트랜지스터 표시 기판의 층상 구조는 도 1 내지 도 3에 도시한 실시예에 따른 박막 트랜지스터 표시 기판과 유사하다.
- <90> 기판(110) 위에 게이트 전극(124)과 끝부분(129)을 포함하는 복수의 게이트선(121) 및 유지 전극(137)을 포함하는 복수의 유지 전극선(131)이 형성되어 있다. 게이트선(121) 및 유지 전극선(131) 위에는 접촉 구멍(142)을 가지는 게이트 절연막(140), 돌출부(154)를 포함하는 복수의 선형 반도체(151), 돌출부(163)를 포함하는 복수의

선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(165)가 차례로 형성되어 있다.

- <91> 저항성 접촉 부재(161, 165) 위에는 소스 전극(173) 및 끝부분(179)을 포함하는 복수의 데이터선(171) 및 복수의 드레인 전극(175)이 형성되어 있고 그 위에 보호막(180)이 형성되어 있다. 게이트 절연막(140) 및 보호막(180)에는 복수의 접촉 구멍(181, 182, 185)이 형성되어 있다. 보호막(180) 위에는 복수의 화소 전극(191) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.
- <92> 그러나, 도 1 및 도 2에 도시한 박막 트랜지스터 표시 기관과 달리, 도 16 내지 도 18에 도시한 박막 트랜지스터 표시 기관은 유지 전극(137)과 물리적 전기적으로 연결되어 있는 유지 도전체(177)를 포함하고 있지 않다. 또한, 본 실시예에 따른 박막 트랜지스터 표시 기관의 게이트 절연막(140)은 유지 전극(137)을 대부분 드러내는 큰 접촉 구멍(142)을 가지고, 접촉 구멍(142)에 의하여 드러난 유지 전극(137)은 보호막(180)을 사이에 두고 화소 전극(191)과 중첩한다. 따라서, 본 실시예에 따른 박막 트랜지스터 표시 기관의 유지 축전기는 상대적으로 두께가 얇은 보호막(180)을 사이에 두고 유지 전극(137)과 화소 전극(191)이 중첩하여 형성된다.
- <93> 이처럼, 본 실시예에 따른 박막 트랜지스터 표시 기관은 보호막(180)을 사이에 두고 중첩하는 화소 전극(191)과 유지 전극(137)에 의하여 형성되는 유지 축전기를 포함한다. 따라서, 일반적으로 게이트 절연막(140)을 사이에 두고 중첩하는 유지 전극(137)과 화소 전극(191)과 전기적으로 연결되어 있는 드레인 전극(175)이 중첩하여 형성되는 경우에 비하여, 본 발명의 실시예에 따른 박막 트랜지스터 표시 기관의 유지 축전기의 유지 용량이 더 크다.
- <94> 그러면, 본 실시예에 따른 박막 트랜지스터 표시 기관의 제조 방법에 대하여 도 19 내지 도 30을 참고로 하여 상세하게 설명한다.
- <95> 도 19, 도 22, 도 25 및 도 28은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시 기관의 제조 방법을 차례로 도시한 배치도이다. 도 20 및 도 21 도 19의 박막 트랜지스터 표시 기관을 XX-XX 선 및 XXI-XXI 선을 따라 잘라 도시한 단면도이고, 도 23 및 도 24는 도 22의 박막 트랜지스터 표시 기관을 XXIII-XXIII 선 및 XXIX-XXIX 선을 따라 잘라 도시한 단면도이고, 도 26 및 도 27은 도 25의 박막 트랜지스터 표시 기관을 XXVI-XXVI 선 및 XXVII-XXVII 선을 따라 잘라 도시한 단면도이고, 도 29 및 도 30은 도 28의 박막 트랜지스터 표시 기관을 XXIX-XXIX 선 및 XXX-XXX 선을 따라 잘라 도시한 단면도이다.
- <96> 도 19 내지 도 21에 도시한 바와 같이, 기관(110) 위에 게이트 전극(124) 및 끝 부분(129)을 포함하는 게이트선(121), 그리고 유지 전극(137)을 포함하는 유지 전극선(131)을 형성한다.
- <97> 다음으로 도 22 내지 도 24를 참고하면, 기관(110) 위에 게이트 절연막(140)을 증착하고, 이어서 그 위에 반도체 및 불순물 반도체 층을 증착한 후에 감광막을 도포하고 사진 식각하여, 돌출부(154)를 포함하는 선형 진성 반도체(151) 및 복수의 선형 불순물 반도체(164)를 형성하고, 게이트 절연막(140)에 유지 전극(137)을 대부분 드러내는 크기의 접촉 구멍(142)을 형성한다.
- <98> 도 25 내지 도 27을 참고하면, 소스 전극(173) 및 끝 부분(179)을 포함하는 복수의 데이터선(171) 및 복수의 드레인 전극(175)을 형성하고, 선형 불순물 반도체(164)에서 데이터선(171) 및 드레인 전극(175)으로 덮이지 않고 노출된 부분을 제거하여 돌출부(163)를 포함하는 복수의 선형 저항성 접촉 부재(161)와 복수의 섬형 저항성 접촉 부재(165)를 완성하는 한편, 그 아래의 진성 반도체(154) 부분을 노출한다.
- <99> 다음으로, 보호막(180)을 적층한다. 이 때, 보호막(180)의 두께는 게이트 절연막(140)의 두께보다 얇은데, 게이트 절연막(140)의 두께는 보호막(180)의 두께보다 약 2배 이상 두꺼울 수 있다. 보호막(180)을 적층한 후에 게이트 절연막(140)과 함께 패터닝하여, 도 28 내지 도 30에 도시한 바와 같이, 보호막(180) 및 게이트 절연막(140)에 게이트선(121)의 끝 부분(129), 데이터선(171)의 끝 부분(179), 그리고 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(181, 182, 185)을 형성한다.
- <100> 마지막으로, 도 16 내지 도 18에서와 같이 기관(110) 위에 접촉 구멍(185)을 통해 드레인 전극(175)과 연결된 복수의 화소 전극(191), 그리고 복수의 접촉 보조 부재(81, 82)를 형성한다.
- <101> 그러면, 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시 기관에 대하여 도 31 내지 도 33을 참고로 하여 상세하게 설명한다. 도 31은 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시 기관의 배치도이고, 도 32 및 도 33은 도 31의 박막 트랜지스터 표시 기관을 XXXII-XXXII 선 및 XXXIII-XXXIII 선을 따라 잘라 도시한 단면도이다.
- <102> 본 실시예에 따른 박막 트랜지스터 표시 기관의 층상 구조는 도 16 내지 도 18에 도시한 실시예에 따른 박막 트

랜지스터 표시 기관과 유사하다.

- <103> 기관(110) 위에 게이트 전극(124)과 끝부분(129)을 포함하는 복수의 게이트선(121) 및 유지 전극(137)을 포함하는 복수의 유지 전극선(131)이 형성되어 있다. 게이트선(121) 및 유지 전극선(131) 위에는 접촉 구멍(142)을 가지는 게이트 절연막(140), 돌출부(154)를 포함하는 복수의 선형 반도체(151), 돌출부(163)를 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 섬형 저항성 접촉 부재(165)가 차례로 형성되어 있다.
- <104> 저항성 접촉 부재(161, 165) 위에는 소스 전극(173) 및 끝부분(179)을 포함하는 복수의 데이터선(171) 및 복수의 드레인 전극(175)이 형성되어 있고 그 위에 보호막(180)이 형성되어 있다. 게이트 절연막(140) 및 보호막(180)에는 복수의 접촉 구멍(181, 182, 185)이 형성되어 있다. 보호막(180) 위에는 복수의 화소 전극(191) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.
- <105> 그러나, 도 16 내지 도 18에 도시한 박막 트랜지스터 표시 기관과 달리, 보호막(180)은 하부막(180p) 및 상부막(180q)을 포함하는 이중막 구조이다. 하부막(180q)은 질화규소나 산화규소 따위의 무기 절연물로 만들어지고, 상부막(180q)은 유기 절연물로 만들어질 수 있다. 또한, 보호막(180)의 상부막(180q)은 유지 전극(137) 위에는 제거되어 있다.
- <106> 본 실시예에 따른 박막 트랜지스터 표시 기관의 유지 축전기는 상대적으로 두께가 얇은 보호막(180)의 하부막(180p)을 사이에 두고 유지 전극(137)과 화소 전극(191)이 중첩하여 형성된다.
- <107> 그러면, 본 실시예에 따른 박막 트랜지스터 표시 기관의 제조 방법에 대하여 도 34 내지 도 43을 참고로 하여 상세하게 설명한다.
- <108> 도 31 내지 도 33에 도시한 박막 트랜지스터 표시 기관의 제조 방법은 도 19 내지 도 27에 도시한 제조 방법과 거의 동일하다. 기관(110) 위에 게이트 전극(124) 및 끝 부분(129)을 포함하는 게이트선(121), 그리고 유지 전극(137)을 포함하는 유지 전극선(131)을 형성하고, 기관(110) 위에 게이트 절연막(140)을 증착하고, 이어서 그 위에 반도체 및 불순물 반도체 층을 증착한 후에 감광막을 도포하고 사진 식각하여, 돌출부(154)를 포함하는 선형 진성 반도체(151) 및 복수의 선형 불순물 반도체(164)를 형성하고, 게이트 절연막(140)에 유지 전극(137)을 대부분 드러내는 크기의 접촉 구멍(143)을 형성한다. 소스 전극(173) 및 끝 부분(179)을 포함하는 복수의 데이터선(171) 및 복수의 드레인 전극(175)을 형성하고, 선형 불순물 반도체(164)에서 데이터선(171) 및 드레인 전극(175)으로 덮이지 않고 노출된 부분을 제거하여 돌출부(163)를 포함하는 복수의 선형 저항성 접촉 부재(161)와 복수의 섬형 저항성 접촉 부재(165)를 완성하는 한편, 그 아래의 진성 반도체(154) 부분을 노출한다.
- <109> 다음으로, 보호막(180)을 적층하고, 게이트 절연막(140)과 함께 패터닝하여 보호막(180) 및 게이트 절연막(140)에 게이트선(121)의 끝 부분(129), 데이터선(171)의 끝 부분(179), 그리고 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(181, 182, 185)을 형성함과 동시에, 유지 전극(137) 위의 보호막(180)의 상부막(180q)을 제거하는데, 이에 대하여 도 34 내지 도 43을 참고로 하여 상세하게 설명한다. 도 34 내지 도 43은 도 31 내지 도 33의 박막 트랜지스터 표시 기관의 제조 방법 중 중간 단계를 차례로 도시한 단면도이다.
- <110> 먼저, 도 34 및 도 35를 참고하면, 기관(110) 위에 보호막(180)의 하부막(180p) 및 상부막(180q)을 적층하고, 그 위에 감광막(400)을 도포한다.
- <111> 노광 마스크(도시하지 않음)를 통하여 감광막(400)에 빛을 조사한 후 현상하는데, 노광 마스크는 투광 영역(A), 반투광 영역(B) 및 차광 영역(C)으로 나눌 수 있다. 이때, 반투광 영역(B)에는 소정 값, 예를 들면 노광기의 분해능 이하의 너비를 가진 불투명 부재가 소정 값 이하의 간격으로 배치되어 있으며 이를 슬릿(slit) 패턴이라 한다. 반투광 영역(B)에 슬릿(slit) 패턴을 두는 대신 격자(lattice) 패턴 또는 투과율이 중간이거나 두께가 중간인 박막이 구비될 수도 있다.
- <112> 도 36 및 도 37에 도시한 바와 같이, 노광 마스크를 통하여 감광막(400)에 빛을 조사한 후 현상하면, 현상된 감광막(400)의 두께는 위치에 따라 다른데, 투광 영역(A)에 위치한 감광막(400) 부분은 모두 제거되고, 반투광 영역(B)에 위치한 감광막(400) 부분의 두께는 감소하고, 차광 영역(C)에서는 현상된 후에도 감광막(400) 부분의 두께가 거의 줄지 않는다.
- <113> 이 때, 반투광 영역(B)과 차광 영역(C)에서의 감광막(400)의 두께의 비는 후속 공정에서의 공정 조건에 따라 다를 수 있는데, 반투광 영역(B)에서의 두께를 차광 영역(C)에서의 두께의 1/2 이하로 하는 것이 바람직하다.
- <114> 이와 같이 감광막의 두께를 달리하는 방법의 다른 예로는 리플로우(reflow)가 가능한 감광막을 사용하는 것이다. 즉, 투광 영역과 차광 영역만을 지닌 통상의 마스크로 리플로우 가능한 감광막을 형성한 다음 리플로

우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성한다.

- <115> 다음으로, 도 38 및 도 39에 도시한 바와 같이, 남아 있는 감광막(400) 부분을 식각 마스크로 사용하여 보호막(180)의 상부막(180q) 및 하부막(180p), 그리고 게이트 절연막(140)을 식각하여, 게이트선(121)의 끝 부분(129), 데이터선(171)의 끝 부분(179), 그리고 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(181, 182, 185)을 형성한다.
- <116> 다음으로, 도 40 및 도 41에 도시한 바와 같이, 감광막(400)을 애싱(ashing)하여, 반투광 영역(B)에 남아 있는 감광막(400) 부분을 제거하고, 차광 영역(C)에 배치되어 있는 감광막(400) 부분의 높이를 감소시킨다.
- <117> 그 후, 도 42 및 도 43에 도시한 바와 같이, 차광 영역(C)에 남아 있는 감광막(400) 부분을 식각 마스크로 사용하여, 보호막(180)의 상부막(180q)을 제거하여, 유지 전극(137) 위에 보호막(180)의 하부막(180p)만을 남긴다. 마지막으로, 차광 영역(C)에 남아 있는 감광막(400) 부분을 애싱 따위로 제거한다.
- <118> 이처럼, 본 실시예에 따른 박막 트랜지스터 표시 기관의 제조 방법은 하부막(180p) 및 상부막(180q)을 포함하는 이중막 구조의 보호막(180)을 적층한 후, 하나의 마스크를 이용하여 게이트 절연막(140)과 함께 패터닝하여, 복수의 접촉 구멍(181, 182, 185)을 형성함과 동시에 유지 전극(137) 위에 보호막(180)의 상부막(180q)을 제거한다.
- <119> 다음으로, 도 28 내지 도 30에 도시한 바와 같이, 기관(110) 위에 접촉 구멍(185)을 통해 드레인 전극(175)과 연결된 복수의 화소 전극(191), 그리고 복수의 접촉 보조 부재(81, 82)를 형성한다.
- <120> 본 실시예에 따른 박막 트랜지스터 표시 기관은 이중막 구조의 보호막(180)을 포함함으로써, 박막 트랜지스터 등을 더욱 효과적으로 보호하고, 유지 전극(137) 위에는 보호막(180)의 하부막(180p)만을 남긴 후, 보호막(180)의 하부막(180p)을 사이에 두고 유지 전극(137)과 화소 전극(191)을 중첩하게 함으로써, 유지 용량이 큰 유지 축전기를 포함한다.
- <121> 이상의 실시예에서는 박막 트랜지스터 표시 기관을 형성하는 데 형성되는 많은 박막을 단일막으로 설명하였으나, 박막은 2중막 또는 3중막으로 형성될 수도 있다.
- <122> 또한 본 실시예에서는 액정 표시 장치용 박막 트랜지스터 표시 기관에 대하여서만 설명하였지만, 동일한 방법으로 형성될 수 있는 박막을 포함하는 다른 표시 기관, 예컨대 유기발광 표시 장치용 표시 기관 등에 당연히 적용될 수 있다.
- <123> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

- <124> 본 발명에 따른 박막 트랜지스터 표시 기관의 액정 축전기를 이루는 중첩하는 도전체의 면적을 크게 하지 않고, 두 도전체를 상대적으로 두께가 얇은 보호막을 사이에 두고 중첩하게 함으로써, 표시 장치의 개구율을 감소하지 않으면서, 더 큰 유지 용량을 가지는 유지 축전기를 가질 수 있다.

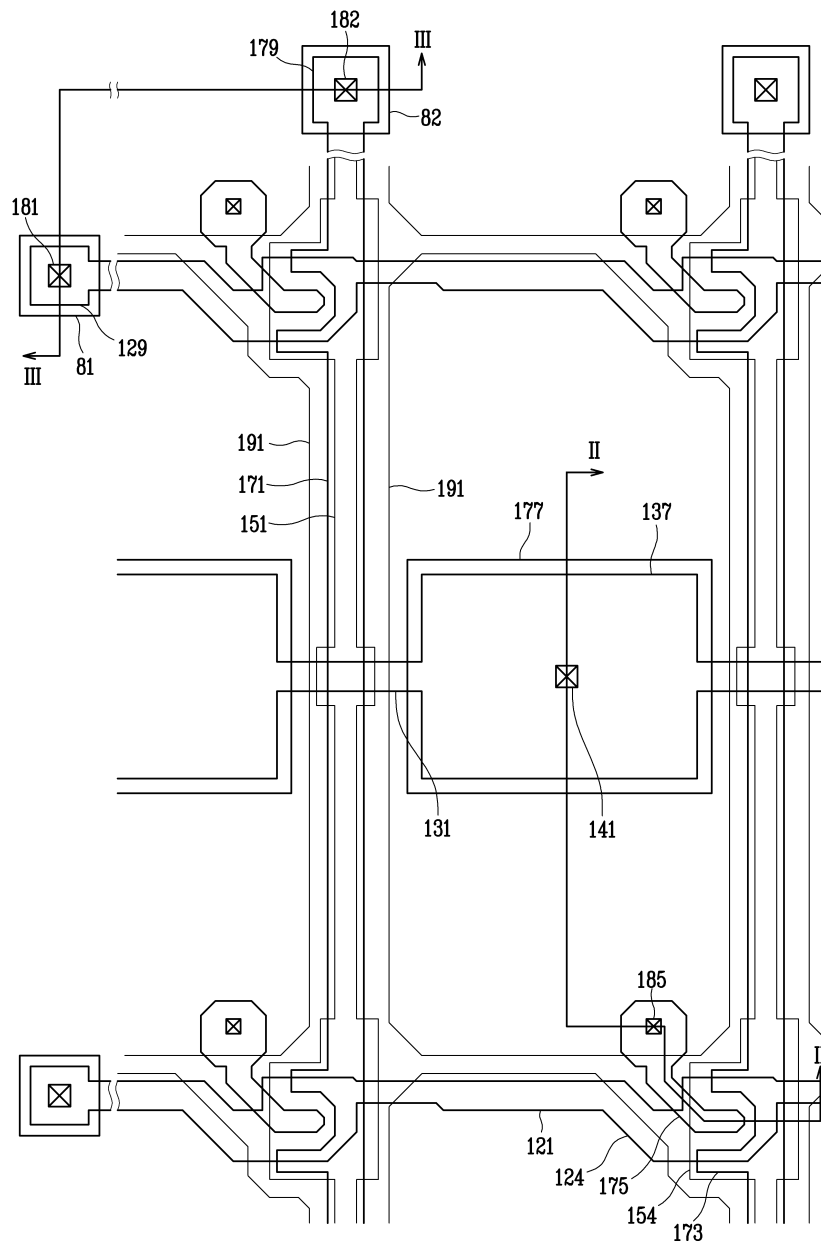
도면의 간단한 설명

- <1> 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시 기관의 배치도이다.
- <2> 도 2 및 도 3은 도 1의 박막 트랜지스터 표시 기관을 II-II 선 및 III-III 선을 따라 잘라 도시한 단면도이다.
- <3> 도 4, 도 7, 도 10, 및 도 13은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시 기관의 제조 방법을 차례로 도시한 배치도이다.
- <4> 도 5 및 도 6은 도 4의 박막 트랜지스터 표시 기관을 V-V 선 및 VI-VI 선을 따라 잘라 도시한 단면도이다.
- <5> 도 8 및 도 9는 도 7의 박막 트랜지스터 표시 기관을 VIII-VIII 선 및 IX-IX 선을 따라 잘라 도시한 단면도이다.
- <6> 도 11 및 도 12는 도 10의 박막 트랜지스터 표시 기관을 XI-XI 선 및 XII-XII 선을 따라 잘라 도시한 단면도이다.

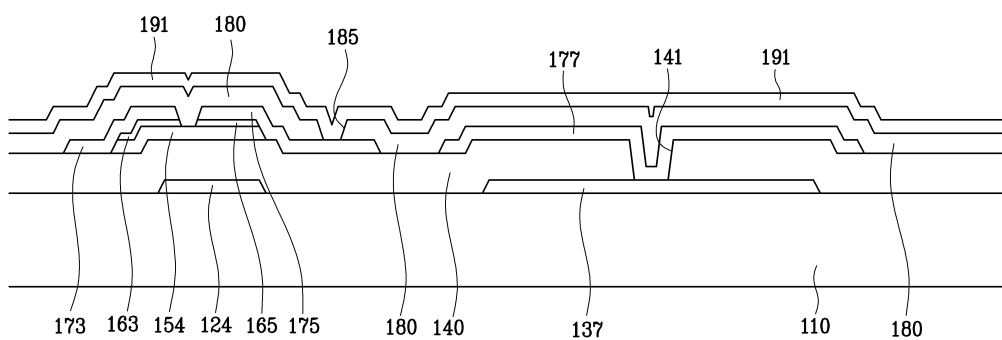
- <7> 도 14 및 도 15는 도 13의 박막 트랜지스터 표시 기판을 XIV-XIV 선 및 XV-XV 선을 따라 잘라 도시한 단면도이다.
- <8> 도 16은 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시 기판의 배치도이다.
- <9> 도 17 및 도 18은 도 16의 박막 트랜지스터 표시 기판을 XVII-XVII 선 및 XVIII-XVIII 선을 따라 잘라 도시한 단면도이다.
- <10> 도 19, 도 22, 도 25 및 도 28은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시 기판의 제조 방법을 차례로 도시한 배치도이다.
- <11> 도 20 및 도 21 도 19의 박막 트랜지스터 표시 기판을 XX-XX 선 및 XXI-XXI 선을 따라 잘라 도시한 단면도이다.
- <12> 도 23 및 도 24는 도 22의 박막 트랜지스터 표시 기판을 XXIII-XXIII 선 및 XXIX-XXIX 선을 따라 잘라 도시한 단면도이다.
- <13> 도 26 및 도 27은 도 25의 박막 트랜지스터 표시 기판을 XXVI-XXVI 선 및 XXVII-XXVII 선을 따라 잘라 도시한 단면도이다.
- <14> 도 29 및 도 30은 도 28의 박막 트랜지스터 표시 기판을 XXIX-XXIX 선 및 XXX-XXX 선을 따라 잘라 도시한 단면도이다.
- <15> 도 31은 본 발명의 다른 한 실시예에 따른 박막 트랜지스터 표시 기판의 배치도이다.
- <16> 도 32 및 도 33은 도 31의 박막 트랜지스터 표시 기판을 XXXII-XXXII 선 및 XXXIII-XXXIII 선을 따라 잘라 도시한 단면도이다.
- <17> 도 34 내지 도 43은 도 31 내지 도 33의 박막 트랜지스터 표시 기판의 제조 방법 중 중간 단계를 차례로 도시한 단면도이다.
- <18> <도면 부호의 설명>
- | | |
|-----------------------------------|--------------------------------------|
| <19> 81, 82...접촉 보조 부재 | 78...연결 부재 |
| <20> 110...기판 | 121, 129... 게이트선 |
| <21> 124... 게이트 전극 | 131...유지 전극선 |
| <22> 137...유지 전극 | 141, 142, 143, 181, 182, 185...접촉 구멍 |
| <23> 140... 게이트 절연막 | 151, 154...반도체 |
| <24> 161, 163, 164, 165...저항성 접촉층 | |
| <25> 171, 179...데이터선 | 173...소스 전극 |
| <26> 175...드레인 전극 | 177...유지 도전체 |
| <27> 180...보호막 | 191...화소 전극 |

도면

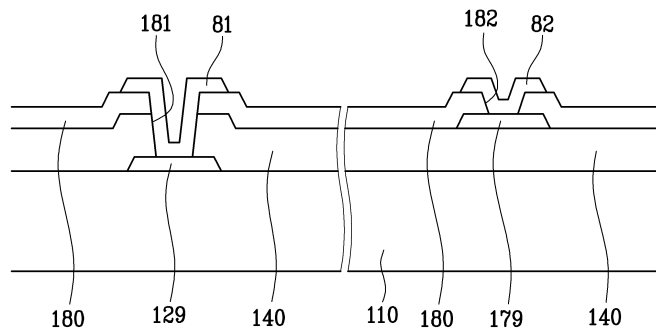
도면1



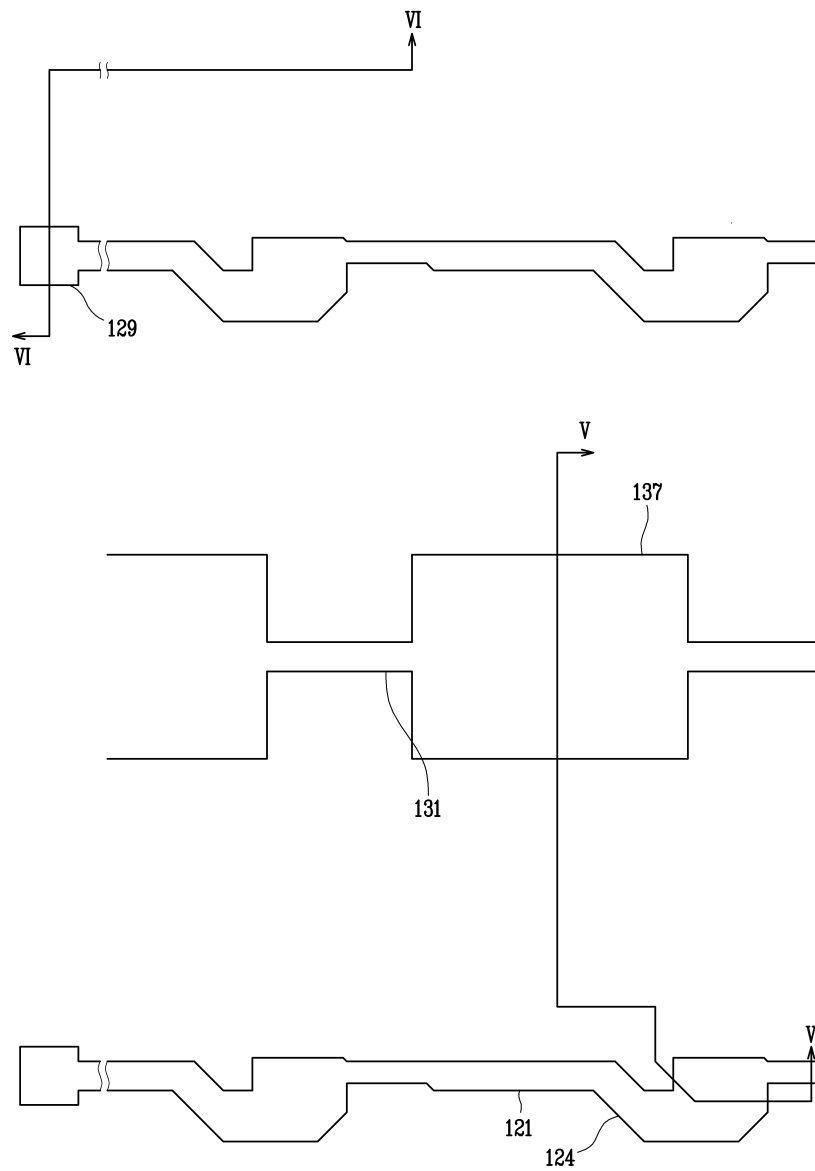
도면2



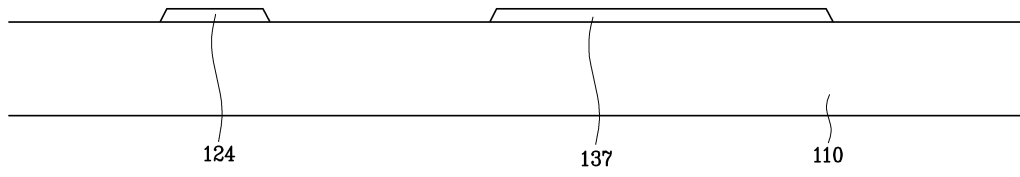
도면3



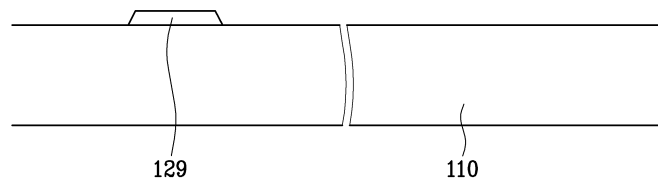
도면4



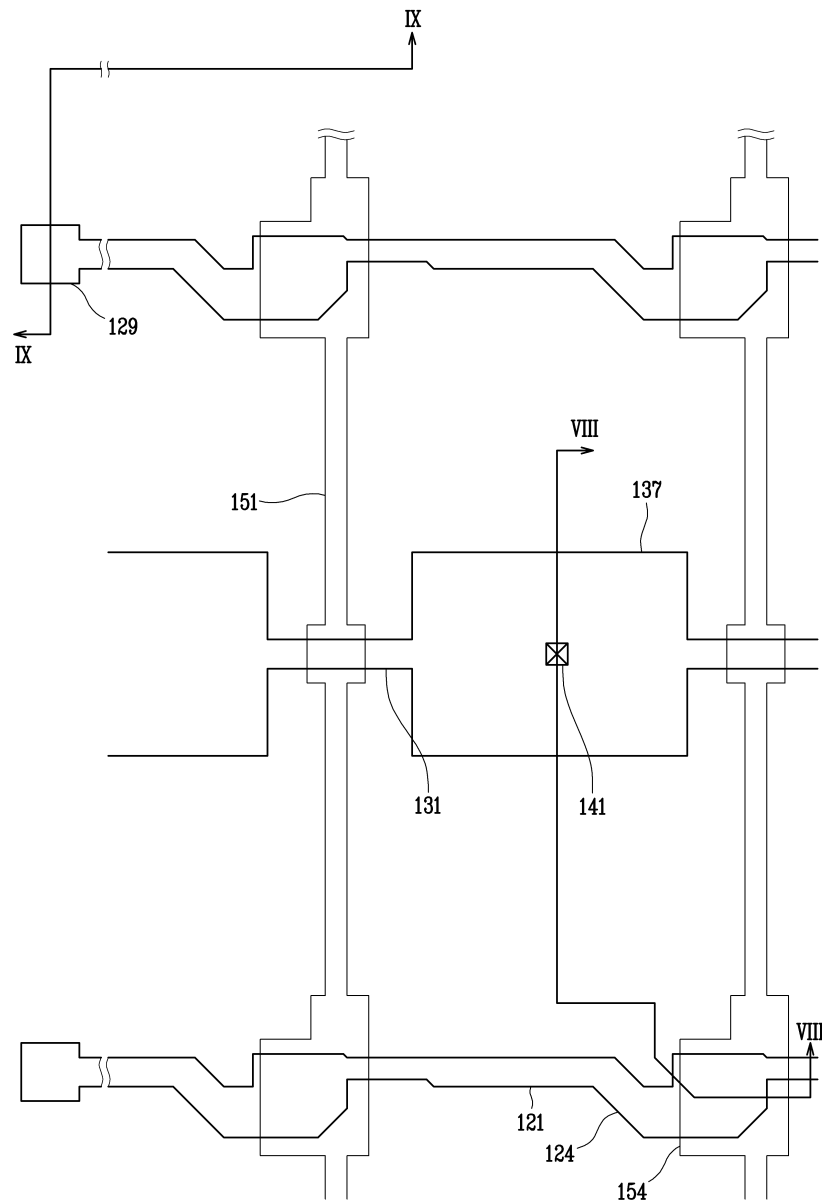
도면5



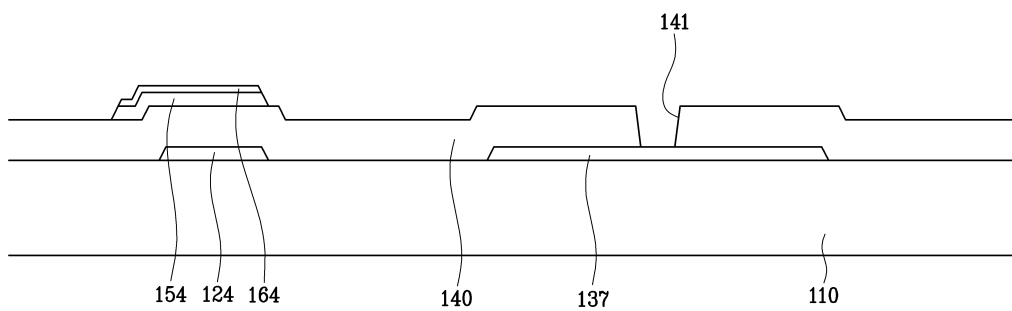
도면6



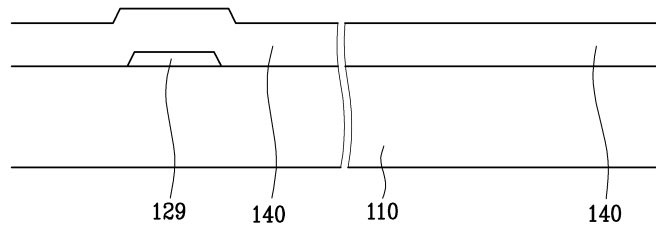
도면7



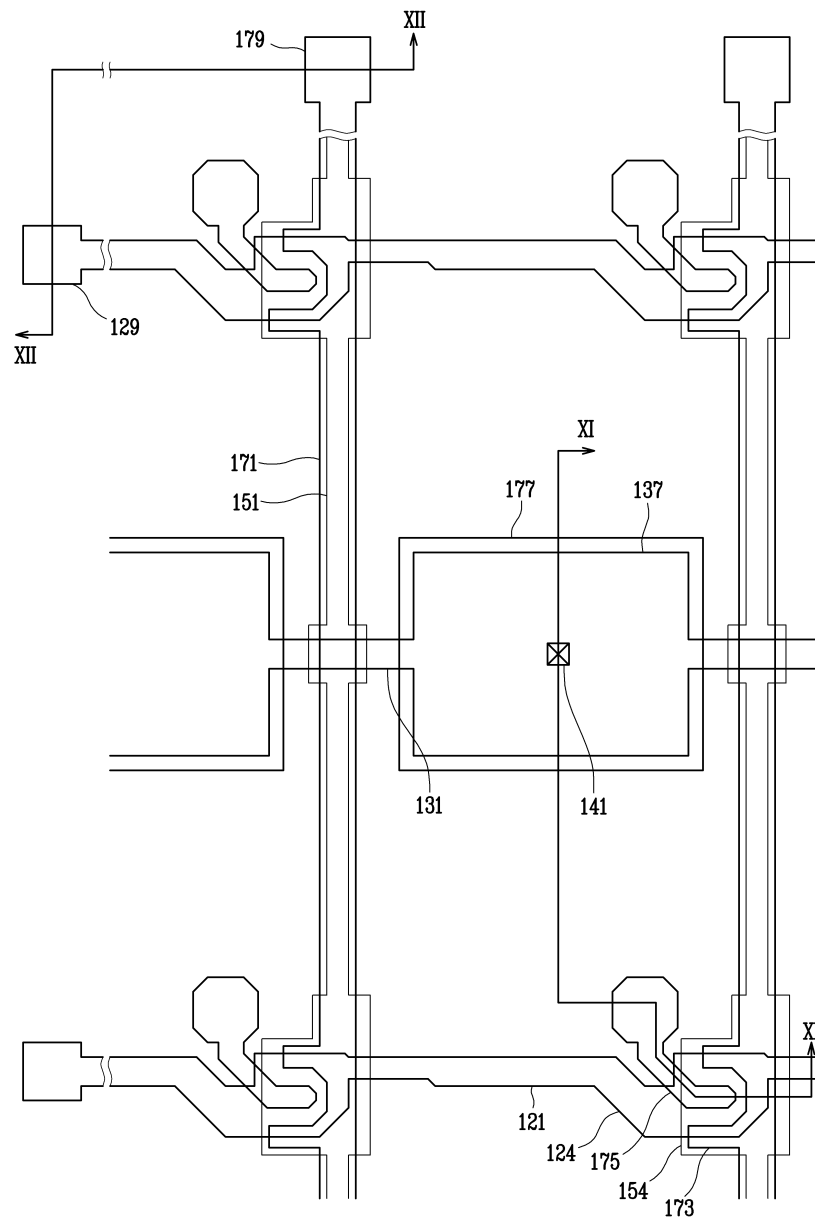
도면8



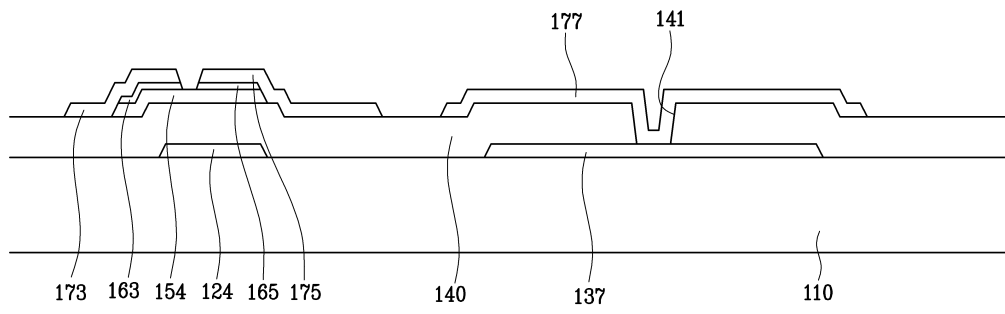
도면9



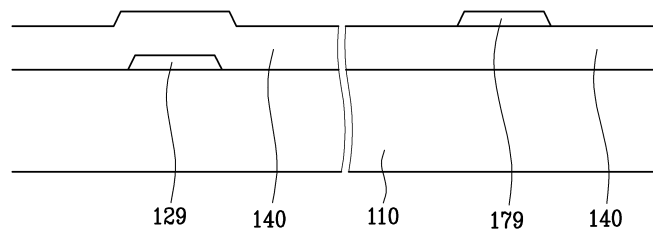
도면10



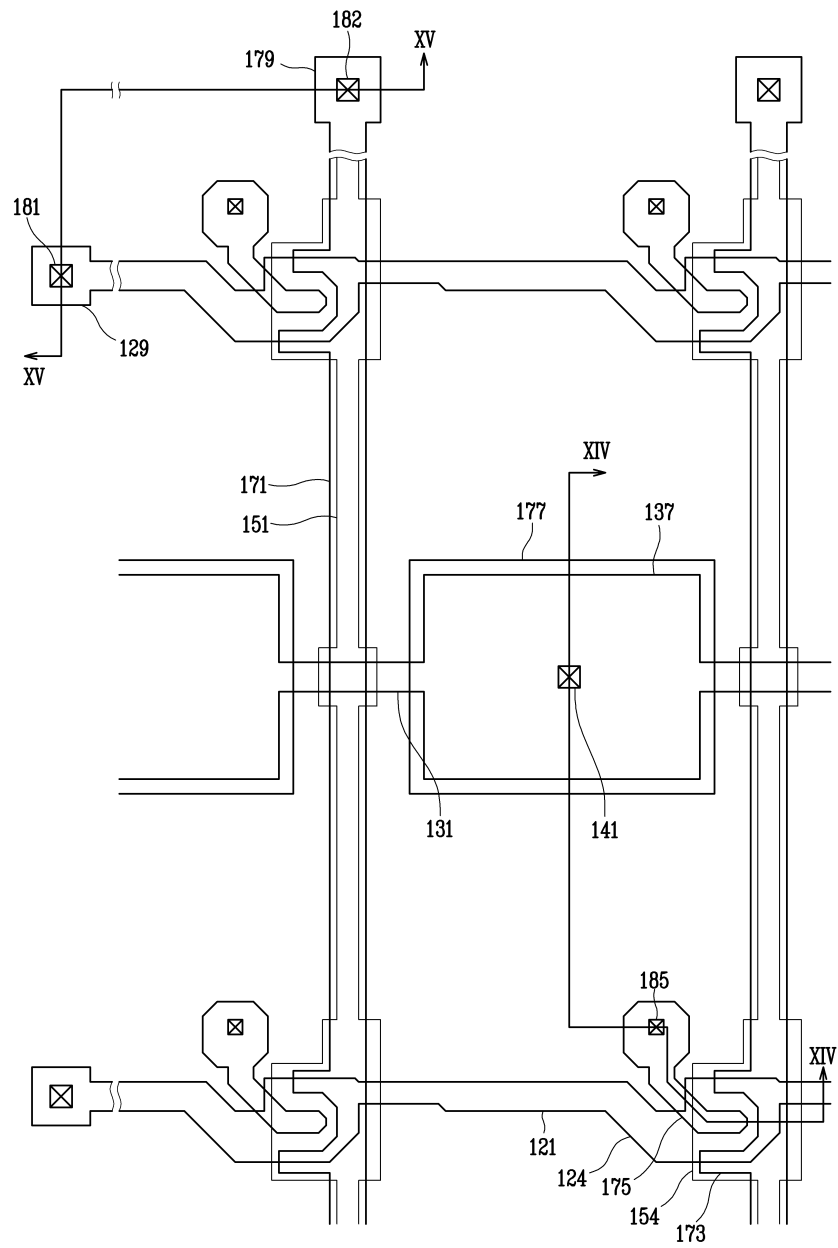
도면11



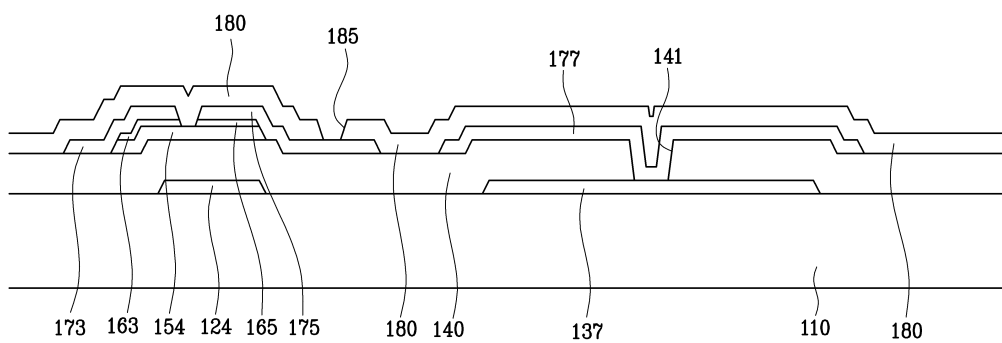
도면12



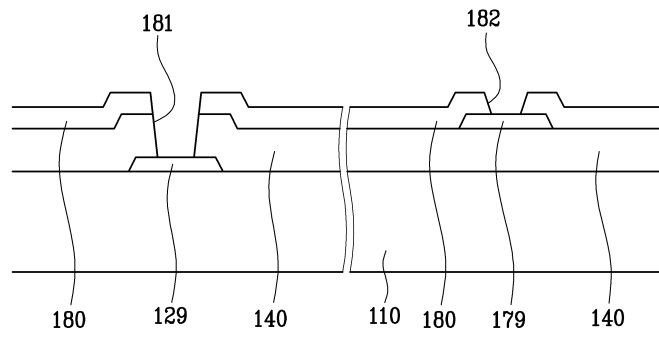
도면13



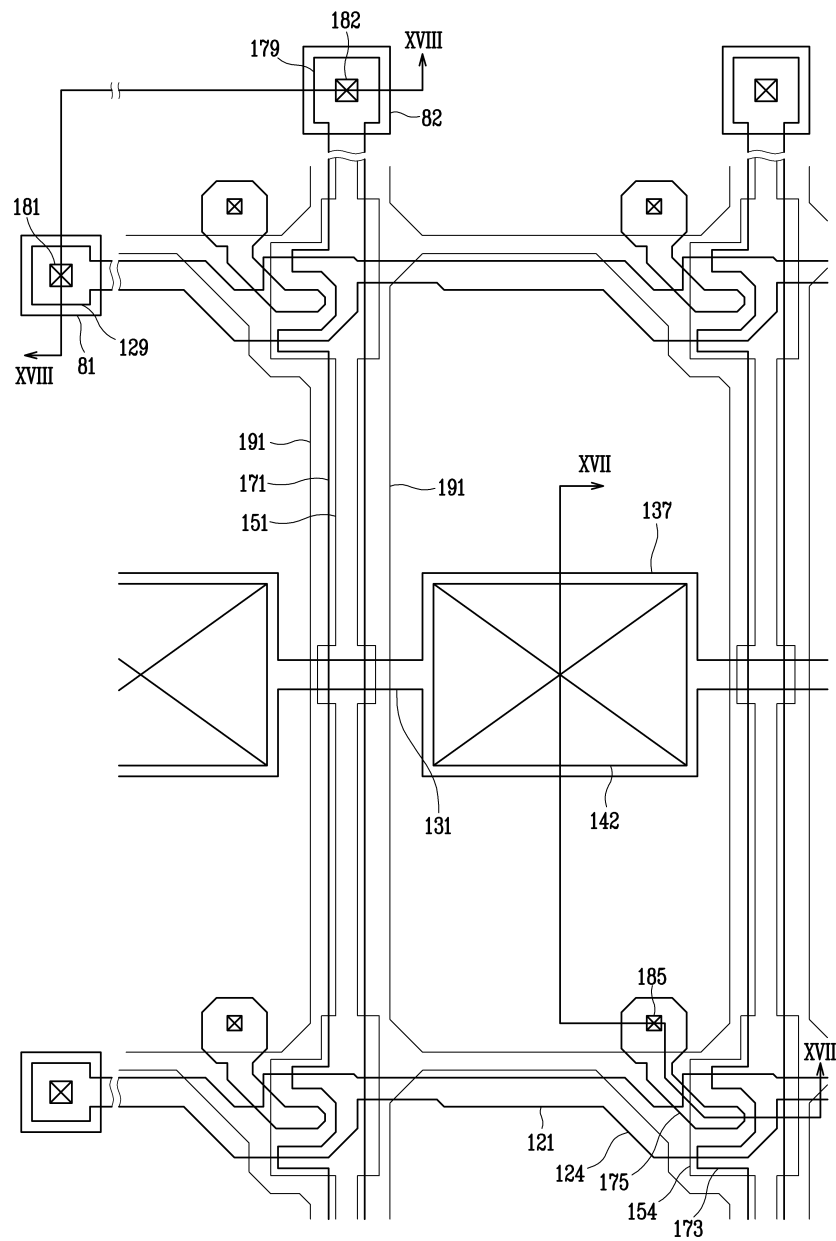
도면14



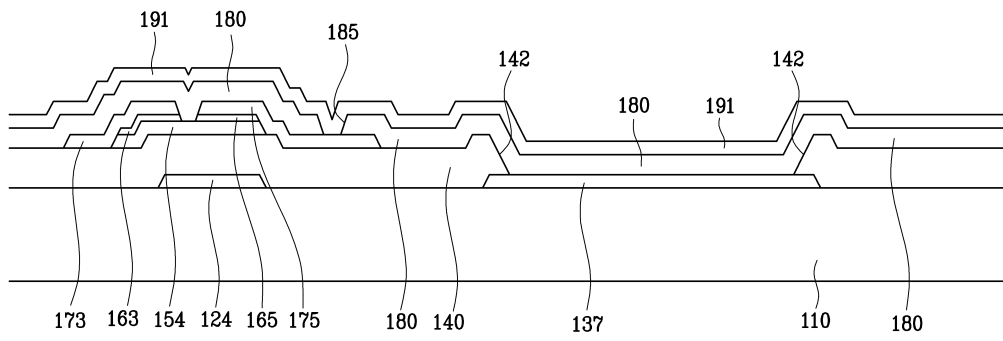
도면15



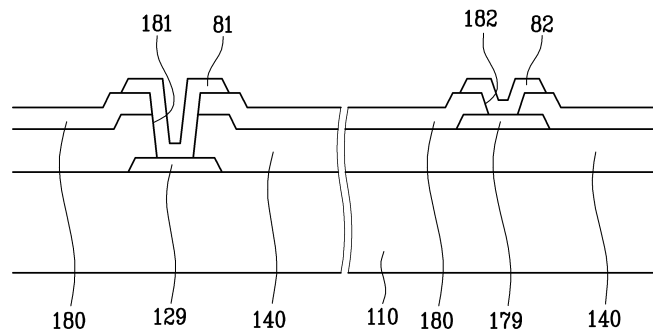
도면16



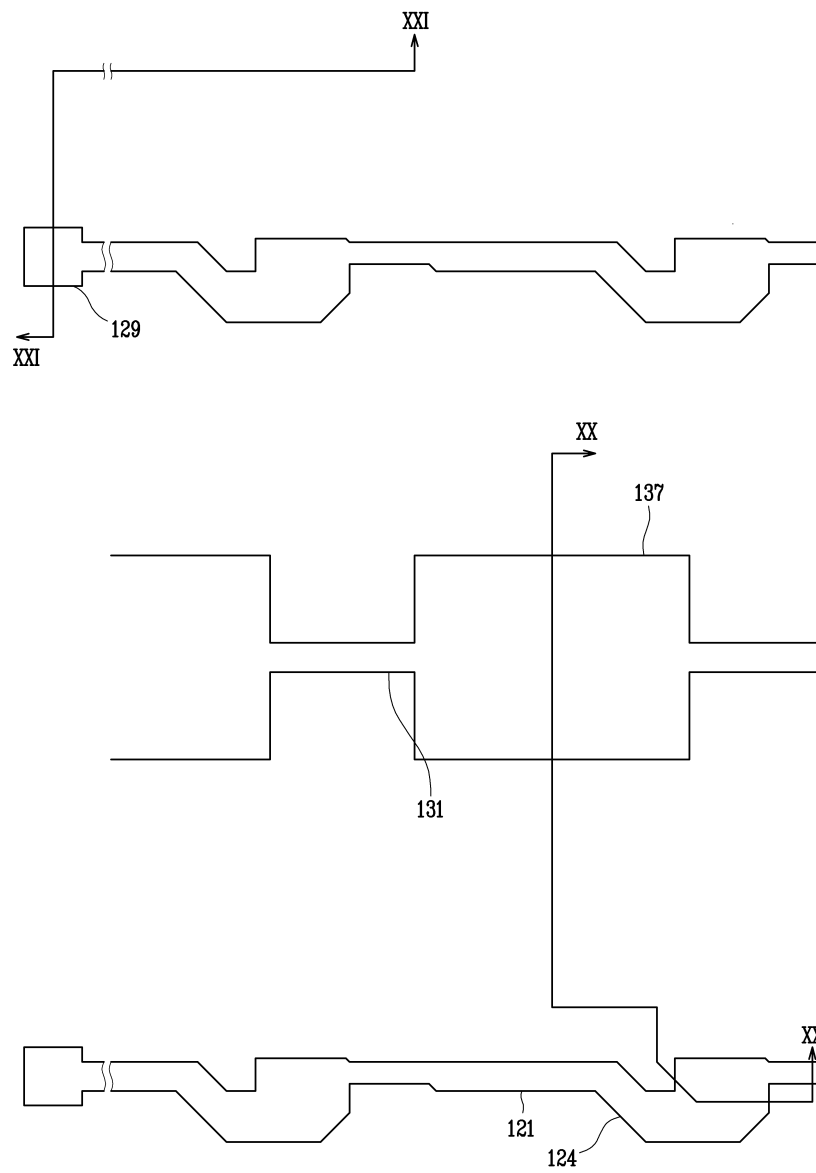
도면17



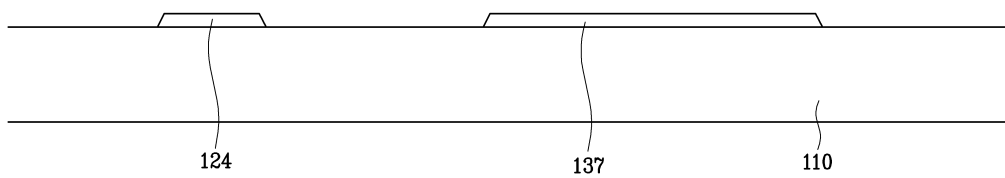
도면18



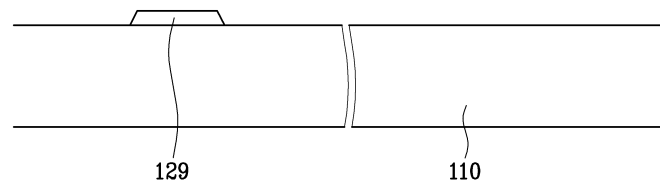
도면19



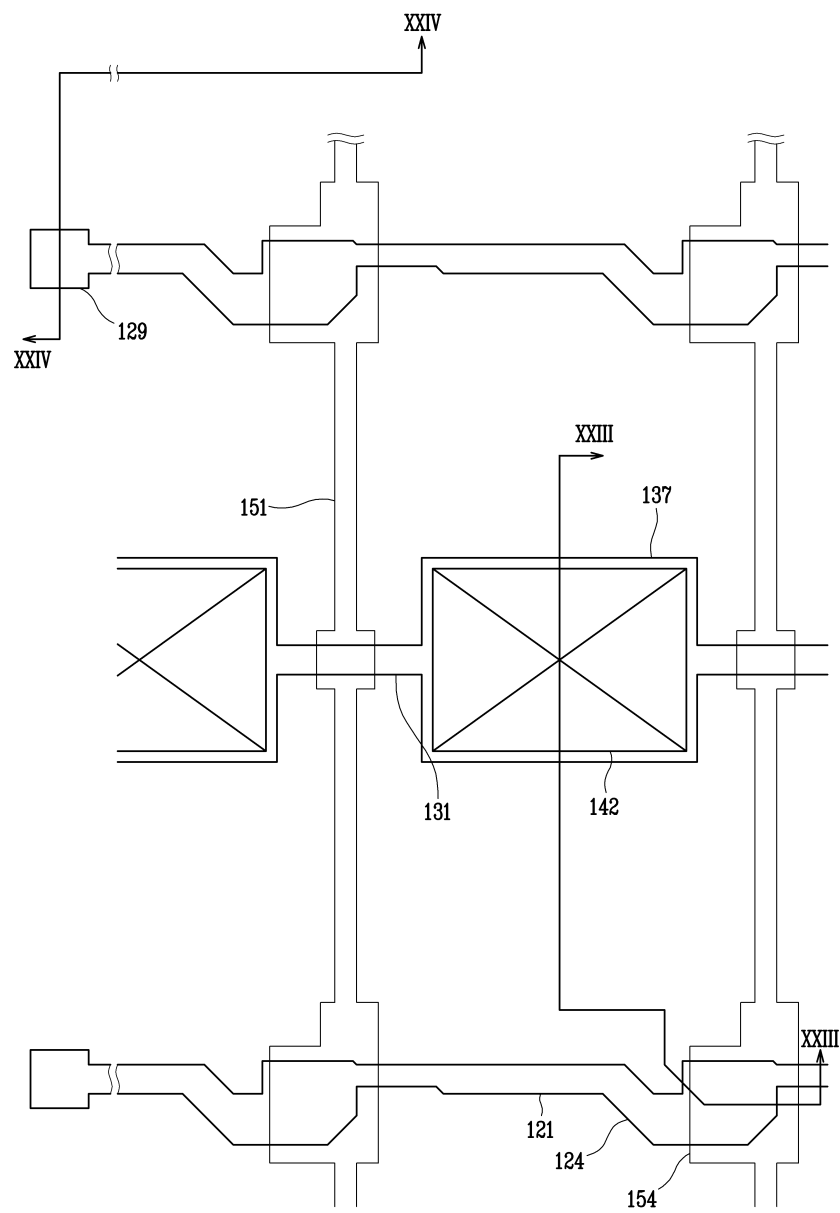
도면20



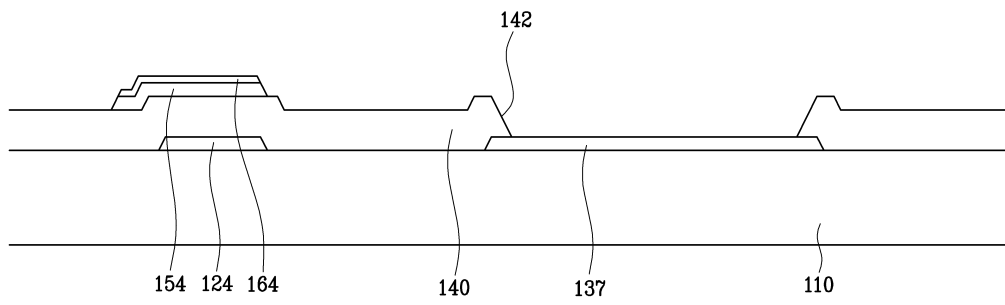
도면21



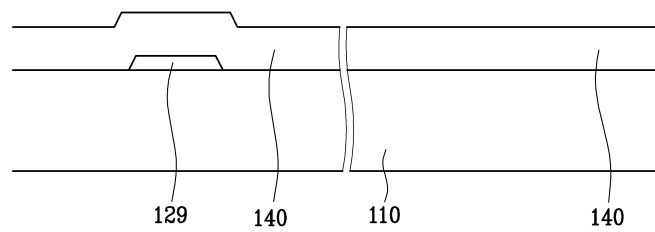
도면22



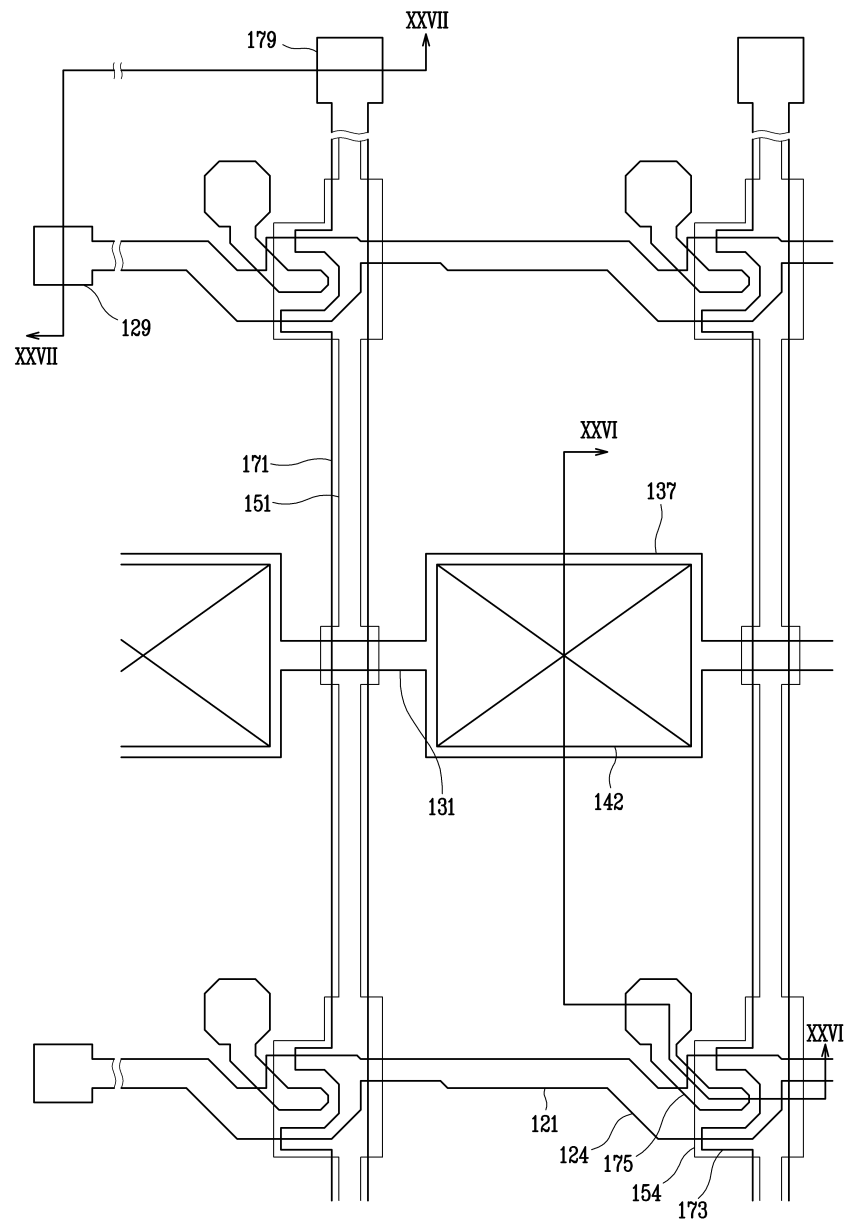
도면23



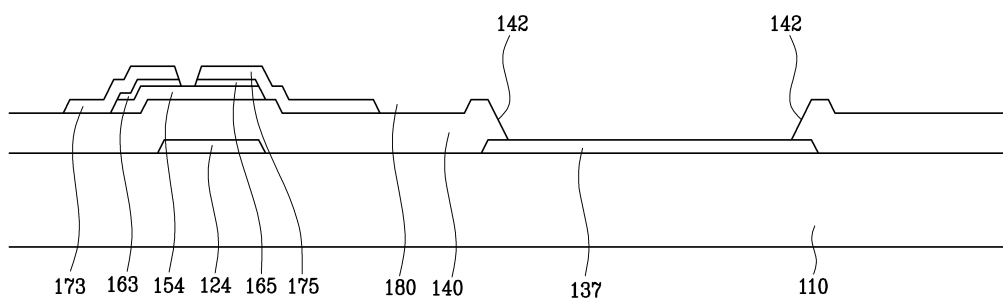
도면24



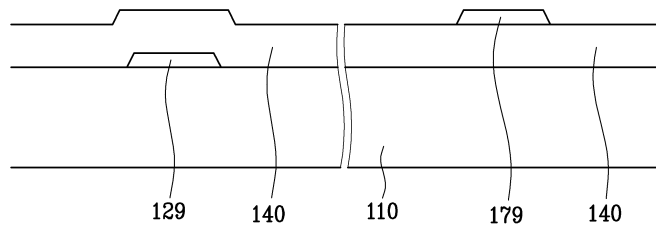
도면25



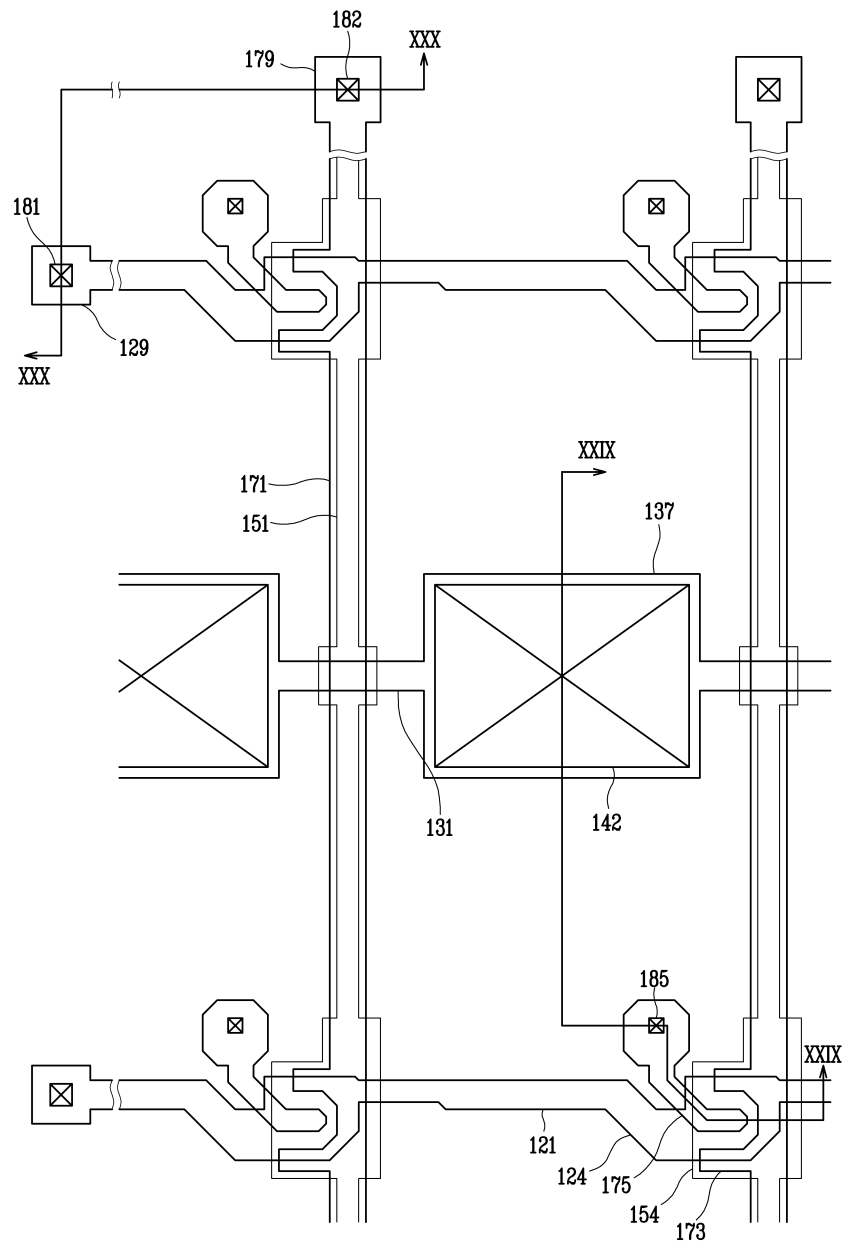
도면26



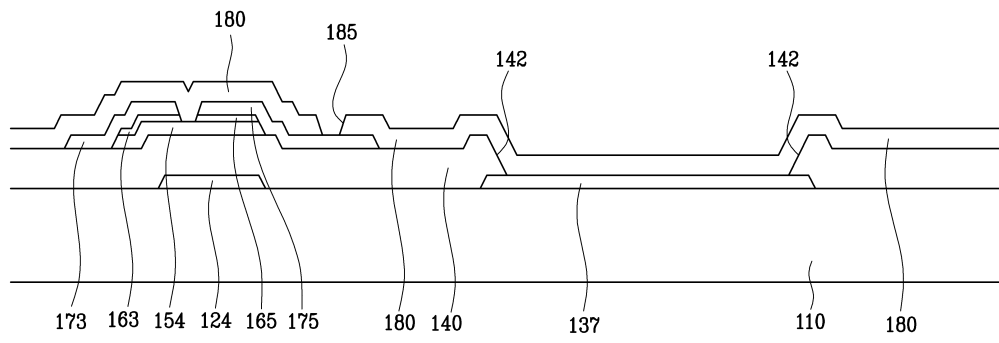
도면27



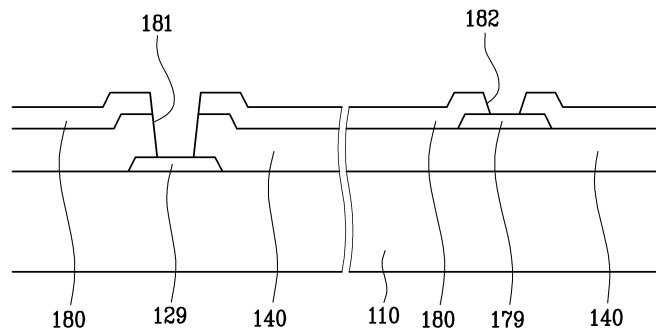
도면28



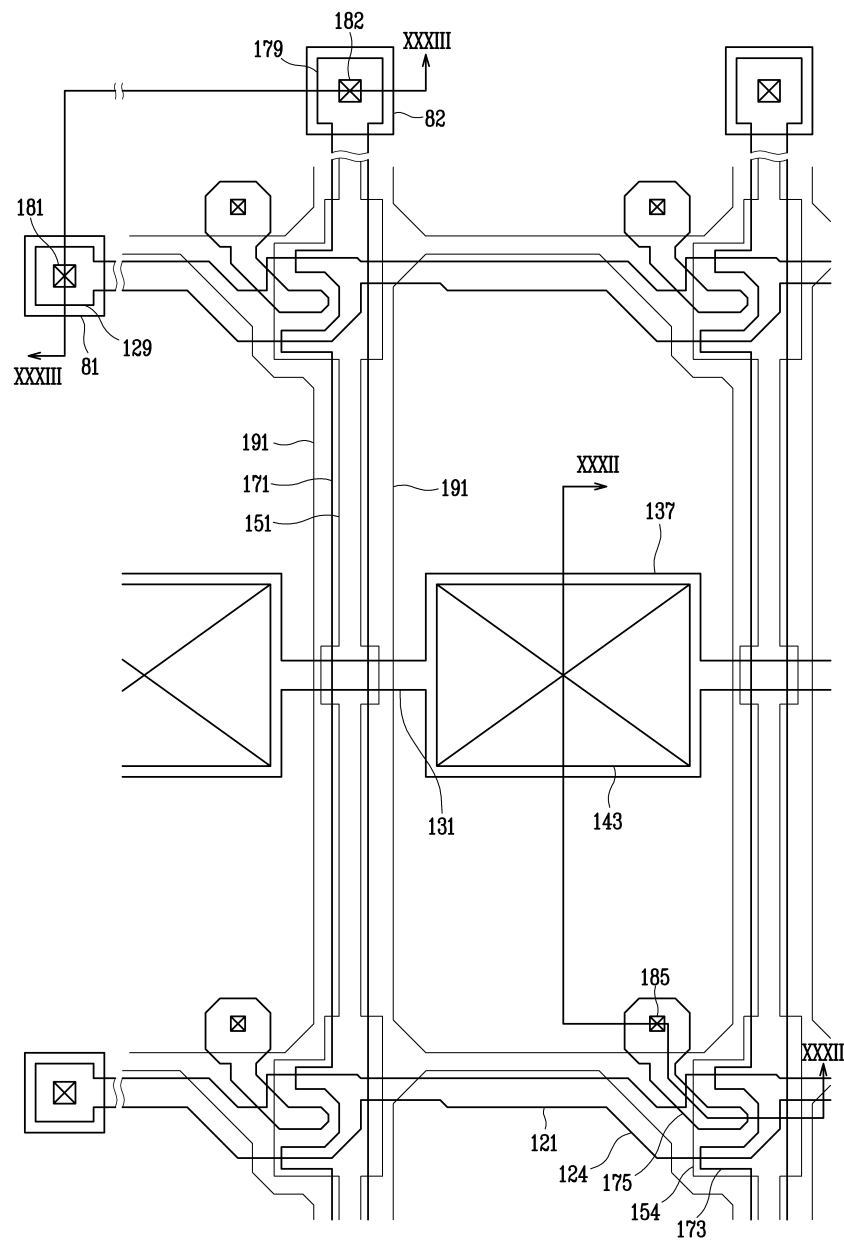
도면29



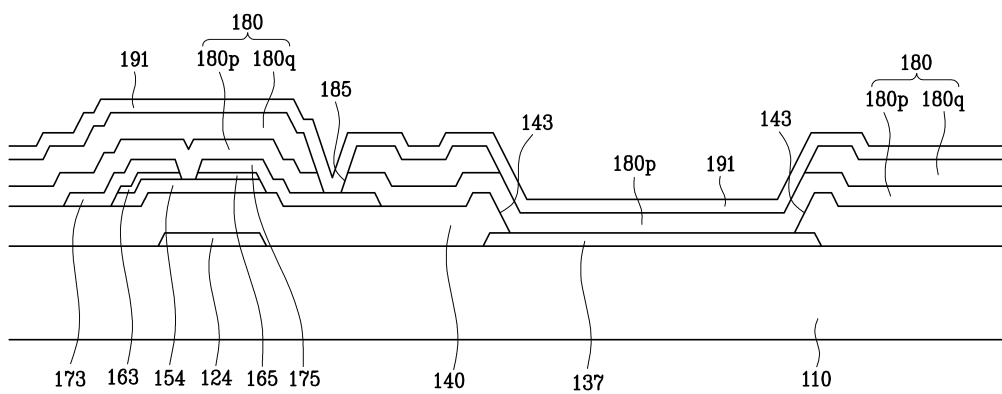
도면30



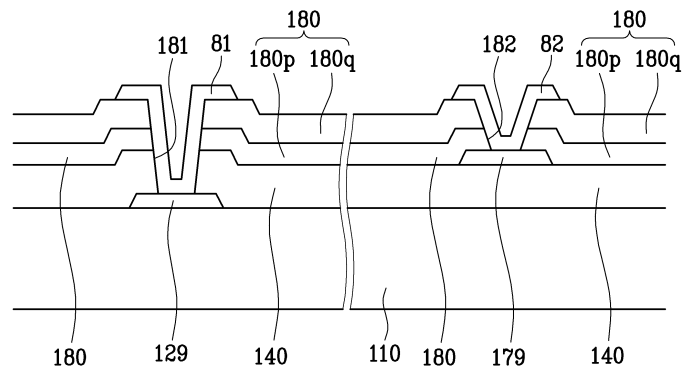
도면31



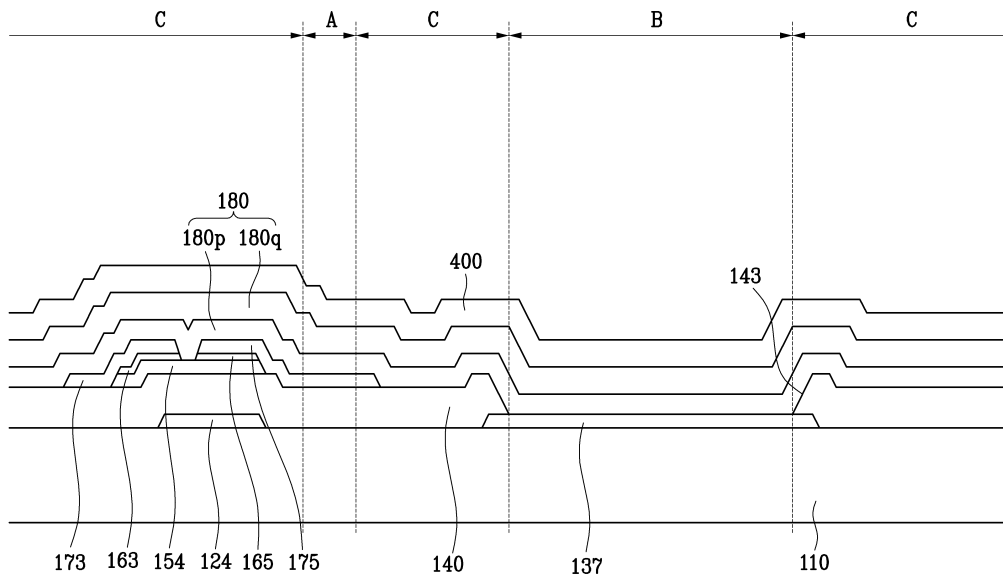
도면32



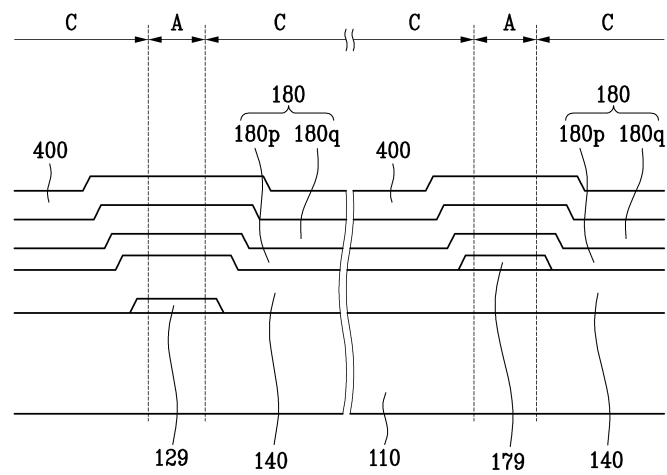
도면33



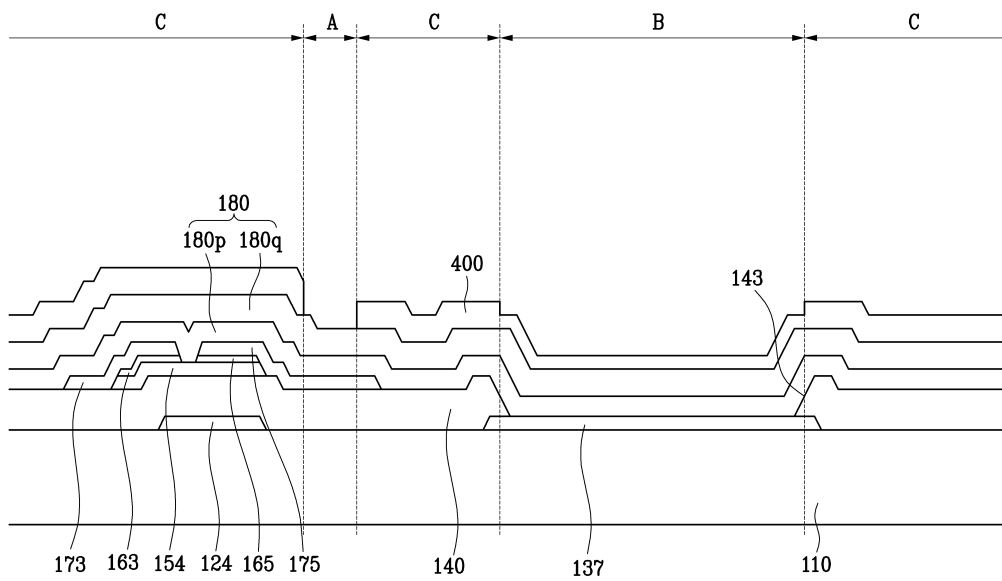
도면34



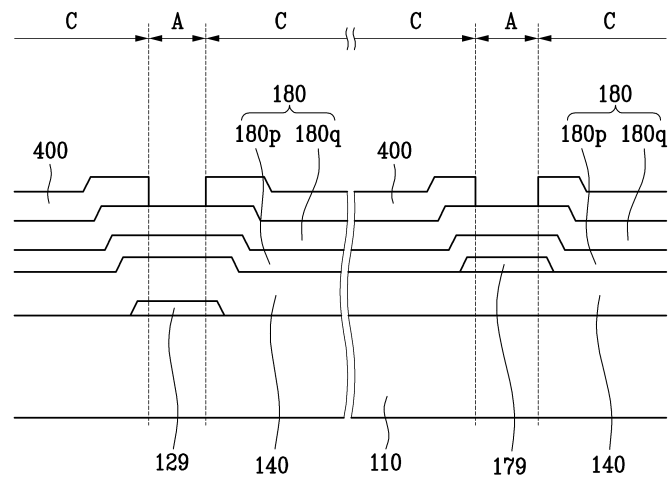
도면35



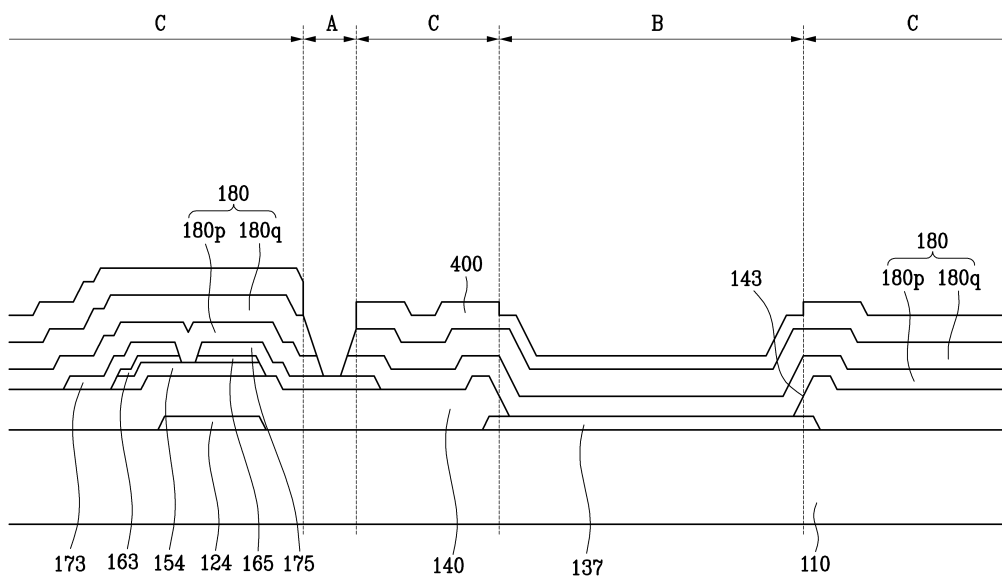
도면36



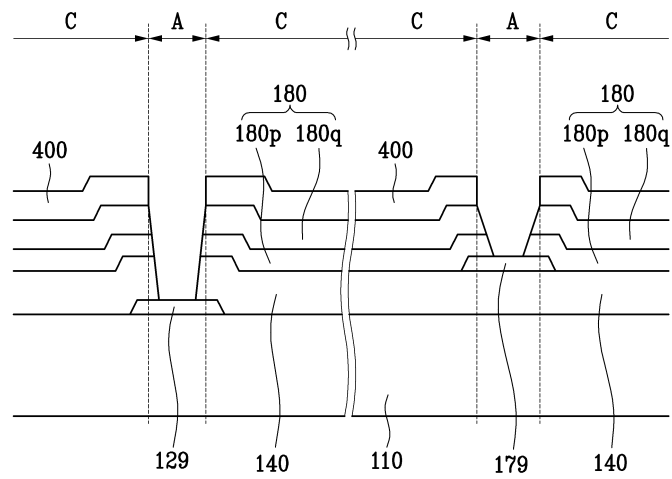
도면37



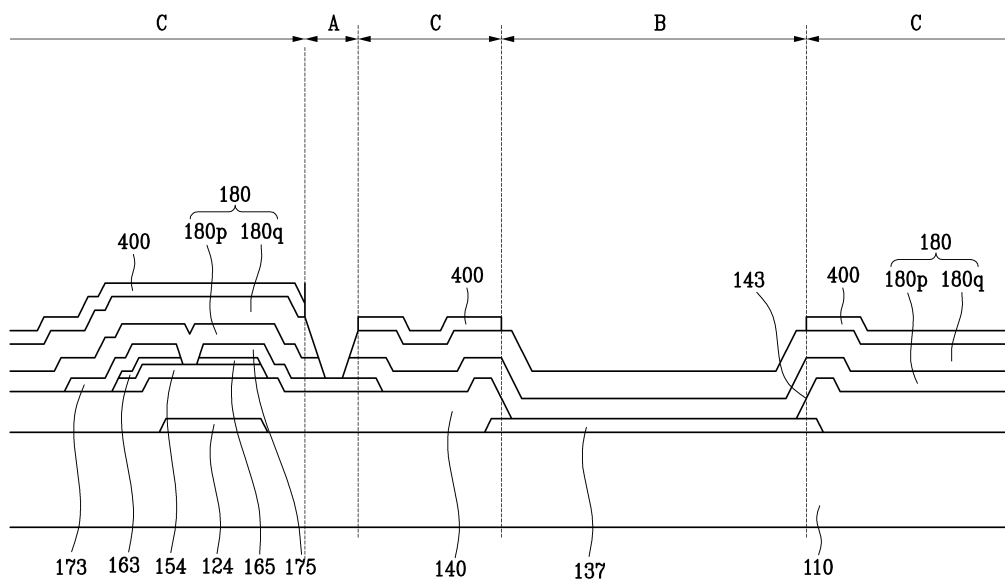
도면38



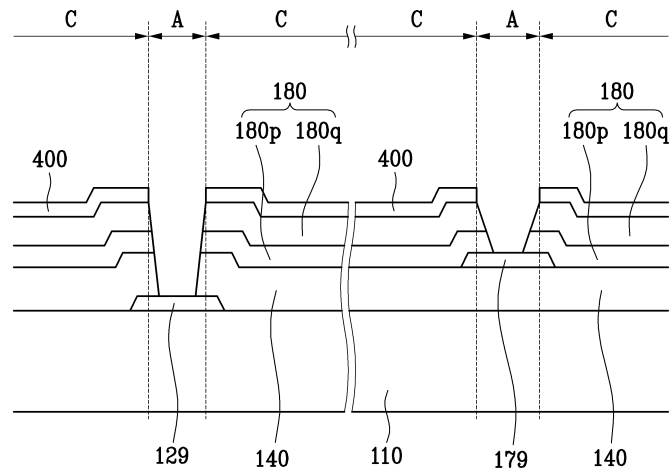
도면39



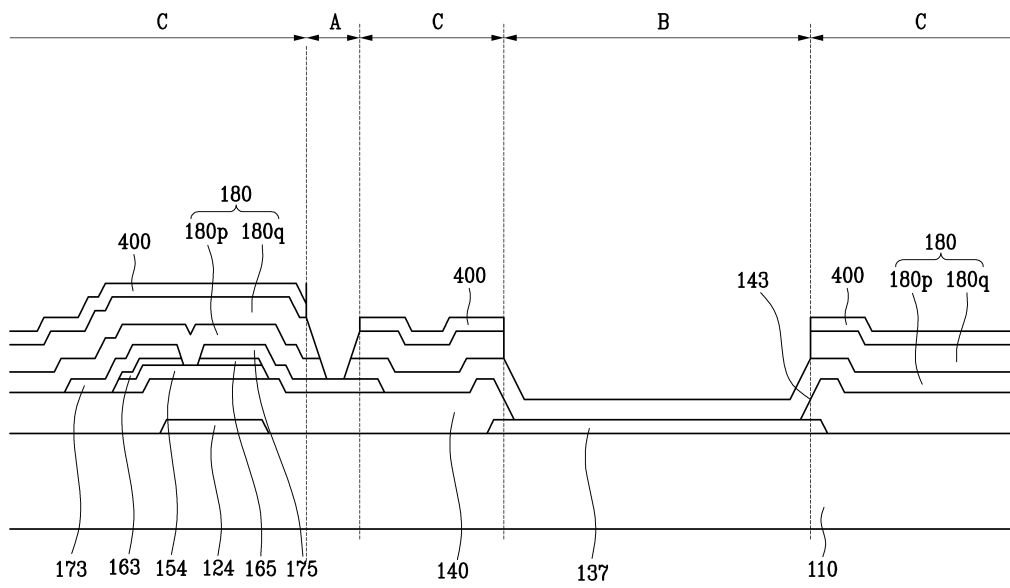
도면40



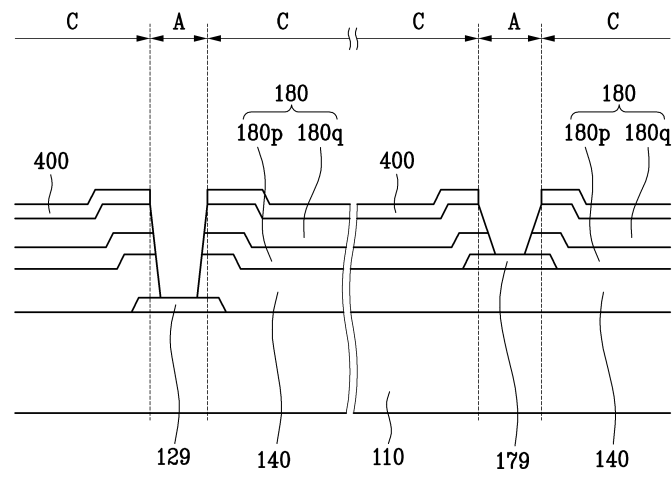
도면41



도면42



도면43



专利名称(译)	薄膜晶体管显示基板及其制造方法		
公开(公告)号	KR1020080034595A	公开(公告)日	2008-04-22
申请号	KR1020060100745	申请日	2006-10-17
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LIM JI SUK 임지숙 PARK YONG GI 박용기		
发明人	임지숙 박용기		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136213 G02F1/136227 G02F1/136286 G02F1/1368		
外部链接	Espacenet		

摘要(译)

根据本发明的一个实施例的薄膜晶体管显示基板包括像素电极，该像素电极形成在包括基板的栅极线的维持电极线上，并且栅电极形成在基板和恒定电极上，栅极绝缘层具有公开恒定电极部分的接触孔，维护导体与数据线电连接，漏电极形成在栅极绝缘层上形成的半导体层上，栅极绝缘层和上述半导体层，恒定电极通过栅极绝缘层的接触孔，基板和它形成在保护膜和薄的保护膜上栅极绝缘层的厚度与漏极连接。并且像素电极和维护导体将保护膜放置在间隔中并且它重叠并且间隔由维护电容器构成。根据本发明的薄膜晶体管显示基板具有更大的维护电容器。作为导体的区域的存储电容，其包括未发布重叠的液晶电容器，并且在该间隔中放置相对厚度较薄的保护膜并且它与两个导体重叠并且以这种方式不会减小孔径显示装置的比例维护冷凝器，维护导体，维持电压，保护电影。

