



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0023976  
G02F 1/1345 (2006.01) (43) 공개일자 2007년03월02일

(21) 출원번호 10-2005-0078379  
(22) 출원일자 2005년08월25일  
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지  
(72) 발명자 임종천  
서울 강남구 역삼동 812-18 302호  
김광민  
대전 서구 월평동 302  
(74) 대리인 이수용

전체 청구항 수 : 총 6 항

(54) 액정표시장치

(57) 요약

액정표시장치가 제공된다. 본 발명의 일 실시예에 따른 액정표시장치는 게이트 신호를 생성하는 게이트 구동 IC (Integrated Circuit, 집적 회로), 게이트 구동 IC로부터 생성된 게이트 신호를 전달하며 개방부가 형성된 다수의 게이트 라인, 게이트 구동 IC의 중심부와 연결된 게이트 라인의 개방부와의 오버랩 면적에 비해 게이트 구동 IC의 주변부와 연결된 게이트 라인의 개방부와의 오버랩 면적이 더 크도록 게이트 라인과 교차되는 데이터 라인, 게이트 라인과 연결되는 게이트 전극과 데이터 라인과 연결되는 드레인 전극, 소스 전극을 구비하는 박막 트랜지스터 및 박막 트랜지스터와 전기적으로 연결되도록 형성된 화소 전극을 포함한다.

대표도

도 2

특허청구의 범위

청구항 1.

게이트 신호를 생성하는 게이트 구동 IC(Integrated Circuit, 집적 회로);

상기 게이트 구동 IC로부터 생성된 게이트 신호를 전달하며, 개방부가 형성된 다수의 게이트 라인;

상기 게이트 구동 IC의 중심부와 연결된 게이트 라인의 개방부와의 오버랩 면적에 비해 상기 게이트 구동 IC의 주변부와 연결된 게이트 라인의 개방부와의 오버랩 면적이 더 크도록 상기 게이트 라인과 교차되는 데이터 라인;

상기 게이트 라인과 연결되는 게이트 전극 및 상기 데이터 라인과 연결되는 드레인 전극과 소스 전극을 구비하는 박막 트랜지스터; 및

상기 박막 트랜지스터와 전기적으로 연결되도록 형성된 화소 전극을 포함하는 액정표시장치.

## 청구항 2.

제 1 항에 있어서,

상기 게이트 구동 IC의 중심부와 연결된 게이트 라인의 개방부에 비해 상기 게이트 구동 IC의 주변부와 연결된 게이트 라인의 개방부의 면적이 더 크게 형성되는 것을 특징으로 하는 액정표시장치.

## 청구항 3.

제 2 항에 있어서,

상기 개방부의 면적은 상기 게이트 구동 IC의 중심부와 연결된 게이트 라인으로부터 상기 게이트 구동 IC의 주변부와 연결된 게이트 라인으로 진행될수록 점진적으로 증가하는 것을 특징으로 하는 액정표시장치.

## 청구항 4.

제 3 항에 있어서,

상기 개방부의 폭은 15 마이크로 미터( $\mu\text{m}$ ) 이하인 것을 특징으로 하는 액정표시장치.

## 청구항 5.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 데이터 라인과 상기 개방부 사이의 오버랩 면적은, 상기 게이트 구동 IC의 중심부와 연결된 게이트 라인으로부터 상기 게이트 구동 IC의 주변부와 연결된 게이트 라인으로 진행될수록 점진적으로 증가하는 것을 특징으로 하는 액정표시장치.

## 청구항 6.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 데이터 라인과 상기 개방부 사이의 오버랩 면적은 인접하는 소정 개수의 게이트 라인으로 구성되는 게이트 라인 그룹 별로 동일하며, 상기 게이트 구동 IC의 중심부와 연결된 게이트 라인 그룹으로부터 상기 게이트 구동 IC의 주변부와 연결된 게이트 라인 그룹으로 진행될수록 상기 오버랩 면적이 점진적으로 증가하는 것을 특징으로 하는 액정표시장치.

명세서

## 발명의 상세한 설명

### 발명의 목적

## 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 더욱 상세하게는, 가로띠 등의 화질 불량을 개선한 액정표시장치에 관한 것이다.

도 1은 종래 기술에 따른 액정표시장치를 설명하기 위한 개념도 및 이의 부분 확대도로써, 가로띠 무늬의 화면 불량이 발생된 액정표시패널(110)을 나타내고 있다.

즉, 도 1을 참조하면, 액정표시장치에는 다수의 게이트 구동 IC(Integrated Circuit, 집적 회로; 120)가 구비되는데, 각각의 게이트 구동 IC(120)를 기준으로 게이트 구동 IC(120)의 중심부와 연결된 게이트 라인(130)이 지나는 영역과 게이트 구동 IC(120)의 주변부와 연결된 게이트 라인(130)이 지나는 영역 사이에 명암의 차이가 발생되며, 이는 사용자의 눈에 가로띠와 같은 화질 불량으로 느껴지게 된다.

아래의 확대도를 통해 살펴보면, 게이트 구동 IC(120)의 중심부와 액정표시패널(110) 사이에 연결된 게이트 라인(132)과 게이트 구동 IC(120)의 주변부와 액정표시패널(110) 사이에 연결된 게이트 라인(134)의 사이에는 적지 않은 길이의 차가 존재함을 알 수 있다. 이와 같은 금속 라인(132, 134)의 길이의 차이는 저항의 차이와 직접적으로 관련되며, 이러한 게이트 라인(132, 134)의 형성 위치에 따른 저항값의 차이에 의해 가로띠 불량이 발생하는 것이다.

도 1의 경우 노멀리 화이트 모드(Normally white mode) 액정표시장치를 나타내고 있으므로, 게이트 구동 IC(120)의 중심부와 인접되게 연결된 게이트 라인(132)이 지나는 액정표시패널(110) 영역일수록 상대적으로 어둡게 나타나는 것으로 도시되었음을 알 수 있다.

또 다른 확대도는 액정표시패널(110) 상에 형성된 게이트 라인(130), 데이터 라인(140)과 이들의 교차 영역에 형성된 박막 트랜지스터의 레이아웃을 나타내고 있다.

도시된 바와 같이, 게이트 라인(130)과 연결된 게이트 전극(135), 데이터 라인(140)과 연결된 소스 전극(142) 및 컨택홀(146)을 통해 화소 전극(도시되지 않음)과 연결된 드레인 전극(144) 등에 의해 스위칭 소자인 박막 트랜지스터가 구성된다.

이들의 구성과 동작에 대해 간략히 설명하도록 한다.

액정표시패널(110) 내에는 다수의 게이트 라인(130)과 데이터 라인(140)이 매트릭스 형태로 형성된다. 그리고 다수의 게이트 라인(130)과 데이터 라인(140)의 교차점에는 박막 트랜지스터가 형성되어 있다.

일반적으로, 박막 트랜지스터가 형성되어 있는 기판에 대항하는 대항 기판에는 공통 전극과 컬러 필터가 형성되며, 두 기판 사이에 액정이 봉입됨으로써 액정표시패널(110)이 구성된다.

자세히 도시되지는 않았지만, 박막 트랜지스터는 게이트 전극(135), 소스 전극(142), 드레인 전극(144), 액티브층 및 오믹(Ohmik) 접촉층 등으로 구성되며, 드레인 전극(144)이 화소 전극과 연결되어 단위 화소를 이룬다. 그리고, 이러한 구조를 갖는 박막 트랜지스터는 게이트 라인(130)을 통해 게이트 전극(135)에 게이트 신호가 인가되면 데이터 라인(140)에 인가된 데이터 신호가 오믹 접촉층 및 액티브층을 통해 소스 전극(142)에서 드레인 전극(144)으로 전달되도록 동작한다.

즉, 소스 전극(142)에 데이터 신호가 인가되면 소스 전극(142)과 연결된 화소 전극에 이와 대응되는 전압이 인가되는데, 이로 인해 화소 전극과 공통 전극 사이에 전압차가 발생한다. 그리고, 화소 전극과 공통 전극의 전압 차이로 인해 그 사이에 게재되어 있는 액정의 분자 배열이 변화되며, 액정의 분자 배열의 변화로 인해 화소의 광 투과량이 변하게 되어 각각의 화소별로 인가된 데이터 신호의 차에 따라 화소의 색상 차이가 발생된다.

액정표시장치가 자발광(自發光) 디스플레이 장비가 아닌 수광(受光) 디스플레이 장비이므로, 액정표시패널(110)의 후면에 위치된 백 라이트 유닛(도시되지 않음) 등의 광원(光源)으로부터 인가되는 광을 이용하여, 이와 같은 색상의 차이에 따른 영상 정보의 디스플레이가 가능하게 됨은 주지의 사실이다.

소스 전극(142)에 인가되는 데이터 신호는 데이터 구동 IC(도시되지 않음)로부터 제공되며, 게이트 전극(135)에 인가되는 게이트 신호는 게이트 구동 IC(120)로부터 제공된다.

게이트 구동 IC(120)는 게이트 전극(135)을 활성화 또는 비활성화 시키는 게이트 신호를 다수의 게이트 라인(130)에 순차적으로 제공한다. 그러면 데이터 구동 IC는 게이트 신호가 인가되는 타이밍에 맞추어 데이터 신호에 해당하는 게조 전압을 다수의 데이터 라인(140)에 제공한다. 데이터 구동 IC와 게이트 구동 IC(120) 사이의 타이밍 동기화(synchronizing)는 별도로 구비된 타이밍 컨트롤러(도시되지 않음) 등에 의해 수행된다.

이때, 게이트 라인(130)의 소정 위치에는 식각 등에 의해 형성된 개방부(150)가 구비될 수 있다. 개방부(150)는 게이트 라인(130)과 데이터 라인(140) 사이에 형성되는 기생 캐패시턴스를 감소 및 일정하게 유지시키는 등의 기능을 수행한다.

따라서, 데이터 라인(140)과 개방부(150) 사이의 오버랩 면적의 조절을 통해 게이트 라인(130)의 형성 위치에 따른 저항값의 상이함을 보상함으로써, 가로띠 등의 형태로 나타나는 화질 불량을 개선하는 방안을 모색해 보고자 한다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 가로띠 등의 화질 불량을 개선한 액정표시장치를 제공하는 것이다.

본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해되어질 수 있을 것이다.

### 발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 액정표시장치는 게이트 신호를 생성하는 게이트 구동 IC, 게이트 구동 IC로부터 생성된 게이트 신호를 전달하며 개방부가 형성된 다수의 게이트 라인, 게이트 구동 IC의 중심부와 연결된 게이트 라인의 개방부와와의 오버랩 면적에 비해 게이트 구동 IC의 주변부와 연결된 게이트 라인의 개방부와와의 오버랩 면적이 더 크도록 게이트 라인과 교차되는 데이터 라인, 게이트 라인과 연결되는 게이트 전극과 데이터 라인과 연결되는 드레인 전극, 소스 전극을 구비하는 박막 트랜지스터 및 박막 트랜지스터와 전기적으로 연결되도록 형성된 화소 전극을 포함한다.

이때, 게이트 구동 IC의 중심부와 연결된 게이트 라인의 개방부에 비해 게이트 구동 IC의 주변부와 연결된 게이트 라인의 개방부의 면적이 더 크게 형성될 수 있다.

여기서, 데이터 라인과 개방부 사이의 오버랩 면적 및/또는 개방부의 면적은 게이트 구동 IC의 중심부와 연결된 게이트 라인으로부터 게이트 구동 IC의 주변부와 연결된 게이트 라인으로 진행될수록 점진적으로 증가되도록 형성되는 것이 좋다.

한편, 데이터 라인과 개방부 사이의 오버랩 면적은 인접하는 소정 개수의 게이트 라인으로 구성되는 게이트 라인 그룹 별로 일정 정도의 오차 범위 내에서 동일하도록 형성될 수 있는데, 이 경우에는 게이트 구동 IC의 중심부와 연결된 게이트 라인 그룹으로부터 게이트 구동 IC의 주변부와 연결된 게이트 라인 그룹으로 진행될수록 데이터 라인과 개방부 사이의 오버랩 면적이 점진적으로 증가되도록 형성될 수 있을 것이다.

이때, 게이트 라인 상에 형성되는 개방부의 폭은 최대 15 마이크로 미터( $\mu\text{m}$ )를 초과하지 않도록 형성되는 것이 바람직하다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있을 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것으로, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

도 2는 본 발명의 일 실시예에 따른 액정표시장치에 구비되는 박막 트랜지스터 기관의 부분 확대도로서, 게이트 라인(210)과 데이터 라인(220) 사이의 교차 부분을 나타내고 있다.

도 2에 도시된 바와 같이 본 발명의 일 실시예에 따른 액정표시장치에 형성되는 게이트 라인(210)에는 식각 등의 공정에 의해 형성되는 개방부(230)가 구비된다.

여기서 개방부(230)는, 게이트 라인(210)에 따라 그 형성 위치가 조금씩 달라질 수 있다. 즉, 게이트 구동 IC(도시되지 않음)의 중심부로부터 연결된 게이트 라인(210)의 경우, 게이트 구동 IC와 패널 사이의 연결 구간이 짧아 이로 인한 저항값의 증가분이 상대적으로 적으므로, 개방부(230)를 데이터 라인(220)과의 오버랩 면적(a)이 상대적으로 작도록 형성함으로써 게이트 라인(210)과 데이터 라인(220) 사이에 형성되는 기생 캐패시턴스 값이 증가되도록 할 수 있다.

그리고, 게이트 구동 IC의 주변부로부터 연결된 게이트 라인(210)의 경우 게이트 구동 IC와 패널 사이의 연결 구간이 상대적으로 길어 이로 인해 발생하는 저항값이 크기 때문에, 개방부(230)를 데이터 라인(220)과의 오버랩 면적(c)이 상대적으로 크도록 형성함으로써 게이트 라인(210)과 데이터 라인(220) 사이에 형성되는 기생 캐패시턴스 값을 감소시켜, 게이트 라인(210) 길이의 증가에 따른 저항값의 증가를 보상하도록 할 수 있다.

또한, 게이트 구동 IC의 중심부 및 게이트 구동 IC의 주변부 사이에 소정의 중간부를 정의하여, 게이트 구동 IC의 중간부와 연결된 게이트 라인(210)의 개방부(230)와 데이터 라인(220)과의 오버랩 면적(b)이, 중심부의 게이트 라인(210)에 형성된 개방부(230)와 데이터 라인(220)과의 오버랩 면적(a) 보다는 크고 주변부의 게이트 라인(210)에 형성된 개방부(230)와 데이터 라인(220)과의 오버랩 면적(c)보다는 작도록 할 수 있다.

가령 1680 1050의 XGA급 액정표시장치를 가정한다면, 이러한 액정표시장치에는 통상 3개의 게이트 구동 IC가 구비되므로, 각각의 게이트 구동 IC 당 350개의 게이트 라인(210)이 연결되게 된다. 따라서, 게이트 구동 IC의 정중앙과 연결된 게이트 라인(210)으로부터 게이트 구동 IC의 좌우 말단과 연결된 게이트 라인(210)까지는 각각 175개의 게이트 라인(210)이 존재하게 된다.

그러므로 산술적으로는, 게이트 구동 IC의 정중앙과 연결된 게이트 라인(210)으로부터 게이트 구동 IC의 최말단과 연결된 게이트 라인(210)까지 최대 175 단계의 서로 다른 면적을 갖도록 개방부(230)와 데이터 라인(220)을 오버랩 시킬 수 있다.

이때, 인접하는 소정 개수의 게이트 라인(210) 그룹 별로 일정 정도의 오차 범위 내에서 동일한 오버랩 면적을 갖도록 게이트 라인(210) 그룹을 구성하고, 게이트 구동 IC의 중심부와 가깝게 연결된 게이트 라인(210) 그룹일수록 개방부(230)와 데이터 라인(220) 사이의 오버랩 면적을 작게 구성할 수 있음은 당연하다.

따라서, 데이터 라인(220)과 개방부(230) 사이에 형성 가능한 오버랩 면적의 단계(L)는, 각각의 게이트 구동 IC로부터 연결된 게이트 라인(210)의 개수를 m이라 할 경우,  $2 \leq L \leq m/2$  이 된다.

도 3은 본 발명의 다른 실시예에 따른 액정표시장치에 구비되는 박막 트랜지스터 기관의 부분 확대도이다.

도 3을 참조하면, 본 발명의 다른 실시예에 있어서 게이트 라인(310)에 형성되는 개방부(330)는, 게이트 구동 IC의 중심부와 연결된 게이트 라인(310)으로부터 게이트 구동 IC의 주변부와 연결된 게이트 라인(310)으로 진행될수록 그 폭이 증가됨을 알 수 있다.

즉, 앞서 설명한 본 발명의 일 실시예와 같이, 게이트 라인(310) 상에 형성된 개방부(330)와 데이터 라인(320) 사이의 오버랩 면적이 변화되도록 함과 아울러, 개방부(330)의 폭의 변경을 통해 개방부(330) 자체의 면적을 변화시킴으로써, 게이트 라인(310)과 데이터 라인(320)의 사이에 생성되는 기생 캐패시턴스 값의 변화폭을 보다 증가시킬 수 있도록 하였다.

게이트 구동 IC의 중심부와 연결된 게이트 라인(310)에 형성된 개방부(330)의 폭(d') 및 개방부(330)와 데이터 라인(320) 사이의 오버랩 면적(d)에 비해, 게이트 구동 IC의 주변부와 연결된 게이트 라인(310)에 형성된 개방부(330)의 폭(f') 및 개방부(330)와 데이터 라인(320) 사이의 오버랩 면적(f)이 크게 증가되었음을 알 수 있다.

게이트 구동 IC의 중심부와 주변부 사이에 이들의 중간값의 개방부(330) 면적(e')과 오버랩 면적(e)을 갖는 하나 이상의 중간부가 구비될 수 있음은 당연하다.

이때, 게이트 라인(310) 상에 형성되는 개방부(330)의 폭은 최대 15 마이크로 미터( $\mu\text{m}$ )를 초과하지 않도록 형성되는 것이 좋다.

개방부(330)의 면적 및 데이터 라인(320)과 개방부(330) 사이에 형성 가능한 오버랩 면적의 단계(L)가, 각각의 게이트 구동 IC로부터 연결된 게이트 라인(310)의 개수를 m이라 할 경우,  $2 \leq L \leq m/2$ 이 됨은 전술한 바와 같다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해되어야만 한다.

### 발명의 효과

상기한 바와 같은 본 발명의 일 실시예에 따른 액정표시장치에 의하면 게이트 라인의 형성 위치에 따른 저항값의 차 등에 의해 발생하는 가로띠 등의 화질 불량을 개선할 수 있게 되었다. 이에 따라, 보다 향상된 영상 품질을 갖는 액정표시장치의 제공이 가능하게 되었다는 등의 장점이 있다.

### 도면의 간단한 설명

도 1은 종래 기술에 따른 액정표시장치를 설명하기 위한 개념도 및 이의 부분 확대도들이다.

도 2는 본 발명의 일 실시예에 따른 액정표시장치에 구비되는 박막 트랜지스터 기관의 부분 확대도이다.

도 3은 본 발명의 다른 실시예에 따른 액정표시장치에 구비되는 박막 트랜지스터 기관의 부분 확대도이다.

<도면의 주요 부분에 관한 부호의 설명>

110 : 액정표시패널 120 : 게이트 구동 IC

130, 210, 310 : 게이트 라인 135 : 게이트 전극

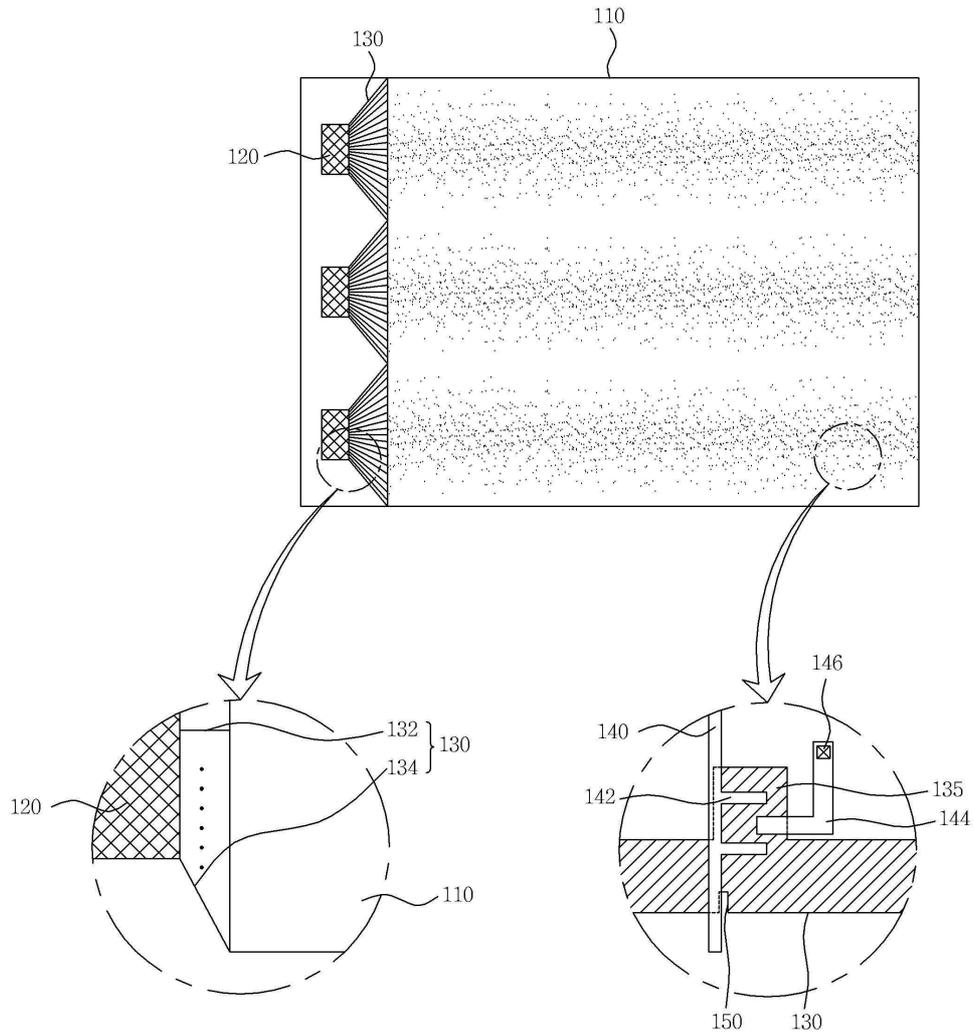
140, 220, 320 : 데이터 라인 142 : 소스 전극

144 : 드레인 전극 146 : 컨택홀

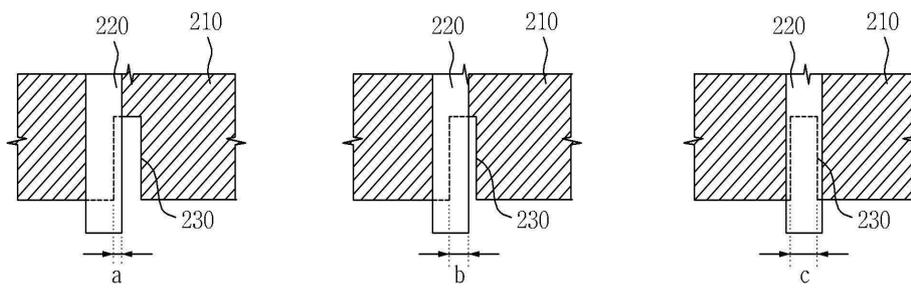
150, 230, 330 : 개방부

도면

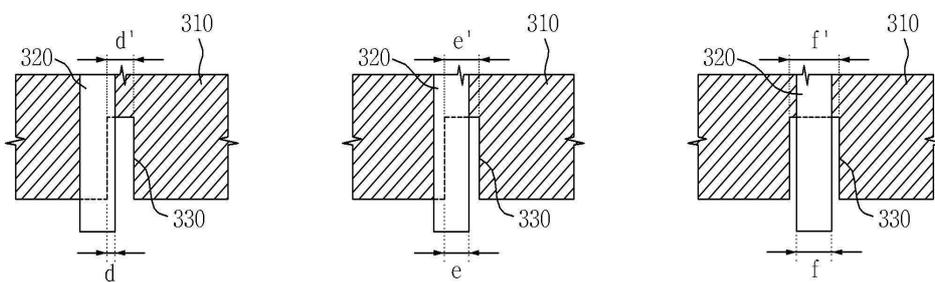
도면1



도면2



도면3



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020070023976A</a>	公开(公告)日	2007-03-02
申请号	KR1020050078379	申请日	2005-08-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM JONG CHUN 임종천 KIM KWANG MIN 김광민		
发明人	임종천 김광민		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/13452 G02F1/136286 G09G3/3648		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供液晶显示器。根据本发明优选实施例的液晶显示器包括产生栅极信号的开口栅极驱动集成电路（集成电路和集成电路），并且传送从栅极驱动集成电路产生的栅极信号，薄膜晶体管，其栅极线，数据线，连接到栅极线的栅极和连接到数据线的漏极，以及形成的源极和像素电极，以便与薄的电连接薄膜晶体管形成多个。数据线与栅极线交叉，使得栅极线的开口的重叠区域与栅极线的开口连接到栅极驱动集成电路的中心部分到外围单元的重叠区域相比连接栅极驱动集成电路的电路更大。栅极线，宽度带，寄生电容，重叠，开口。

