



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0007629
G02F 1/136 (2006.01) (43) 공개일자 2007년01월16일

(21) 출원번호 10-2005-0062374
(22) 출원일자 2005년07월11일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 정기훈
서울 성북구 돈암2동 한진아파트 210동 1802호
이승규
경기 용인시 기흥읍 농서리 기숙사 월계수동 730호
양용호
경기 수원시 장안구 율전동 삼성아파트 201-1703
나형돈
서울 동작구 사당3동 155-1

(74) 대리인 정상빈
김동진

전체 청구항 수 : 총 4 항

(54) 액정표시장치용 박막 트랜지스터 기관의 제조 방법

(57) 요약

액정표시장치용 박막 트랜지스터 기관의 제조 방법이 제공된다. 본 발명의 일 실시예에 따른 액정표시장치용 박막 트랜지스터 기관의 제조 방법은 기관 상에 리프트 오프(lift-off) 방식에 의해 다중막 구조를 갖는 게이트 라인을 형성하는 단계, 게이트 라인과 교차되도록 데이터 라인을 형성하는 단계, 게이트 라인, 데이터 라인과 연결되도록 박막 트랜지스터를 형성하는 단계, 박막 트랜지스터와 전기적으로 접촉되도록 화소 전극을 형성하는 단계를 포함한다.

대표도

도 1b

특허청구의 범위

청구항 1.

기관 상에 리프트 오프(lift-off) 방식에 의해 다중막 구조를 갖는 게이트 라인을 형성하는 단계;

상기 게이트 라인과 교차되도록 데이터 라인을 형성하는 단계;

상기 게이트 라인과 연결되는 게이트 전극 및 상기 데이터 라인과 연결되는 드레인 전극과 소오스 전극을 구비하는 박막 트랜지스터를 형성하는 단계; 및

상기 박막 트랜지스터와 전기적으로 접촉되도록 화소 전극을 형성하는 단계를 포함하는 액정표시장치용 박막 트랜지스터 기판의 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 게이트 라인 및 상기 게이트 전극을 형성하는 단계는, 기판 상에 소정의 패턴이 형성된 포토 레지스트 층을 형성하는 단계;

상기 기판의 전면에 게이트 다중 물질을 순차적으로 적층하는 단계; 및

상기 패턴 영역 이외의 영역을 리프트 오프 하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 게이트 라인 및 상기 게이트 전극은 알루미늄(Al) 또는 이의 합금 물질과 크롬(Cr) 또는 이의 합금 물질로 이루어진 이중막 구조를 갖는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 4.

제 3 항에 있어서,

상기 데이터 라인, 상기 드레인 전극 및 상기 소오스 전극은 리프트 오프 방식에 의해 형성된 다중막 구조를 갖는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치용 박막 트랜지스터 기판의 제조 방법에 관한 것으로, 더욱 상세하게는, 액정표시장치에 나타나는 가로줄 불량과 같은 화질 문제를 개선할 수 있도록 고안된 액정표시장치용 박막 트랜지스터 기판의 제조 방법에 관한 것이다.

근래 들어 액정표시장치가 디스플레이 수단으로 각광받고 있다.

액정표시장치는 패널의 내부에 주입된 액정의 전기적, 광학적 성질을 이용하여 디스플레이 기능을 수행하는데, 소형, 경량 및 저소비 전력 등의 장점에 의해 컴퓨터 모니터나 이동 통신 단말기 등의 다양한 분야에 폭넓게 응용되고 있는 추세이다.

이러한 액정표시장치는 구동방식의 차이에 따라, 스위칭 소자 및 TN(Twisted Nematic) 액정을 이용한 액티브 매트릭스(Active matrix) 표시방식과 STN(Super-Twisted Nematic) 액정을 이용한 패시브 매트릭스(passive matrix) 표시방식으로 크게 구분할 수 있다.

상기 두 표시방식의 가장 큰 차이점은, 액티브 매트릭스 표시방식이 박막 트랜지스터(TFT)를 스위치로 이용하여 LCD를 구동하는 방식인데 반해, 패시브 매트릭스 표시방식은 트랜지스터를 사용하지 않기 때문에 이와 관련한 복잡한 회로를 필요로 하지 않는다는 것이다. 그러나 화질과 관련된 기술상 우위에 있는 액티브 매트릭스 표시방식의 액정표시장치가 널리 사용되고 있다.

이와 같은 액티브 매트릭스 표시방식 액정표시장치에 구비되는 박막 트랜지스터 기판에는 포토, 식각, 증착과 같은 여러 단계의 제조 공정의 반복을 통해 형성되는 게이트 라인, 데이터 라인 및 박막 트랜지스터 등이 구비된다.

최근에는, 이 가운데 게이트 라인이나 박막 트랜지스터의 게이트 전극과 같은 게이트층을 이중막 등의 다중막 구조로 형성하는 경우가 많다.

예를 들면 게이트층에 알루미늄(Al)/크롬(Cr)과 같은 상부/하부의 이중막 구조를 적용함으로써, 알루미늄 물질에 의해 화소 전극을 구성하는 ITO 물질과의 양호한 접촉 특성을 획득하고, 한편 크롬 물질을 통해 절연 기판과의 우수한 부착력을 획득하게 된다.

그런데, 금속 물질의 연속적인 습식 식각 공정에 의해 형성되는 게이트 이중막은, 하부 레이어 금속 물질에 언더컷(undercut)을 발생시키게 된다는 문제점이 있다. 이러한 게이트 이중막의 언더컷은 액정표시장치에 발생하는 가로줄 불량 의 원인인 것으로 알려져 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 액정표시장치에 나타나는 가로줄 불량과 같은 화질 문제를 개선할 수 있도록 고안된 액정표시장치용 박막 트랜지스터 기판의 제조 방법을 제공하는 것이다.

본 발명의 기술적 과제는 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정표시장치용 박막 트랜지스터 기판의 제조 방법은, 기판 상에 리프트 오프(lift-off) 방식에 의해 다중막 구조를 갖는 게이트 라인을 형성하는 단계, 게이트 라인과 교차되도록 데이터 라인을 형성하는 단계, 게이트 라인, 데이터 라인과 연결되도록 박막 트랜지스터를 형성하는 단계, 박막 트랜지스터와 전기적으로 접촉되도록 화소 전극을 형성하는 단계를 포함한다.

이때, 게이트 라인 및 박막 트랜지스터의 게이트 전극과 같은 게이트층을 형성하는 단계는, 기판 상에 소정의 패턴이 형성된 포토 레지스트층을 형성하는 단계, 기판의 전면에 게이트층을 구성하는 다중 물질을 순차적으로 적층하는 단계 및 패턴 영역 이외의 영역을 리프트 오프 하는 단계와 같은 세부 단계들을 포함할 수 있다.

여기서, 게이트층은 알루미늄과 크롬 및 이들의 합금 물질을 이용한 이중막 구조를 갖는 것이 좋다.

또한, 데이터 라인 및 소오스 전극, 드레인 전극과 같은 데이터층은, 리프트 오프 방식에 의해 형성된 다중막 구조일 수 있다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로

구현될 수 있을 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것으로, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

도 1a 및 도 1b는 본 발명의 일 실시예에 의해 제조된 박막 트랜지스터 기판을 나타낸 레이 아웃도와 그 부분 단면도이다.

도 1a 및 도 1b에 도시된 바와 같이, 본 발명의 일 실시예에 따른 박막 트랜지스터 기판은 게이트 전극(130), 소오스 전극(140), 드레인 전극(150) 및 액티브층(160) 등으로 이루어진 박막 트랜지스터, 게이트 라인(110), 데이터 라인(120) 및 화소 전극(180) 등을 구비한다.

도 1a 및 도 1b를 통해 본 발명의 일 실시예에 따른 박막 트랜지스터 기판의 제조 과정을 설명하면 다음과 같다.

먼저 절연 기판(100) 상에 게이트 라인(110)이나 게이트 전극(130)과 같은 게이트층이 형성된다. 게이트층(110, 130)은 리프트 오프(lift-off) 방식에 의해 형성된 금속 다중막의 구성을 갖는데, 이에 따라, 다중막 게이트층(110, 130)의 하부 레이어에는 언더컷이 발생되지 않을 수 있게 된다.

이에 대해서는 별도의 도면을 통해 추후 상세히 설명하겠다.

그리고, 게이트층(110, 130)을 덮도록 층간 절연막(135)이 형성된 후 층간 절연막(135) 상에 액티브층(160), 오믹 접촉층(165) 및 데이터층(120, 140, 150)이 순차적으로 적층 형성된다. 데이터층은 데이터 라인(120) 소오스 전극(140) 및 드레인 전극(150) 등을 구성한다.

이때, 본 발명의 실시예를 설명하기 위한 도면에서는 액티브층(160), 오믹 접촉층(165) 및 데이터층(120, 140, 150)이 통상의 4-mask 공정 의해 형성된 것과 같은 일괄적인 패터닝 형태로 나타났으나, 이는 설명의 편의를 위한 일 예일 뿐이며, 이들이 3-mask 또는 5-mask 공정에 의해 형성된 것과 같은 다양한 어떠한 형태로 형성되더라도 상관없음에 대해서는 앞서 언급한 바와 같다.

이후, 드러난 상면을 완전히 덮도록 SiN_x 물질 등에 의해 패시베이션막(190)을 형성한다. 패시베이션막(190)은 CMP 등의 방법에 의해 상면이 평탄화 될 수 있다.

다음, 드레인 전극(150)이 노출되도록 패시베이션막(190)에 컨택홀(170)을 형성하고 ITO 등의 화소 전극(180)을 형성함으로써 박막 트랜지스터 기판의 제조가 완료된다.

화소 전극(180)은 컨택홀(170)을 통해 드레인 전극(150)과 전기적으로 접촉된다.

액티브층(160) 및 오믹 접촉층(165)의 구성은 통상의 액정표시장치용 박막 트랜지스터에 구비되는 액티브층(160) 및 오믹 접촉층(165)의 그것과 동일하므로 언급하지 않기로 한다.

상기와 같은 구성을 갖는 박막 트랜지스터 기판의 상부에는 이와 대향하는 컬러 필터 기판(도시되지 않음)이 위치되는데, 컬러 필터 기판에는 공통 전극과 컬러 필터 등이 형성된다. 두 기판의 사이 공간에 액정이 충전되고 봉지됨으로써 액정표시패널이 구성된다.

이의 동작을 간략히 설명하면 다음과 같다.

게이트 라인(110)을 통해 게이트 전극(130)에 게이트 신호가 인가되면 데이터 라인(120)에 인가된 데이터 신호가 오믹 접촉층(165) 및 액티브층(160)을 통해 소오스 전극(150)에서 드레인 전극(140)으로 전달됨으로써 동작한다.

즉, 소오스 전극(150)에 데이터 신호가 인가되면 소오스 전극(150)과 연결된 화소 전극(180)에 이와 대응되는 전압이 인가되는데, 이로 인해 화소 전극(180)과 공통 전극 사이에 전압차가 발생한다. 그리고, 화소 전극(180)과 공통 전극의 전압

차이로 인해 그 사이에 게재되어 있는 액정의 분자 배열이 변화되며, 액정의 분자 배열의 변화로 인해 화소의 광 투과량이 변하게 되어 각각의 화소별로 인가된 데이터 신호의 차에 따라 화소의 색상 차이가 발생된다. 이와 같은 색상의 차이를 이용하여 액정 표시 장치의 화면을 컨트롤 할 수 있게 된다.

소오스 전극(180)에 인가되는 데이터 신호는 데이터 구동부(도시되지 않음)로부터 제공되며, 게이트 전극(130)에 인가되는 게이트 신호는 게이트 구동부(도시되지 않음)로부터 제공된다.

게이트 구동부는 게이트 전극(130)을 활성화(Von) 또는 비활성화(Voff) 시키는 게이트 신호를 다수의 게이트 라인(110)에 순차적으로 제공한다. 그러면 데이터 구동부는 게이트 신호가 인가되는 타이밍에 맞추어 데이터 신호에 해당하는 계조 전압을 다수의 데이터 라인(120)에 제공한다. 데이터 구동부와 게이트 구동부 사이의 타이밍 동기화(synchronizing)는 별도로 구성된 그래픽 신호 제어기(도시되지 않음) 등에 의해 수행된다.

설명되지 않은 도면 부호 115는 게이트 라인(110)의 끝단에 형성된 게이트 패드이고, 도면 부호 117은 게이트 패드(115) 상에 형성된 컨택홀을 나타낸다.

도면 부호 125는 데이터 라인의 끝단에 형성된 데이터 패드이고, 도면 부호 127은 데이터 패드(125) 상에 형성된 컨택홀을 나타낸다.

도 2a 내지 도 2c는 도 1a 및 도 1b의 게이트층을 형성하는 과정을 나타낸 단면도들로서, 금속 이중막 구조를 갖는 게이트층을 리프트 오프 방식에 의해 형성하는 공정 순서도이다.

도 2a 내지 도 2c에 도시된 바와 같이, 본 발명의 일 실시예에 따른 박막 트랜지스터 기관에 적용되는 게이트층은, 먼저, 기관(210) 상에 패턴(225)이 형성된 포토 레지스트(PR)층(220)을 형성하는 단계로부터 시작된다.

이와 같이, 기관(210) 상에 패턴(225)이 형성된 포토 레지스트층(220)이 형성되면, 다음, 기관(210)의 전면에 게이트층을 구성하는 금속 물질을 순차적으로 적층한다.

도 2a 내지 도 2c에서는 게이트층이, 크롬 또는 이의 합금으로 이루어진 하부 레이어(230)와 알루미늄 또는 이의 합금으로 이루어진 상부 레이어(240)의 이중막 구조를 갖는 것으로 도시하였다. 그러나 본 발명이 이에 한정되지 아니함은 당연하다.

이때 게이트층을 구성하는 금속 물질의 적층은 패터닝 된 마스크 등을 이용하지 않는, 기관(210) 전면에 대한 도포 공정을 통해 이루어지므로 신속하고 용이하게 수행될 수 있으나, 그 결과 도포된 금속 물질이 패턴(225) 내에만 적층되지 아니하고 포토 레지스트층(220)의 상부 등에도 적층된다(235, 245).

다음 마지막으로, 리프트 오프 공정에 의해 패턴(225) 내부의 게이트층(230, 240)만을 남기고 모두 제거함으로써, 하부 레이어에 언더컷이 발생되지 않는 이중막 게이트층(230, 240)의 형성 공정이 완료된다.

리프트 오프 공정은, 유기 포토 레지스트 스트리퍼(organic PR stripper) 등의 물질이나, O₂ 플라즈마 또는 오존 등을 이용하는 다양한 방식에 의해 수행될 수 있으나 이에 한정되는 것은 아니며, 공지된 통상의 모든 리프트 오프 방식의 적용이 가능하다.

이상에서 설명한 본 발명의 도면과 실시예들에 있어서는 게이트층만이 리프트 오프 방식을 이용한 이중막의 구조를 갖는 것으로 설명되었다.

그렇지만 데이터층 등의 금속층 또한 이중막의 구조를 갖도록 형성 가능할 것이며, 그 경우, 연속적인 습식 식각 공정의 적용시 하부 데이터층에 발생될 수 있는 언더컷 등을 방지하기 위해 상기한 공정이 응용, 적용될 수 있음은 당업자에 있어 자명할 것이다.

이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해되어야만 한다.

발명의 효과

상기한 바와 같은 본 발명의 액정표시장치용 박막 트랜지스터 기관의 제조 방법에 따르면, 박막 트랜지스터의 게이트 배선과 같은 다층 금속층의 적층시 리프트 오프 공정을 사용하도록 하였다. 이에 따라 하부 금속층의 언더컷 현상 등을 방지할 수 있게 됨으로써, 결국, 액정표시장치의 가로줄 불량과 같은 화질 문제를 개선할 수 있게 되었다는 등의 장점이 있다.

도면의 간단한 설명

도 1a 및 도 1b는 본 발명의 일 실시예에 의해 제조된 박막 트랜지스터 기관을 나타낸 레이아웃도와 그 부분 단면도이다.

도 2a 내지 도 2c는 도 1a 및 도 1b의 게이트층을 형성하는 과정을 나타낸 단면도들이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 기관 110 : 게이트 라인

120 : 데이터 라인 130 : 게이트 전극

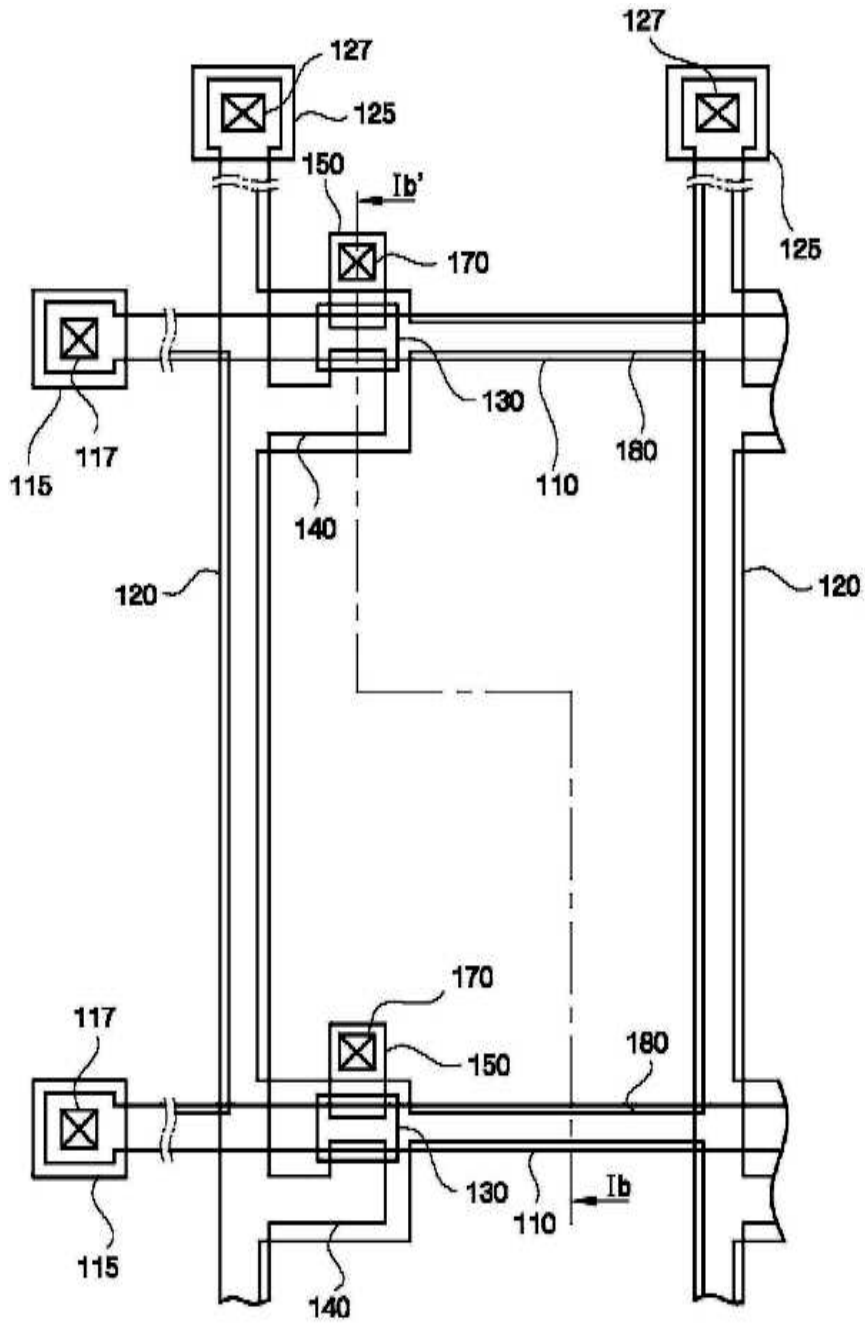
140 : 소오스 전극 150 : 드레인 전극

160 : 액티브층 170 : 컨택홀

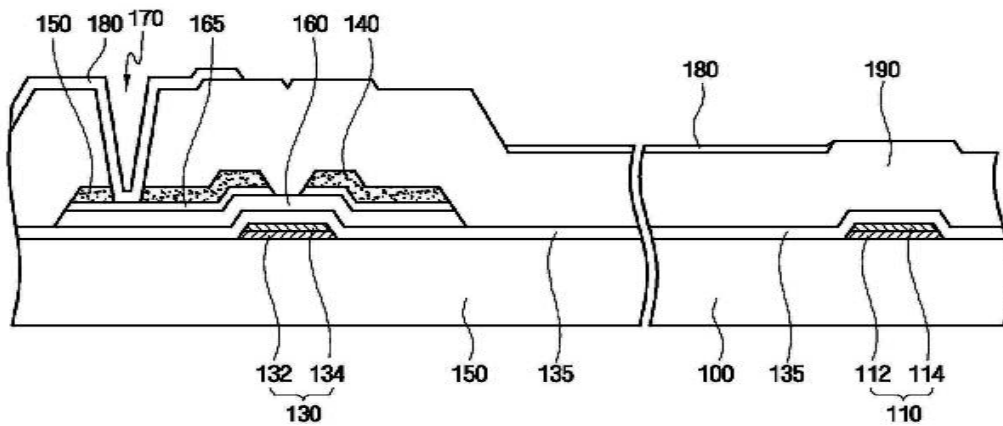
180 : 화소 전극

도면

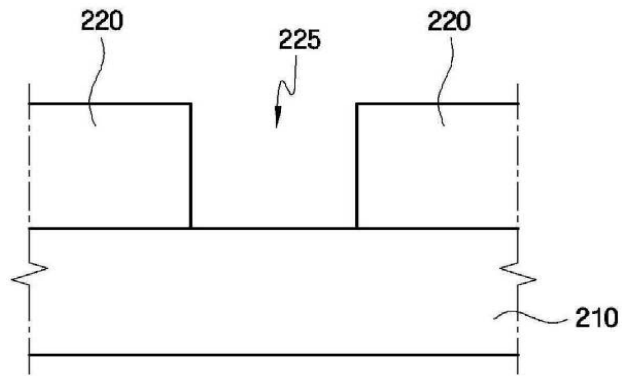
도면1a



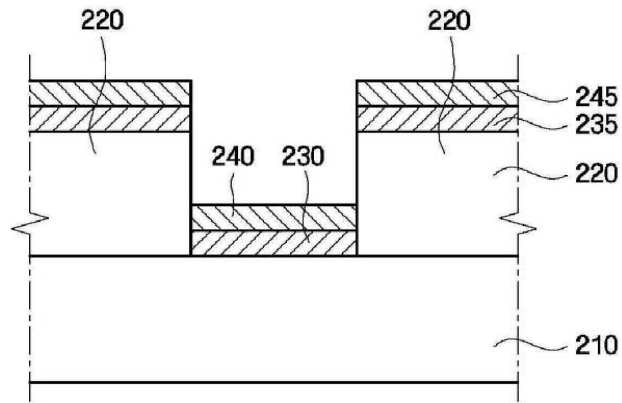
도면1b



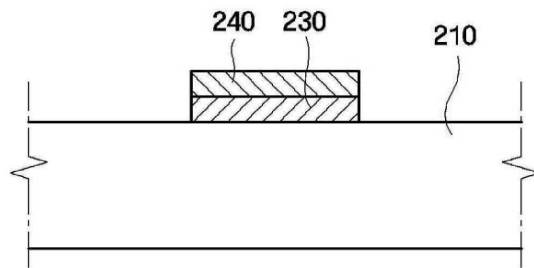
도면2a



도면2b



도면2c



专利名称(译)	制造用于液晶显示器的薄膜晶体管基板的方法		
公开(公告)号	KR1020070007629A	公开(公告)日	2007-01-16
申请号	KR1020050062374	申请日	2005-07-11
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	JEONG KI HUN 정기훈 LEE SEUNG KYU 이승규 YANG YONG HO 양용호 NA HYUNG DON 나형돈		
发明人	정기훈 이승규 양용호 나형돈		
IPC分类号	G02F1/136		
CPC分类号	H01L27/124 G02F1/13439 G02F1/136286 H01L27/1262		
代理人(译)	JEONG , SANG BIN		
外部链接	Espacenet		

摘要(译)

提供一种用于液晶显示器的薄膜晶体管基板的制造方法。根据本发明优选实施例的用于LCD的薄膜晶体管基板的制造方法包括形成形成薄膜晶体管的步骤的步骤，以便通过剥离成为具有多层膜结构的栅极线在与形成台阶的步骤连接的基板上的（剥离）模式，并且数据线与栅极线，栅极线和数据线交叉，并且像素电极与薄膜电接触晶体管。薄膜晶体管基板，剥离，栅极双膜，底切。

