

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G02F 1/136

(11) 공개번호 특2001-0050055  
(43) 공개일자 2001년06월15일

(21) 출원번호	10-2000-0046589
(22) 출원일자	2000년08월11일
(30) 우선권주장	99-295677 1999년10월18일 일본(JP)
(71) 출원인	후지쯔 가부시끼가이샤 아끼구사 나오유키
(72) 발명자	일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1 장홍용
(74) 대리인	일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쯔가부시끼가 이사내 문두현, 문기상

심사청구 : 없음

(54) 박막트랜지스터 및 그 제조방법과 그것을 구비한액정표시장치

요약

본 발명은 박막트랜지스터 및 그 제조방법과 그를 구비한 액정표시장치에 관한 것으로, 기생용량을 억제하고, 제조수율을 향상시킨 박막트랜지스터 및 그 제조방법과 그것을 구비한 액정표시장치를 제공하는 것을 목적으로 한다.

기판 상에 형성된 게이트 전극(4)과, 게이트 전극(4) 상에 형성된 게이트 절연막(6)과, 게이트 전극(4) 상의 게이트 절연막(6) 상에 형성된 동작 반도체막(8)과, 동작 반도체막 상에 형성된 채널 보호막(3)과, 채널 보호막(3)을 사이에 두고 동작 반도체막에 접속된 소스/드레인 전극(14, 15)을 구비한 바텀 게이트형의 박막트랜지스터(1)에 있어서, 채널 보호막(3)은 동작 반도체막(8)의 상부 계면에 접촉하는 제 1 절연층(10)과, 제 1 절연층 상에 형성된 제 2 절연층(11)을 갖도록 구성한다.

대표도

도 1

색인어

액정표시장치, 박막트랜지스터, TFT, LCD

명세서

도면의 간단한 설명

도 1 은 본 발명의 일 실시형태에 따른 박막트랜지스터의 기본 구조를 나타내는 도면.

도 2 는 본 발명의 일 실시형태에 따른 박막트랜지스터의 제조 공정에 있어서의 실시예 1 을 설명하는 도면.

도 3 은 본 발명의 일 실시형태에 따른 박막트랜지스터의 제조 공정에 있어서의 실시예 1 을 설명하는 도면.

도 4 는 본 발명의 일 실시형태에 따른 박막트랜지스터의 제조 공정에 있어서의 실시예 1 을 설명하는 도면.

도 5 는 본 발명의 일 실시형태에 따른 박막트랜지스터의 제조방법을 이용하여 제조한 액정표시 패널의 어레이(array) 기판에 있어서의 실시예 1 을 설명하는 도면.

도 6 은 본 발명의 일 실시형태에 따른 액정표시장치에 있어서의 실시예 1 의 변형예를 설명하는 도면.

도 7 은 본 발명의 일 실시형태에 따른 액정표시장치에 있어서의 실시예 1 의 변형예를 설명하는 도면.

도 8 은 본 발명의 일 실시형태에 따른 액정표시장치에 있어서의 실시예 1 의 다른 변형예를 설명하는 도면.

도 9 는 본 발명의 일 실시형태에 따른 박막트랜지스터의 제조 공정에 있어서의 실시예 2 를 설명하는 도면.

도 10 은 본 발명의 일 실시형태에 따른 박막트랜지스터의 제조 공정에 있어서의 실시예 2 를 설명하는

도면.

도 11 은 본 발명의 일 실시형태에 따른 박막트랜지스터의 제조 공정에 있어서의 실시예 2 를 설명하는 도면.

도 12 는 본 발명의 일 실시형태에 따른 박막트랜지스터의 제조 공정에 있어서의 실시예 2 를 설명하는 도면.

도 13 은 본 발명의 일 실시형태에 따른 액정표시장치에 있어서의 실시예 2 를 설명하는 도면.

도 14 는 본 발명의 일 실시형태에 따른 박막트랜지스터의 제조 공정에 있어서의 실시예 3 을 설명하는 도면.

도 15 는 본 발명의 일 실시형태에 따른 박막트랜지스터의 제조 공정에 있어서의 실시예 3 을 설명하는 도면.

도 16 은 본 발명의 일 실시형태에 따른 박막트랜지스터의 제조 공정에 있어서의 실시예 3 을 설명하는 도면.

도 17 은 본 발명의 일 실시형태에 따른 주변구동회로 및 그를 구비한 액정표시장치의 개략적인 구성을 나타내는 도면.

도 18 은 본 발명의 일 실시형태에 따른 주변구동회로에 있어서의 블록 순차(順次) 구동을 설명하는 도면.

도 19 는 본 발명의 일 실시형태에 따른 주변구동회로에 있어서의 블록 순차 구동의 타이밍차트를 나타내는 도면.

도 20 은 본 발명의 일 실시형태에 따른 주변구동회로 및 그를 구비한 액정표시장치의 일부 단면(斷面)을 나타내는 도면.

도 21 은 종래의 바텀(bottom) 게이트형 박막트랜지스터의 단면 구조를 나타내는 도면.

※ 도면의 주요부분에 대한 부호의 설명 ※

- |                          |                              |
|--------------------------|------------------------------|
| 1, 100 : 박막트랜지스터         | 2, 102 : 유리기판                |
| 3, 110 : 채널 보호막          | 4, 5, 104 : 게이트 전극(게이트 배선)   |
| 6, 106 : 게이트 절연막         | 8, 108 : 동작 반도체층             |
| 9, 47 : 절연막              | 10 : 제 1 절연층                 |
| 11 : 제 2 절연층             | 12 : n <sup>+</sup> 불순물 반도체층 |
| 13 : Ti/Al-Si/Ti층        | 14, 114 : 소스 전극              |
| 15, 115 : 드레인 전극         | 16, 40 : 층간절연막               |
| 18, 28, 42: 콘택트 홀        | 20 : 화소 전극                   |
| 21 : 공통 전극               | 22 : 데이터 배선                  |
| 23 : 화소 영역               | 24 : 축적용량 배선                 |
| 26 : 축적용량 전극             | 30, 32 : 수지 스페이서막(spacer膜)   |
| 43 : 액시머 레이저 광           | 45 : 폴리실리콘(p-Si)막            |
| 48 : LDD 영역              | 50 : n <sup>-</sup> 불순물      |
| 52 : 레지스트층               | 54 : p <sup>+</sup> 형 반도체층   |
| 56 : 어레이(array) 기판       | 57 : 대향기판                    |
| 59 : 데이터측 주변회로           | 60 : 게이트측 주변회로               |
| 61 : 표시 영역               | 62 : 데이터 드라이버                |
| 63 : 시프트 레지스터            | 65 : 디지털 드라이버 LSI            |
| 67 : CMOS형 TFT 아날로그 스위치부 | 68 : 트랜스퍼(transfer)          |
| 72 : 컬러필터                | 76, 82 : 평탄화막                |
| 77 : 실(seal)             | 84 : 차광막                     |
| 86 : 액정                  |                              |

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 박막트랜지스터 및 그의 제조방법 및 그것을 구비한 액정표시장치에 관한 것이다.

액티브 매트릭스형 액정표시장치에 사용되는 스위칭 소자의 하나로서 박막트랜지스터(TFT)가 있다. 박막트랜지스터의 구조는 게이트 전극이 소스/드레인 전극보다 유리기판 측에 형성된 이른바 바텀(bottom) 게이트형의 역(逆)스태거형 구조와, 소스/드레인 전극이 게이트 전극보다 유리기판 측에 형성된 이른바 탑(top) 게이트형의 스태거형 또는 평면(planar)형 구조 등으로 크게 구분된다. 이 중에서 바텀 게이트형의 박막트랜지스터는 다시 2개의 구조로 나뉜다. 하나는 채널부를 형성하는 동작 반도체막 상에 채널 보호막을 형성한 구조이고, 다른 하나는 채널 보호막이 존재하지 않으며 채널부를 형성하는 동작 반도체막 상층이 일부 에칭된 구조이다.

채널 보호막을 구비한 종래의 바텀 게이트형 박막트랜지스터의 단면(斷面) 구조를 도 21을 이용하여 설명한다. 박막트랜지스터(100)는 유리기판(102) 상에 형성된 바텀형 게이트 전극(104)을 갖고 있다. 게이트 전극(104) 및 유리기판(100) 상에 SiNx(질화실리콘)으로 이루어진 게이트 절연막(106)이 형성되어 있다. 게이트 절연막(106) 상에는, 예를 들어, 아모르퍼스 실리콘(a-Si:H;이하, a-Si라고 약기(略記)한다)으로 이루어진 동작 반도체층(108)이 형성되고, 게이트 전극(104) 상의 동작 반도체층(108) 상에 SiNx으로 이루어진 채널 보호막(110)이 형성되어 있다. 대향하는 엠티부를 채널 보호막(110) 상에 위치시켜 불순물 반도체층(오믹(ohmic) 반도체층)(112) 및 소스/드레인 전극(114, 115)이 형성되어 있다. 게이트 절연막(106)으로부터 채널 보호막(110)까지의 성막(成膜)은 플라즈마 CVD법(PCVD법)에 의해 연속적으로 형성되어 있다. 소스/드레인 전극(114, 115) 상 및 소스/드레인 전극(114, 115)의 대향하는 엠티부에 노출된 채널 보호막(110) 상에 층간절연막(116)이 형성되어 있다. 소스 전극(114) 상의 층간절연막(116)에 콘택트 홀이 형성되고, 층간절연막(116) 상에 형성된 화소 전극(118)이 소스 전극(114)과 접속되어 있다.

무기계(無機系) 절연막을 패터닝하여 채널 보호막(110)을 형성할 때, 유리기판(102) 뒷면(도 21의 아래쪽) 측으로부터 뒷면 노광(露光)시킨다. 이것에 의해, 게이트 전극(104)을 마스크로 하여 자기정합적으로 채널 보호막(110)이 형성된다.

전면(全面)에 형성된 금속층으로부터 소스 전극(114)과 드레인 전극(115)을 패터닝할 때, 포토리소그래피에서의 마스크 패턴의 위치결정 오차를 고려하여 채널 보호막(110) 상의 소스 전극(114)과 드레인 전극(115)을 분리하고 있다. 따라서, 소스/드레인 전극(114, 115)의 엠티부는 각각 게이트 전극(104)에 대하여 도면 중의 ΔL로 표시된 중첩 영역을 갖고 채널 보호막(110) 상에 위치되어 대향하는 구조로 된다.

다음으로, 박막트랜지스터의 동작 원리에 대해서 간단하게 설명한다. 예를 들어, n<sup>+</sup>형 오믹 반도체층(112)을 갖는 n형 박막트랜지스터의 경우, 게이트 전극(104)에 플러스 극성(極性)의 전압을 인가하면, 동작 반도체층(108)의 채널 영역이 낮은 저항의 "온(on)" 상태로 되고, 게이트 전극(104)에 마이너스 극성의 전압을 인가하면, 채널 영역이 높은 저항의 "오프(off)" 상태로 된다.

이에 대하여, p<sup>+</sup>형 오믹 반도체층(112)을 갖는 p형 박막트랜지스터의 경우, 게이트 전극(104)에 마이너스 극성의 전압을 인가하면, 채널 영역이 낮은 저항의 "온" 상태로 되고, 게이트 전극(104)에 플러스 극성의 전압을 인가하면, 채널 영역이 높은 저항의 "오프" 상태로 된다. 이와 같이, 게이트 전극(104)에 소정 전압을 인가함으로써 박막트랜지스터의 도통(conduction)("온") 상태와 차단("오프") 상태를 제어할 수 있다.

그런데, 채널 보호막(110)이 형성된 종래의 바텀 게이트형 박막트랜지스터는, 상술한 바와 같이, 소스/드레인 전극(114, 115)이 채널 영역(또는 게이트 전극 영역)에 중첩(중첩 길이:ΔL)되어 있기 때문에, 소스/드레인 전극(114, 115)과, 채널 보호막(110), 동작 반도체막(108)에서 용량이 형성되어 불필요한 기생용량(Cp = (ε<sub>0</sub> ε<sub>s</sub>/t<sub>s</sub>) × W × ΔL)이 발생된다. 기생용량(Cp)은 중첩 길이(ΔL), 중첩 폭(W), 채널 보호막(110)의 비유전율(ε<sub>s</sub>), 채널 보호막(110)의 막 두께(t<sub>s</sub>)의 역수(逆數)에 비례한다. 또한, ε<sub>0</sub>는 진공유전률이다.

이 박막트랜지스터를 스위칭 소자로서 사용한 액티브 매트릭스형 액정표시장치에서는, 기생용량(Cp)에 기인한 필드스루(field-through) 전압(관통 전압)에 의해 화소 실효(實效) 전압이 저하되어, 플리커(flicker) 표시, 콘트라스트(contrast) 저하 등의 화질 열화(劣化)가 발생하게 된다는 문제를 갖고 있다.

채널 보호막(110) 상의 금속층을 패터닝하여 소스/드레인 전극(114, 115)을 분리시키는 공정에서는, RIE(반응성 이온 에칭)를 사용하여 채널 보호막(SiNx막)(110) 상에 슬릿(slit)을 형성한다. 따라서, 채널 보호막(110)의 SiNx막에 이온 충격에 의한 막 중 트랩 준위(準位) 등의 영구적 파손이 발생되고, 박막트랜지스터의 전기특성 또는 장기 신뢰성을 저하시킬 가능성이 있기 때문에, 제조수율을 향상시키는 데 장애로 된다.

**발명이 이루고자하는 기술적 과제**

본 발명의 목적은, 채널 보호막이 형성된 바텀 게이트형의 박막트랜지스터로서, 기생용량을 억제하고, 제조수율을 향상시킨 박막트랜지스터 및 그의 제조방법 및 그것을 구비한 액정표시장치를 제공함에 있다.

상기 목적은 기판 상에 형성된 게이트 전극과, 상기 게이트 전극 상에 형성된 게이트 절연막과, 상기 게이트 전극 상의 상기 게이트 절연막 상에 형성된 동작 반도체막과, 상기 동작 반도체막 상에 형성된 채널

널 보호막과, 상기 채널 보호막을 사이에 두고 상기 동작 반도체막에 접속된 소스/드레인 전극을 구비한 바텀 게이트형의 박막트랜지스터에 있어서, 상기 채널 보호막은 상기 동작 반도체막의 상부 계면(界面)에 접촉하는 제 1 절연층과, 상기 제 1 절연층 상에 형성된 제 2 절연층을 갖고 있는 것을 특징으로 하는 박막트랜지스터에 의해 달성된다.

상기 본 발명의 박막트랜지스터에 있어서, 상기 제 1 절연층은 무기계 절연 재료로 형성되고, 상기 제 2 절연층은 유기계 절연 재료로 형성되어 있는 것을 특징으로 한다. 또는, 상기 제 1 절연층은 무기계 절연 재료로 형성되고, 상기 제 2 절연층은 상기 무기계 절연 재료와 상이한 무기계 절연 재료로 형성되어 있는 것을 특징으로 한다.

또한, 상기 목적은 기판 상에 게이트 전극을 형성하고, 상기 게이트 전극 상에 게이트 절연막을 형성하고, 상기 게이트 전극 상의 게이트 절연막 상에 동작 반도체막을 형성하고, 상기 동작 반도체막 상에 채널 보호막을 형성하고, 상기 채널 보호막을 사이에 두고 상기 동작 반도체막에 접속되는 소스/드레인 전극을 형성하는 바텀 게이트형 박막트랜지스터의 제조방법에 있어서, 상기 채널 보호막은 상기 동작 반도체막의 상부 계면에 접촉하는 제 1 절연층과, 상기 제 1 절연층 상의 제 2 절연층을 적층시켜 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법에 의해 달성된다.

게다가, 상기 목적은 기판 상에 형성된 복수의 게이트 배선과, 상기 게이트 배선에 대략 직교하여 배치된 복수의 데이터 배선으로 획정(劃定)된 복수의 화소 영역마다 스위칭 소자가 형성된 액티브 매트릭스형 액정표시장치에 있어서, 상기 스위칭 소자로서 상기 중의 어느 하나의 박막트랜지스터가 사용되어 있는 것을 특징으로 하는 액정표시장치에 의해 달성된다.

### 발명의 구성 및 작용

본 발명의 일 실시형태에 따른 박막트랜지스터 및 그의 제조방법 및 그것을 구비한 액정표시장치를 도 1 내지 도 20을 이용하여 설명한다. 먼저, 본 실시형태에 따른 박막트랜지스터의 기본 구조에 대해서도 1을 이용하여 설명한다. 도 1은 본 실시형태에 따른 채널 보호막을 구비한 바텀 게이트형 박막트랜지스터를 나타낸다. 도 1a는 박막트랜지스터의 등가회로를 나타내고, 도 1b는 박막트랜지스터의 평면도, 도 1c는 도 1b의 A-A'선으로 절단한 단면도이다.

박막트랜지스터(1)는 유리기판(2) 상에 형성된, 예를 들어, 두께 150nm의 Cr 박막으로 이루어진 바텀형 게이트 전극(4)을 갖고 있다. 게이트 전극(4) 및 유리기판(1) 상에는, 예를 들어, 두께 350nm 정도의 SiNx로 이루어진 게이트 절연막(6)이 형성되어 있다. 게이트 절연막(6) 상에는, 예를 들어, 30nm 정도의 a-Si로 이루어진 동작 반도체층(8)이 형성되고, 게이트 전극(4) 상의 동작 반도체층(8) 상에 두께 200nm 정도의 SiNx로 이루어진 제 1 절연층(10)이 형성되어 있다. 제 1 절연층(10) 상에는 제 2 절연층(11)이 형성되어 있다. 제 2 절연층(11)은 아크릴 수지 또는 폴리이미드 등의 유기계 수지 절연막 또는 SiNx 나 SiOx 등의 무기계 절연막을 두께 1.5 $\mu$ m 정도로 적층시켜 형성된다. 제 1 절연층(10)과 제 2 절연층(11)에 의해 2층 구조의 채널 보호막(3)이 구성된다.

이 제 2 절연막(11)의 비유전율( $\epsilon_2$ )이 제 1 절연층(10)의 비유전율( $\epsilon_1$ )과 거의 동일하거나 그보다 작아지도록, 제 2 절연층(11)의 형성 재료가 선정된다. 또한, 제 2 절연층(11)의 막 두께( $t_2$ )는 제 1 절연층(10)의 막 두께( $t_1$ )와 거의 동일하거나 그보다 두껍게(예를 들어, 2배 이상) 형성되어 있다. 또한, 제 2 절연층(11)은 제 1 절연층(10) 상층에서 제 1 절연층(10)과 거의 동일한 패턴으로 형성되어 있다.

이 제 2 절연층(11) 상에 대향하는 엷지부를 위치시켜 불순물 반도체층(오믹 반도체층)(12) 및 소스/드레인 전극(14, 15)이 형성되어 있다. 게이트 절연막(6)으로부터 제 2 절연층(11)까지는 PCVD법에 의해 연속적으로 성막되어 있다.

도시한 바와 같이, 채널 길이(L)에 대하여 소스/드레인 전극(14, 15)의 엷지부는 각각 도면 중의 Lgs, Lgd로 표시된 중첩 영역을 갖고 제 2 절연층(11) 상에 위치시켜 대향하는 구조로 되어 있다. 따라서, 도 1a에 나타난 바와 같이, 게이트(G)와 소스(S) 사이의 기생용량(Cgs)은 중첩용량( $C_p = (\epsilon_0 \epsilon_s / t_s) \times W \times L_{gs}$ )으로 표시된다. 다만, W는 채널 폭이다. 한편, 게이트(G)와 드레인(D) 사이의 기생용량(Cgd)은 중첩용량( $C_p = (\epsilon_0 \epsilon_s / t_s) \times W \times L_{gd}$ )으로 표시된다.

상술한 구성에 있어서, 본 실시형태에 따른 박막트랜지스터(1)는 채널 보호막(3)이 2층 구조로 되어 있는 점에 특징을 갖고 있다. 보다 구체적으로는, 종래의 채널 보호막이 무기계 단층막인 것에 대하여, 무기계 하층 절연막의 제 1 절연층(10)과 유기계 상층 절연막의 제 2 절연층(11)으로 이루어진 2층 절연막의 구조로 되어 있다.

이와 같이 SiNx막을 비롯한 무기계 하층 절연막을 사용함으로써, 성막 시에 하지의 a-Si층에 손상을 주지 않으며, 또한 하지층의 a-Si층과 우수한 밀착성을 얻을 수 있다. 한편, 유기계 상층 절연막을 사용함으로써, 두꺼운 막의 성막이 곤란한 무기계 절연막을 사용할 필요가 없으며, 무기계 절연막보다 비유전율이 낮은 두꺼운 막을 용이하게 형성할 수 있게 된다. 따라서, 이러한 2층 구조의 채널 보호막은 제조가 용이하고 비용에서도 장점을 갖고 있다. 또한, 하지층과 잘맞는 무기계 절연막을 성막한 후, 무기계 상층 절연막을 형성하도록 할 수도 있다. 그때, 무기계 상층 절연막은 비유전율이 하층의 절연막보다 가능한 한 작으며, 또 가능한 한 두꺼운 막이 형성되기 쉬운 재료를 선택할 필요가 있다.

제 1 절연층(10) 및 제 2 절연층(11)을, 무기계 하층 절연막의 제 1 절연층(10)과, 그보다 낮은 비유전율을 갖고, 그보다 두꺼운 막 두께를 갖는 유기계 상층 절연막의 제 2 절연층(11)과 같은 순서로 적층시킴으로써, 소스와 게이트 사이, 드레인과 게이트 사이의 각 기생용량(Cp)을 현저하게 작게 할 수 있다.

그 결과, 기생용량(Cp)에 따른 필드스루 전압을 낮출 수 있다. 액정표시장치의 스위칭 소자로서 본 실

시형태의 박막트랜지스터를 사용한 경우, 화소 실패 전압의 저하가 개선되기 때문에, 플리커 표시, 콘트라스트 저하 등을 방지할 수 있다. 게다가, 두꺼운 유기계 절연막(제 2 절연층(11))을 스페이서로서 제 1 절연층(10)의 상층에 설치함으로써, 소스/드레인 전극(14, 15)의 분리 공정에서의 RIE 시에 있어서, 제 1 절연층(10)의 SiNx막 면에 이온 충격에 의한 플라즈마 손상을 주지 않기 때문에, 박막트랜지스터의 전기특성 또는 장기신뢰성을 향상시켜 제조수율을 향상시킬 수 있게 된다. 이하, 본 실시형태에 대해서 구체적인 실시예를 이용하여 설명한다.

[실시예 1]

실시예 1은 a-Si을 동작 반도체막에 사용한 박막트랜지스터에 본 실시형태를 적용시킨 예이다. 먼저, 도 2 내지 도 4를 이용하여 박막트랜지스터의 제조 공정에 대해서 설명한다.

도 2a에 나타난 바와 같이, 절연성 기판으로서, 예를 들어, 코닝사(社) #1737의 유리기판(2)을 사용한다. 해당 유리기판(2) 상에 크롬(Cr) 박막을 막 두께가 100~300nm, 바람직하게는 150nm로 될 때까지 스퍼터링에 의해 성막시킨다. 또한, Cr 대신에 탄탈륨(Ta), 몰리브덴(Mo), 알루미늄(Al) 합금 등을 사용할 수도 있다. 이어서, 통상의 포토리소그래피 공정에 의해 전면에 레지스트를 도포하여 패터닝하고, 레지스트 패턴을 마스크로 하여 습식 에칭에 의해 Cr 박막을 에칭하여 게이트 전극(4)을 형성한다.

이어서, 도 2b에 나타난 바와 같이, PECVD법을 사용하여, 예를 들어, SiNx막을 두께 200~500nm, 바람직하게는 350nm 정도로 성막하여 게이트 절연막(6)을 형성한다. 이어서, 동작 반도체막을 형성하기 위한 a-Si막(8)을 두께 20~100nm, 바람직하게는 30nm 정도로 형성한다. 이어서, 제 1 절연층(10)을 형성하기 위해, 예를 들어, SiNx막을 100~300nm, 바람직하게는 200nm 두께로 형성한 절연막(9)을 성막한다. 게이트 절연막(6)으로부터 절연막(9)까지의 성막은 PECVD법에 의해 연속적으로 실행된다.

다음으로, 도 2c에 나타난 바와 같이, 두께 1.0~2.5 $\mu$ m, 바람직하게는 1.5 $\mu$ m의 포지티브(positive)형 포토레지스트를 전면에 도포하고, 프리베이크 공정을 거치고 나서, 뒷면 노광과 정면 노광을 조합시켜 제 2 절연층의 패턴을 형성한다. 뒷면 노광(120)에 의해 자기정합적으로 게이트 전극(4) 상을 따라 잔류(殘留) 레지스트 영역이 얻어지고, 이어서 정면으로부터의 포토리소그래피 공정에 의해 게이트 전극(4)에 따른 방향의 원하는 범위 이외의 포토레지스트를 제거하여 제 2 절연층(11)이 형성된다. 레지스트 대신에 감광성(感光性) 유기막(폴리이미드, 아크릴 등)을 사용할 수도 있다.

다음으로, 도 2d에 나타난 바와 같이, 온도 150~250 $^{\circ}$ C, 바람직하게는 180 $^{\circ}$ C 정도에서 포스트베이크를 행하고, RIE에 의해 a-Si막(8) 상의 SiNx의 절연막(9)을 선택적으로 건식 에칭함으로써 제 1 절연층(10)을 형성하여, 제 1 절연층(10)과 제 2 절연층(11)과의 2층 구조의 채널 보호막(3)이 형성된다.

다음으로, 도 3a에 나타난 바와 같이, PECVD법을 사용하여 막 두께 10~50nm, 바람직하게는 30nm 정도의 n<sup>+</sup> 불순물 반도체층(12)을 형성하고, 이어서 스퍼터링에 의해 소스/드레인 전극층을 형성하기 위한 Ti/Al-Si/Ti층(막 두께 100/200/100nm)(13)을 형성한다.

다음으로, 도 3b에 나타난 바와 같이, 염소계 가스를 사용한 RIE에 의해, Ti/Al-Si/Ti층(13)과 n<sup>+</sup> 불순물 반도체층(12)을 에칭하여 소스/드레인 전극(14, 15)을 형성한다. 이때, 에칭 스톱퍼로서 기능하는 것은 레지스트막인 제 2 절연층(11)이다.

다음으로, 도 3c에 나타난 바와 같이, PECVD법에 의해 두께 100~500nm, 바람직하게는 300nm 정도의 SiNx 층간절연막(16)을 성막한다.

이어서, 도 4a에 나타난 바와 같이, 통상의 포토리소그래피 공정과 RIE 공정에 의해 소스 전극(14) 상의 층간절연막(16)에 콘택트 홀(18)을 형성한다.

다음으로, 도 4b에 나타난 바와 같이, 투명 전극인 ITO(Indium Tin Oxide)막을 두께 50~100nm, 바람직하게는 70nm 정도로 스퍼터링에 의해 성장시킨다. 이어서, 통상의 포토리소그래피 공정과 습식 에칭 공정에 의해 ITO막을 패터닝하여 화소 전극(20)을 형성한다. 그후, 200~300 $^{\circ}$ C의 N<sub>2</sub> 분위기 중에서 60분간의 어닐링 처리를 행하여 어레이 기판의 제조 공정이 종료된다.

도 5는 본 실시예에 따른 박막트랜지스터의 제조방법을 사용하여 제조한 액정표시 패널의 어레이 기판의 개략적인 구조를 나타낸다. 도 5a는 본 실시예에 따른 액정표시장치의 등가회로를 나타내고, 도 5b는 어레이 기판을 기판 면으로 향하여 본 1화소부의 개략적인 구조를 나타낸다. 도 5a에 나타난 바와 같이, 본 실시예에 따른 액정표시장치는 등가회로적으로는 종래의 액정표시장치와 상이한 점이 없다. 즉, 복수의 게이트 배선(4)과, 그와 직교하는 복수의 데이터 배선(22)으로 확정되는 영역에 화소 영역(23)이 형성되어 있다. 화소 영역(23)에는 박막트랜지스터(1)가 형성되고, 그 게이트 전극은 게이트 배선(4)에 접속되고, 드레인 전극(15)은 데이터 배선(22)에 접속되며, 소스 전극(14)은 화소 전극(20)에 접속되어 있다. 대향기판(도시 생략) 측에 형성된 공통 전극(21)과의 사이에 끼워진 액정에 의해 액정용량(C<sub>ic</sub>)이 형성되고, 뒤에서 도 5b를 이용하여 설명할 축적용량배선(24)에 의해 축적용량(C<sub>s</sub>)이 형성되어 있다.

다음으로, 도 5a 및 도 5b를 이용하여 설명하면, 유리기판(2) 상에는 복수의 게이트 배선(4)이 형성되어 있다. 또한, 게이트 배선(4)과 직교하는 방향으로 복수의 데이터 배선(22)이 형성되어 있다. 게이트 배선(4)과 데이터 배선(22)으로 확정된 화소 영역(23)에 박막트랜지스터(1)가 형성되어 있다. 도 5b에 나타난 바와 같이, 본 실시형태에 따른 박막트랜지스터(1)의 게이트 전극은 게이트 배선(4)으로부터 인출되어 형성되어 있지 않고, 직선형상으로 배선된 게이트 배선(4)의 일부를 게이트 전극으로서 사용하는 구성으로 되어 있다. 또한, 도 5b로부터도 명확히 알 수 있듯이, 제 1 절연층(10) 상의 제 2 절연층(11) 상에 엠티부를 위치시켜 대향하는 소스/드레인 전극(14, 15)은 게이트 전극(4)과 평면방향으로부터 보아 중첩 영역이 반드시 형성되게 된다.

화소 영역(23) 내에는 박막트랜지스터(1)의 소스 전극(14)과 콘택트 홀(18)을 통하여 접속되는 화소 전극(20)(도면 중의 점선으로 나타낸다)이 형성되어 있다. 또한, 게이트 배선(4)과 평행으로 화소 영역(23) 내를 횡단하여 축적용량 배선(24)이 형성되어 있다. 또한, 화소 영역(23)마다 축적용량 배선(24)과 게이트 절연막(6)(도 5에는 도시되어 있지 않다)을 통하여 대향하는 축적용량 전극(26)이 형성되고, 이 축적용량 전극(26)은 콘택트 홀(28)을 통하여 화소 전극(20)과 접속되어 있다.

또한, 게이트 배선(4)과 데이터 배선(22)과의 교차부에는, 제 2 절연층(11)을 형성할 때의 패터닝에 의해 동시에 형성된 수지 스페이서막(30)이 형성되어 있다. 또한, 축적용량 배선(24)과 데이터 배선과의 교차부에도, 제 2 절연층(11)을 형성할 때의 패터닝에 의해 동시에 형성된 수지 스페이서막(32)이 형성되어 있다. 이들 수지 스페이서막(30, 32)에 의해 교차하는 배선부의 배선 용량을 저감시킬 수 있도록 되어 있다.

다음으로, 본 실시예에 의해 형성된 박막트랜지스터의 기생용량(Cp)(Cgs, Cgd)이 종래에 비하여 대폭으로 저감되는 것을, 이하, Cgs 측의 기생용량(Cp)에 대해서 설명한다. 제 1 절연층(10)으로 형성되는 기생용량을 C1, 제 2 절연층(11)으로 형성되는 기생용량을 C2라고 하면, 이들 용량은 직렬 접속이라고 간주할 수 있기 때문에,

$$C_p = C_1 C_2 / (C_1 + C_2) \quad \dots \text{식(1)}$$

로 된다.

또한, 상술한 중첩용량(Cp)을 구하는 식에 의거하여,

$$C_1 = (\epsilon_0 \epsilon_1 / t_1) \times W \times L_{gs} \quad \dots \text{식(2)}$$

$$C_2 = (\epsilon_0 \epsilon_2 / t_2) \times W \times L_{gs} \quad \dots \text{식(3)}$$

으로 된다. 여기서,  $L_{gs}=2\mu\text{m}$ ,  $W=30\text{nm}$ , 제 1 절연층(10)의 막 두께를 200nm(비유전율 7.0), 제 2 절연층(11)의 막 두께를 105nm(비유전율 3.2)로 하고, 이들 값을 식(2) 및 식(3)에 대입하고, 그 결과를 식(1)에 대입하여 계산하면, 중첩 기생용량(Cp)(게이트와 소스 사이 측)은  $C_p=1.04\text{fF}$ 로 된다. 이와 동일하게 하여, 제 1 절연층(10)만이 형성된 종래의 박막트랜지스터의 중첩 기생용량(Cp)을 계산하면,  $C_p=18.6\text{fF}$ 이고, 이로부터 본 실시예에 의해 Cp를 대폭으로 감소시킬 수 있음을 알 수 있다. 또한, 게이트와 드레인 사이 측에 대해서도 동일하게 하여 Cp를 대폭으로 감소시킬 수 있게 된다.

그 결과, 화소용량(액정용량(Clc)과 축적용량(Cs))이 600fF이고 게이트 전압이 25V일 경우, 종래에 752mV 정도였던 필드스루 전압을 46mV 정도까지 대폭으로 저감시킬 수 있게 된다. 또한, 이와 동일하게 하여, 게이트 배선과 데이터 배선과의 교차부에 있어서의 기생용량도 감소시킬 수 있기 때문에, 게이트 배선 및 데이터 배선을 구동시키는 구동 소자의 부하를 대폭으로 저감시킬 수 있게 된다.

다음으로, 본 실시예 1에 나타난 액정표시장치 변형예를 도 6 및 도 7을 이용하여 설명한다. 본 변형예에 따른 액정표시장치의 제조 공정은, 본 실시예 1에 있어서 도 2 내지 도 4를 이용하여 설명한 제조 공정 중의 도 2a~도 2d, 도 3a, 도 3b에 나타난 공정까지는 동일하다. 따라서, 도 3c, 도 4a, 도 4b 대신에 도 6a 내지 도 6c를 이용하여 그의 특징점에 대해서 설명한다. 또한, 실시예 1과 동일한 구성요소에는 동일한 부호를 첨부하여 그의 설명을 생략한다.

먼저, 도 6a에 나타난 바와 같이, 유리기판(2) 상에 게이트 전극(4)이 형성되고, 유리기판(2) 및 게이트 전극(4) 상에 게이트 절연막(6)이 형성되어 있다. 게이트 전극(4) 상의 게이트 절연막(6) 상층에 채널이 형성되는 동작 반도체층(8)이 형성되고, 채널 형성층의 상층에 제 1 절연층(10)이 형성되어 있다. 제 1 절연층(10) 상에는 제 2 절연층(11)이 형성되고, 제 2 절연층(11) 상부에는 엷지부를 위치시켜 대향하는 오믹 콘택트층(12)과 소스 전극(14) 및 드레인 전극(15)이 형성되어 있다. 그리고, 전면에 형성된 층간절연막(40)으로서, 실시예 1의 SiNx막 대신에 수지계 평탄화막을 사용한다. 구체적으로는, 두께 1.0~5.0μm(바람직하게는 2μm) 정도의 아크릴 수지를 층간절연막(40)으로서 기판 상에 도포한다. 수지계 평탄화막으로서 아크릴계 수지 이외에 폴리이미드를 사용할 수 있다. 또한, 수지계는 아니지만 OSG를 평탄화막으로서 사용하는 것도 가능하다.

이어서, 통상의 포토리소그래피 공정과 RIE 공정에 의해, 도 6b에 나타난 바와 같이, 소스 전극(14) 상에 콘택트 홀(42)을 형성한다. 또한, 평탄화막에 감광성 수지 재료를 사용한 경우는, 포토리소그래피 공정에 있어서의 레지스트 도포와 RIE 공정은 불필요해진다.

다음으로, 도 6c에 나타난 바와 같이, 두께 50~100nm(바람직하게는 70nm)의 IT0막을 스퍼터링에 의해 성막하고 나서, 통상의 포토리소그래피 공정과 습식 에칭 공정에 의해 화소 전극(20)을 형성한다. 그 후, 200~300°C의 N<sub>2</sub> 분위기 중에서 약 60분간 어닐링 처리하여, TFT 기판의 제조 공정이 종료된다.

도 6에 나타난 공정을 이용하여 형성된 액정표시 패널의 화소 평면도를 도 7을 이용하여 설명한다. 이 액정표시 패널은 층간절연막이 두껍기 때문에, 게이트 배선(4) 및 데이터 배선(22) 상에 표시 전극(20)의 엷지부를 중첩시켜도 배선 용량이 문제로 되지는 않는다. 따라서, 도시한 바와 같이, 통상 대기기관 측에 형성되는 BM(블랙 매트릭스)층(차광층) 대신에 TFT 기판 측의 게이트 배선(4) 및 데이터 배선(22)을 BM으로서 사용하고(이른바 "BM 온(on) TFT" 구조이다), 화소 영역을 확정하는 게이트 배선(4) 및 데이터 배선(22) 상에 표시 전극(20)의 엷지부를 중첩시킴으로써, 개구율을 대폭으로 향상시킬 수 있게 된다.

도 6 및 도 7에 나타난 변형예는 반사형의 액정표시 패널에도 적용시킬 수 있다. 도 6에 나타난 IT0 등의 투명 전극 재료로 이루어진 표시 전극(20)을 Al(알루미늄) 등을 이용한 반사형 전극으로 변경시킬 경우, 상술한 제조 공정과 거의 동일한 공정에 의해 반사형 액정표시 패널을 제조할 수 있다.

다음으로, 본 실시예 1에 나타난 액정표시장치의 다른 변형예에 대해서 도 8을 이용하여 설명한다. 또

한, 실시예 1과 동일한 구성요소에는 동일한 부호를 첨부하여 그의 설명을 생략한다. 실시예 1에서는 SiNx의 제 1 절연층(10) 상에 유기계 상층 절연막의 제 2 절연층(11)을 형성하고 있는 것에 대하여, 본 변형예에 따른 액정표시장치에서는, 유기계 상층 절연막 대신에 무기계 상층 절연막으로서 SiO<sub>2</sub>막을 사용한 제 2 절연층(11)을 형성한 점에 특징으로 갖고 있다.

SiNx막의 비유전율 7~9에 비하여 SiO<sub>2</sub>막의 비유전율은 3.8~4.2로 낮기 때문에, 유기계 상층 절연막 대신에 무기계 상층 절연막으로서 두꺼운 SiO<sub>2</sub>막(막 두께 1.0~1.5 $\mu$ m 정도)을 사용할 수 있다. 본 변형예에 따른 액정표시장치의 제조 공정에서는, PECVD법에 의해 SiNx/SiO<sub>2</sub>막을 연속적으로 성막하여 2층 구조의 채널 보호막(3)을 형성할 수 있기 때문에, 제조 프로세스를 간략화할 수 있다. 도시는 생략하지만, 뒷면 노광과 정면 노광을 조합시킨 포토리소그래피 공정에 의해 채널 상에 레지스트 패턴을 형성한 후, 습식 에칭에 의해 불필요한 SiO<sub>2</sub>막을 제거하고, 이어서 건식 에칭에 의해 불필요한 SiNx막을 에칭제거한

다. 레지스트를 박리(剝離)시킨 후에 n<sup>+</sup> 반도체막을 성막하고, 이어서 소스/드레인 전극 형성용의 금속층을 형성한다. 그후의 제조 공정은 실시예 1의 도 3a 이후와 동일하기 때문에 설명을 생략한다. 또한, 채널 보호막을 2층의 무기계 절연물로 형성하는 것은 PECVD법에 한정되지 않는다. 예를 들어, 열CVD법 또는 스퍼터링, SOG를 사용할 수도 있다. 또한, SiNx/SiO<sub>2</sub>막의 2층 구조가 아니라, 두꺼운 SiO<sub>2</sub>막만으로 채널 보호막을 구성하는 것도 논리적으로 생각할 수 있으나, 하지의 a-Si과의 밀착성 또는 PECVD법에서 a-Si과의 연속 성막 등의 조건을 고려하면, 실제로는 여러 가지 곤란이 생기게 되어 비현실적이다.

[실시예 2]

실시예 2는 LDD(라이트 도핑 영역) 구조를 갖는 저온 폴리실리콘 박막트랜지스터(p-SiTFT)에 본 실시형태를 적용시킨 예이다. 채널과 낮은 저항의 소스/드레인 영역 사이에 높은 저항의 LDD 영역을 설치함으로써, 핫 캐리어 주입에 의한 TFT 특성의 열화를 방지할 수 있다.

먼저, 도 9 내지 도 12를 이용하여 박막트랜지스터의 제조 공정에 대해서 설명한다. 도 9a에 나타난 바와 같이, 절연성 기판으로서, 예를 들어, 코닝사 #1737의 유리기판(2)을 사용한다. 해당 유리기판(2) 상에 Cr 박막을 막 두께가 100~300nm, 바람직하게는 150nm으로 될 때까지 스퍼터링에 의해 성막시킨다. 또한, Cr 대신에 Ta, Mo, Al 합금 등을 사용할 수도 있다. 이어서, 통상의 포토리소그래피 공정에 의해 전면에 레지스트를 도포하여 패턴닝하고, 레지스트 패턴을 마스크로 하여 습식 에칭에 의해 Cr 박막을 에칭하여 게이트 전극(4)을 형성한다. 이어서, PECVD법을 사용하여, 예를 들어, SiNx막을 두께 200~500nm(바람직하게는 350nm) 정도로 성막하여 게이트 절연막(6)을 형성한다. 이어서, PECVD법을 사용하여, 동작 반도체막을 형성하기 위한 a-Si:H막(8)을 두께 20~100nm(바람직하게는 40~50nm) 정도로 형성한다. 이어서, 450 $^{\circ}$ C의 N<sub>2</sub> 분위기에서 약 1시간의 어닐링 처리를 행하여, a-Si막(8)으로부터 수소를 제거하는 수소빼기 공정을 행한다. 그후, 파장 308nm, 에너지 밀도 300~400mJ/cm<sup>2</sup>, 바람직하게는 320~350mJ/cm<sup>2</sup>로 a-Si막(8)에 엑시머 레이저 광(43)을 조사하여 폴리실리콘(p-Si)막(45)으로 변화시킨다. 또한, 낮은 수소 농도 a-Si막을 사용할 경우는 상기의 어닐링 공정이 불필요하다.

이어서, 도 9b에 나타난 바와 같이, 채널 보호막의 제 1 층재로 되는 제 1 절연층(10)을 형성하기 위해, 예를 들어, SiNx막을 100~200nm(바람직하게는 150nm)의 두께로 형성한 절연막(47)을 성막한다. 이 절연막(47)은 LDD 영역 도핑을 위해, 실시예 1에 있어서의 SiNx막(9)의 막 두께보다 얇게 형성된다.

다음으로, 도 9c에 나타난 바와 같이, 두께 1.0~2.5 $\mu$ m(바람직하게는 1.5 $\mu$ m)의 포지티브형 포토레지스트(49)를 전면에 도포하고, 프리베이크 공정을 거치고 나서, 뒷면 노광과 정면 노광을 조합시켜 절연층 패턴(49)을 형성한다. 뒷면 노광(120)에 의해 자기정합적으로 게이트 전극(4) 상을 따라 잔류 레지스트 영역이 얻어지고, 이어서 정면으로부터의 포토리소그래피 공정에 의해 게이트 전극(4)에 따른 방향의 원하는 범위 이외의 포토레지스트를 제거하여 절연층(49)이 형성된다. 레지스트 대신에 감광성 유기막(폴리이미드, 아크릴 등)을 사용할 수도 있다.

다음으로, 도 9d에 나타난 바와 같이, 온도 150~250 $^{\circ}$ C(바람직하게는 180 $^{\circ}$ C) 정도에서 포스트베이크를 행하고, 절연층(49)을 마스크로 하여 RIE에 의해 p-Si막(45) 상의 SiNx의 절연막(47)을 선택적으로 건식 에칭하여 제 1 절연층(10)을 형성한다.

다음으로, 절연층(49)을 제거한 후, 도 10a에 나타난 바와 같이, RF 방전식(放電式) 또는 DC 방전식의 플라스마 도핑법에 의해, PH<sub>3</sub>을 사용하여 가속전압 10~30KeV, 도즈량 5  $\times$  10<sup>14</sup> ~ 1  $\times$  10<sup>15</sup> ions/cm<sup>2</sup>의 조건

에서 소스/드레인 영역으로 되는 p-Si층(45)에 n<sup>+</sup> 불순물을 첨가한다. 도핑 시, p-Si층(45)에서 채널로 되는 영역이 제 1 절연층(10)에 의해 차폐되기 때문에, 채널 영역에 불순물은 들어가지 않는다. 그후, 엑시머 레이저광(43) 또는 적외선 램프로부터의 광으로 반도체 불순물층을 활성화하여, 시트 저항 1~5 k $\Omega$ /□의 저(低)저항 영역(46)을 형성한다. 또한, p형 박막트랜지스터를 형성할 경우는, B<sub>2</sub>H<sub>6</sub>의 p형 불순물을 사용한다.

다음으로, 도 10b에 나타난 바와 같이, 두께 1.0~2.5 $\mu$ m(바람직하게는 1.5 $\mu$ m)의 포지티브형 포토레지스트를 전면에 도포하고, 프리베이크 공정을 거치고 나서, 제 2 회재의 뒷면 노광과 정면 노광을 조합시켜 제 2 절연층의 패턴을 형성한다. 뒷면 노광(121)에 의해 자기정합적으로 게이트 전극(4) 상을 따라 잔류 레지스트 영역이 얻어지고, 이어서 정면으로부터의 포토리소그래피 공정에 의해 게이트 전극(4)에 따른 방향의 원하는 범위 이외의 포토레지스트를 제거하여 제 2 절연층(11)이 형성된다. 레지스트 대신에 감광성 유기막(폴리이미드, 아크릴 등)을 사용할 수도 있다.

제 2 회재의 노광량(E2)을 제 1 회재의 노광량(E1)보다 많게 해 둠으로써, 광의 회전에 의한 레지스트의 후퇴량이 제 1 회재의 노광보다 커지기 때문에, 제 1 절연막(10) 상에서 레지스트가 존재하지 않는 LDD

영역(폭  $\Delta L$ )이 형성된다. 통상, 박막트랜지스터의 신뢰성을 보증하기 위해, LDD 영역 폭을  $0.5 \sim 1.5 \mu\text{m}$  정도의 범위로 설정하는데, 본 실시예에서는  $\Delta L=1.0 \mu\text{m}$ 로 설정하고 있다. LDD 영역의 폭( $\Delta L$ )은 노광량의 조절에 의해 어느 정도의 범위 내에서 제어하는 것이 가능하다.

다음으로, 도 10c에 나타난 바와 같이, RF 방전식 또는 DC 방전식의 플라즈마 도핑법에 의해,  $\text{PH}_3$ 를 사용하여 가속전압  $70 \sim 100 \text{KeV}$ , 도즈량  $1 \times 10^{12} \sim 1 \times 10^{14} \text{ ions/cm}^2$ (바람직하게는  $5 \times 10^{12} \sim 1 \times 10^{13} \text{ ions/cm}^2$ )에서  $\Delta L$  영역에  $n^-$  불순물(50)을 첨가한다. 채널 영역은 제 2 절연층(11)과 제 1 절연층(10)에 의해 차폐되어 있기 때문에 불순물(50)은 첨가되지 않는다. 이와 같이 하여 채널 영역의 양 사이드에  $n^-$  반도체층의 LDD 영역(48)이 형성된다. 그후, 불순물이 첨가된 제 1 절연층(11)을  $200 \sim 300^\circ\text{C}$ 의 베이킹 처리에 의해 경화(硬化)시킨다. LDD 영역(48)은 불순물의 도즈량이 적기 때문에, 레이저 활성화 대신에 열어닐링(경화 공정 등)을 행하여, 시트 저항  $5 \times 10^4 \sim 5 \times 10^5 \Omega/\square$ 의 고(高)저항 영역을 형성한다. 또한, p형 박막트랜지스터의 경우는  $\text{B}_2\text{H}_6$ 의 p형 불순물을 사용한다.

이어서, 도 11a에 나타난 바와 같이, 스퍼터링에 의해 소스/드레인 전극층을 형성하기 위한 Ti/Al-Si/Ti층(막 두께 100/200/100nm)(13)을 형성한다.

다음으로, 도 11b에 나타난 바와 같이, 염소계 가스를 사용한 RIE에 의해, Ti/Al-Si/Ti층(13)을 에칭하여 소스/드레인 전극(14, 15)을 형성한다. 이때, 에칭 스톱퍼로서 기능하는 것은 레지스트막인 제 2 절연층(11)이다.

다음으로, 도 11c에 나타난 바와 같이, PECVD법에 의해 두께  $100 \sim 500 \text{nm}$ (바람직하게는  $300 \text{nm}$ ) 정도의  $\text{SiN}_x$  층간절연막(16)을 성막한다.

이어서, 도 12a에 나타난 바와 같이, 통상의 포토리소그래피 공정과 RIE 공정에 의해 소스 전극(14) 상의 층간절연막(16)에 콘택트 홀(18)을 형성한다.

다음으로, 도 12b에 나타난 바와 같이, 투명 전극인 ITO(인듐주석 산화물)막을 두께  $50 \sim 100 \text{nm}$ (바람직하게는  $70 \text{nm}$ ) 정도로 스퍼터링에 의해 성장시킨다. 이어서, 통상의 포토리소그래피 공정과 습식 에칭 공정에 의해 ITO막을 패터닝하여 화소 전극(20)을 형성한다. 그후,  $200 \sim 300^\circ\text{C}$ 의  $\text{N}_2$  분위기 중에서 60분간의 어닐링 처리를 행하여 LDD 구조를 갖는 p-SiTFT 기판의 제조 공정이 종료된다.

이와 같이, 2회의 뒷면 노광 공정을 거쳐 제 1 및 제 2 절연층(10, 11)으로 이루어진 채널 보호막(3)이 형성된 LDD 구조의 박막트랜지스터를 형성할 수 있다. 본 실시예에 따른 p-Si막을 동작 반도체층에 갖는 박막트랜지스터는, 실시예 1과 동일하게 기생용량에 의한 관통 전압 등의 발생을 최대한 억제할 수 있게 되기 때문에, 액정표시장치의 화소 영역의 스위칭 소자로 사용하여 매우 높은 신뢰성을 실현시킬 수 있다.

다음으로, 본 실시예 2에 나타난 액정표시장치의 변형예에 대해서 도 13을 이용하여 설명한다. 또한, 실시예 2와 동일한 구성요소에는 동일한 부호를 첨부하여 그의 설명을 생략한다. 실시예 2에서는  $\text{SiN}_x$ 의 제 1 절연층(10) 상에 유기계 상층 절연막인 제 2 절연층(11)을 형성하고 있는 것에 대하여, 본 실시예에 따른 액정표시장치에서는, 유기계 상층 절연막 대신에 무기계 상층 절연막으로서  $\text{SiO}_2$ 막을 사용한 제 2 절연층(11)을 형성한 점에 특징을 갖고 있다.

$\text{SiN}_x$ 막의 비유전율 7~9에 비하여  $\text{SiO}_2$ 막의 비유전율은 3.8~4.2로 낮기 때문에, 유기계 상층 절연막 대신에 무기계 상층 절연막으로서 두꺼운  $\text{SiO}_2$ 막(막 두께  $1.0 \sim 1.5 \mu\text{m}$  정도)을 사용할 수 있다. 본 변형예에 따른 액정표시장치의 제조 공정에서는, PECVD법에 의해  $\text{SiN}_x/\text{SiO}_2$ 막을 연속적으로 성막하여 2층 구조의 채널 보호막(3)을 형성할 수 있기 때문에, 제조 프로세스를 간략화할 수 있다. 도시는 생략하지만, 뒷면 노광과 정면 노광을 조합시킨 포토리소그래피 공정에 의해 채널 상에 레지스트 패턴을 형성한 후, 습식 에칭에 의해 불필요한  $\text{SiO}_2$ 막을 제거하고, 이어서 건식 에칭에 의해 불필요한  $\text{SiN}_x$ 막을 에칭제거한다.

레지스트를 박리시킨 후에  $n^+$  반도체막을 성막하고, 이어서 소스/드레인 전극 형성용의 금속층을 형성한다. 그후의 제조 공정은 실시예 2의 도 11a 이후와 동일하기 때문에 설명을 생략한다. 또한, 채널 보호막을 2층의 무기계 절연물로 형성하는 것은 PECVD법에 한정되지 않는다. 예를 들어, 열CVD법 또는 스퍼터링, SOG를 사용할 수도 있다. 또한, 실시예 1에서 도 8을 이용하여 설명한 변형예와 동일하게,  $\text{SiN}_x/\text{SiO}_2$ 막의 2층 구조가 아니라, 두꺼운  $\text{SiO}_2$ 막만으로 채널 보호막을 구성하는 것도 논리적으로 생각할 수 있으나, 하지의 p-Si과의 밀착성 또는 PECVD법에서 p-Si과의 연속 성막 등의 조건을 고려하면, 실제로는 여러 가지 곤란이 생기게 되어 비현실적이다.

### [실시예 3]

실시예 3은 CMOS형 박막폴리실리콘 트랜지스터(p-SiTFT) 및 그것을 이용한 주변회로 일체화 액정표시장치에 본 실시예를 적용시킨 예이다. 먼저, 도 14 내지 도 16을 이용하여 박막트랜지스터의 제조 공정에 대해서 설명한다.

도 14a에 나타난 바와 같이, 절연성 기판으로서, 예를 들어, 코닝사 #1737의 유리기판(2)을 사용한다. 해당 유리기판(2) 상에 Cr 박막을 막 두께가  $100 \sim 300 \text{nm}$ (바람직하게는  $150 \text{nm}$ )으로 될 때까지 스퍼터링에 의해 성막시킨다. 또한, Cr 대신에 Ta, Mo, Al 합금 등을 사용할 수도 있다. 이어서, 통상의 포토리소그래피 공정에 의해 전면에 레지스트를 도포하여 패터닝하고, 레지스트 패턴을 마스크로 하여 습식 에칭에 의해 Cr 박막을 에칭하여 게이트 전극(4, 5)을 형성한다. 이어서, PECVD법을 사용하여, 예를 들어,  $\text{SiN}_x$ 막을 두께  $200 \sim 500 \text{nm}$ (바람직하게는  $350 \text{nm}$ ) 정도로 성막하여 게이트 절연막(6)을 형성한다. 이어서, PECVD법을 사용하여, 동작 반도체막을 형성하기 위한 a-Si:H막(8)을 두께  $20 \sim 100 \text{nm}$ (바람직하게는

40~50nm) 정도로 형성한다. 이어서, 450℃의 N<sub>2</sub> 분위기에서 약 1시간의 어닐링 처리를 행하여, a-Si막(8)으로부터 수소를 제거하는 수소빼기 공정을 행한다. 그후, 파장 308nm, 에너지 밀도 300~400mJ/cm<sup>2</sup>, 바람직하게는 320~350mJ/cm<sup>2</sup>로 a-Si막(8)에 엑시머 레이저 광(43)을 조사하여 폴리실리콘(p-Si)막(45)으로 변화시킨다. 또한, 낮은 수소 농도 a-Si막을 사용할 경우는 상기의 어닐링 공정이 불필요하다.

이어서, 도 14b에 나타난 바와 같이, 채널 보호막의 제 1 층재로 되는 제 1 절연층(10)을 형성하기 위해, 예를 들어, SiN<sub>x</sub>막을 100~200nm(바람직하게는 150nm)의 두께로 형성한 절연막(47)을 성막한다.

다음으로, 도 14c에 나타난 바와 같이, 두께 1.0~2.5μm(바람직하게는 1.5μm)의 포지티브형 포토레지스트(49)를 전면에 도포하고, 프리베이크 공정을 거치고 나서, 뒷면 노광(노광량(E1))과 정면 노광을 조합시켜 절연층 패턴(49)을 형성한다. 뒷면 노광(120)에 의해 자기정합적으로 게이트 전극(4, 5) 상을 따라 잔류 레지스트 영역이 얻어지고, 이어서 정면으로부터의 포토리소그래피 공정에 의해 게이트 전극(4, 5)에 따른 방향의 원하는 범위 이외의 포토레지스트를 제거하여 절연층(49)이 형성된다. 레지스트 대신에 감광성 유기막(폴리이미드, 아크릴 등)을 사용할 수도 있다.

다음으로, 도 14d에 나타난 바와 같이, 온도 150~250℃(바람직하게는 180℃) 정도에서 포스트베이크를 행하고, 절연층(49)을 마스크로 하여 RIE에 의해 p-Si막(45) 상의 SiN<sub>x</sub> 절연막(47)을 선택적으로 건식 에칭하여 제 1 절연층(10)을 형성한다.

다음으로, 절연층(49)을 제거한 후, 도 15a에 나타난 바와 같이, RF 방전식 또는 DC 방전식의 플라즈마 도핑법에 의해, PH<sub>3</sub>을 사용하여 가속전압 10~30KeV, 도즈량 5 × 10<sup>14</sup>~1 × 10<sup>15</sup> ions/cm<sup>2</sup>의 조건에서, n형 TFT와 p형 TFT의 소스/드레인 영역으로 되는 p-Si층(45)에 n<sup>+</sup> 불순물을 첨가한다. 도핑 시, p-Si층(45)에서 채널로 되는 영역이 제 1 절연층(10)에 의해 차폐되기 때문에, 채널 영역에 불순물은 들어가지 않는다. 그후, 엑시머 레이저 광(43) 또는 적외선 램프로부터의 광으로 반도체 불순물층을 활성화하여, 시트 저항 1~5 kΩ/□의 저저항 영역(46)을 형성한다.

다음으로, 도 15b에 나타난 바와 같이, 전면에 레지스트를 도포하고 나서 패터닝하여 n형 TFT의 영역 상에 레지스트층(52)을 남기고, p형 TFT의 영역을 노출시킨다. RF 방전식 또는 DC 방전식의 플라즈마 도핑법에 의해, B<sub>2</sub>H<sub>6</sub>을 사용하여, 가속전압 10~31KeV, 도즈량 1 × 10<sup>14</sup>~5 × 10<sup>15</sup> ions/cm<sup>2</sup>의 조건에서 p형 TFT의 소스/드레인 영역에 p<sup>+</sup> 불순물을 첨가하여, p형 TFT의 형성 영역에 p<sup>+</sup>형 반도체층(54)이 형성된다. 이와 같이, 먼저 기판 전면에 P(인) 등의 n형 불순물을 도프하고 나서, p형 TFT 형성 영역에만 B(붕소)를 도프함으로써 p<sup>+</sup> 영역을 형성하는 방법은 반전(反轉) 도프라고 불린다. 통상, 반전 도프의 도즈량은 전면 도프보다 2~3배 정도 많다.

다음으로, 도 15c에 나타난 바와 같이, 레지스트층(52)을 제거하여, 엑시머 레이저 광(43) 또는 적외선 램프로부터의 광에 의해, 도프된 P 또는 B가 함유된 불순물 반도체층을 활성화하고, 시트 저항 1~5 kΩ/□의 저저항 영역을 형성한다.

다음으로, 도 16a에 나타난 바와 같이, 두께 1.0 내지 2.5μm(바람직하게는 1.5μm)의 포지티브형 포토레지스트를 전면에 도포하고, 프리베이크 공정을 거치고 나서, 제 2 회재의 뒷면 노광과 정면 노광을 조합시켜 제 2 절연층의 패턴을 형성한다. 뒷면 노광(121)에 의해 자기정합적으로 게이트 전극(4, 5) 상을 따라 잔류 레지스트 영역이 얻어지고, 이어서 정면으로부터의 포토리소그래피 공정에 의해 게이트 전극(4, 5)에 따른 방향의 원하는 범위 이외의 포토레지스트를 제거하여 제 2 절연층(11)이 형성된다. 레지스트 대신에 감광성 유기막(폴리이미드, 아크릴 등)을 사용할 수도 있다.

본 실시예에서는 공정을 간략화하기 위해, 실시예 2에서 형성한 LDD 영역 대신에, n형 TFT와 p형 TFT가 고저항의 오프셋(offset) 영역(Δ1)을 형성한다. 노광량(E2)을 조정함으로써 오프셋 영역(Δ1)의 폭을 0.5~1.0μm 범위 내로 제어할 수 있다.

이어서, 스퍼터링에 의해 소스/드레인 전극층을 형성하기 위한 다층 금속층으로서 Ti/Al-Si/Ti층(막 두께 100/200/100nm)(13)을 형성한다.

다음으로, 도 16b에 나타난 바와 같이, 염소계 가스를 사용한 RIE에 의해, Ti/Al-Si/Ti층(13)을 에칭하여 소스/드레인 전극(14, 15)을 형성한다. 이때, 에칭 스톱퍼로서 기능하는 것은 레지스트막인 제 2 절연층(11)이다.

다음으로, 도 16c에 나타난 바와 같이, PECVD법에 의해 두께 100~500nm(바람직하게는 300nm) 정도의 SiN<sub>x</sub> 층간절연막(16)을 성막하여, 액정표시장치에 사용되는 주변구동회로의 CMOS형 p-SiTFT가 완성된다.

도시는 생략하지만, 실시예 2의 도 12에 나타난 것과 동일하게 하여, 통상의 포토리소그래피 공정과 RIE 공정에 의해 화소 영역 내의 박막트랜지스터의 소스 전극 상의 층간절연막(16)에 콘택트 홀을 형성한다. 투명 전극인 IT0막을 두께 50~100nm(바람직하게는 70nm) 정도로 스퍼터링에 의해 성장시킨다. 이어서, 통상의 포토리소그래피 공정과 습식 에칭 공정에 의해 IT0막을 패터닝하여 화소 전극을 형성한다. 그후, 200~300℃의 N<sub>2</sub> 분위기 중에서 60분간의 어닐링 처리를 행하여 p-SiTFT 기판의 제조 공정이 종료된다.

이와 같이, 2회의 뒷면 노광 공정을 거쳐 제 1 및 제 2 절연층(10, 11)으로 이루어진 채널 보호막(3)이 형성된 CMOS형 p-SiTFT를 형성할 수 있다. 본 실시예에 따른 p-Si막을 동작 반도체층에 갖는 CMOS형 p-SiTFT는, 실시예 1 및 2와 동일하게 기생용량의 발생을 최대한 억제할 수 있게 되기 때문에, 주변장치 일체형의 액정표시장치에 있어서의 주변구동회로에 사용되는 스위칭 소자로서 매우 높은 신뢰성을 실현시킬 수 있다.

다음으로, 본 실시예에 따른 CMOS형 p-SiTFT를 주변구동회로에 탑재시킨 액정표시장치에 대해서 도 17 내지 도 20 을 이용하여 설명한다.

도 17 은 본 실시예에 따른 주변구동회로 및 그를 구비한 액정표시장치의 개략적인 구성을 나타낸다. 어레이 기판(56) 상에는 박막트랜지스터(1)와 표시 전극을 갖는 화소 전극(23)이 매트릭스 형상으로 복수 배치된 표시 영역(61)이 획정되어 있다. 표시 영역(61)의 주위에는 저온 폴리실리콘 프로세스에 의해 형성된 주변회로가 배치되어 있다. 도면 중의 왼쪽에는 게이트측 주변회로(60)가 배치되고, 도면의 위쪽에는 데이터측 주변회로(59)가 배치되어 있다. 또한, 시스템 측으로부터의 도트 클럭, 수평 동기(同期)신호(Hsync), 수직 동기신호(Vsync), RGB 데이터가 입력되는 입력단자(58)가 도면 중의 패널 위쪽에 설치되어 있다. 어레이 기판(56)은 밀봉재(도시 생략)를 통하여 대향기판(57)과 대향하여 접합되어 있다. 어레이 기판(56)과 대향기판(57) 사이의 셀 갭에 액정이 봉입(封入)되어 있다.

표시 영역(61) 내에는 도면 중의 상하방향으로 연장되는 데이터 배선(22)이 도면 중의 좌우방향으로 평행하게 복수 형성되어 있다. 복수의 데이터 배선(22)의 각각은 데이터측 주변회로(59) 내의 데이터 드라이버에 의해 구동되도록 되어 있다.

또한, 데이터 배선(22)과 거의 직교하는 방향으로 연장되는 게이트 배선(4)이 도면 중의 상하방향으로 평행하게 복수 형성되어 있다. 복수의 게이트 배선(4)의 각각은 게이트측 주변회로(60) 내의 게이트 드라이버에 의해 구동되도록 되어 있다.

도 18은 도 17에 나타난 액정표시장치의 데이터 드라이버를 상세하게 나타낸다. 도 18에 있어서, 도 17을 이용하여 설명한 구성요소와 동일한 기능 작용을 갖는 구성요소에는 동일한 부호를 첨부하여 그의 설명을 생략한다. 도 17에 나타난 데이터측 주변회로(59) 내에는 블록 순차 구동방식의 데이터 드라이버(62)가 배치되어 있다.

예를 들어, SXGA인 가로 1280 픽셀, 세로 768 픽셀의 매트릭스 표시의 패널로서, 1픽셀이 적(R), 녹(G), 청(B)의 3개의 서브픽셀로 이루어진 컬러 표시일 경우, 1개의 게이트 신호선(주사선) 상의 표시 서브픽셀 수는 3840(=1280 × 3)으로 된다. 이하, 384개의 출력단자(D1~D384)를 갖는 외부 부착의 디지털 드라이버 LSI(65)에 의해 게이트 배선 방향의 서브픽셀 수가 3840인 SXGA의 액정표시 패널을 블록 순차 구동시키는 경우에 대해서 설명한다. 블록 순차 구동방식에서는, 전체 데이터 배선은 블록 BL1 내지 BL10의 10개의 블록 중의 어느 하나에 포함되도록 분할된다.

디지털 드라이버 LSI(65)는 블록(BL1)에 포함되는 384개의 데이터 배선에 대하여 동시에 계조(階調)신호를 출력하고, 이어서 블록(BL2)에 포함되는 384개의 데이터 배선에 대하여 동시에 계조신호를 출력하며, 이와 동일하게 하여 블록 BL10에 도달할 때까지 순차 블록 단위로 계조 데이터를 출력하도록 되어 있다. 이 일련의 동작은 1수평주사 기간 내에 종료된다.

데이터 드라이버(62)는 샘플링 펄스를 발생시키는 시프트 레지스터(63)를 갖고 있다. 시프트 레지스터(63)는 본 실시예에서는 10단(段)으로 구성되고, 버퍼회로(64)를 통하여 01단으로부터 10단까지 차례로 샘플링 펄스를 CMOS형 TFT 아날로그 스위치부(67)에 공급한다. CMOS형 TFT 아날로그 스위치부(67)는 블록마다 독립적으로 설치되고, 드라이버 LSI(65)의 데이터 배선(D1~D384)의 각각에 접속된 각 데이터 배선의 스위칭 소자로서 본 실시예의 CMOS형 TFT가 접속되어 있다.

디지털 드라이버 LSI(65)로부터 소정 블록에 대한 계조 데이터가 데이터 배선(D1~D384)에 출력되고, CMOS형 TFT 아날로그 스위치부(67)의 소정 블록에 대응하는 CMOS형 TFT의 게이트 전극에 샘플링 펄스가 공급될 경우, 해당 블록의 데이터 배선에 각각 계조 데이터가 출력된다. 도 19는 구동신호와 데이터 기록의 타이밍차트를 나타낸다. 도 19a는 1수평주사 기간 내에 10개의 블록(BL1~BL10)의 계조 데이터가 출력되어 있는 것을 나타내고, 도 19b는 제 n번째의 게이트 배선 상의 게이트 펄스의 온(on) 상태를 나타낸다. 도 19c 내지 도 19f는 블록(BL1~BL10)에 출력되는 샘플링 펄스(블록 제어신호)의 상태를 나타낸다. 수평주사 기간 1H=16 μs, 1블록당 기록 시간은 Tb=1.2 μs, 수평 공백 시간 Tbk=4.0 μs이다. 수평 1라인분의 계조 데이터(1280 × 3(R, G, B 각 색)=3840)를 384 서브픽셀(R, G, B 화소)의 10블록(BL1~BL10)으로 나누어, 각 블록의 CMOS형 TFT 아날로그 스위치의 온/오프를 제어하고, 블록 순차에 의해 기록을 행할 수 있다. 점순차(点順次) 방식보다 기록 시간이 비교적 길기 때문에, 화소 영역의 TFT의 이동도가 20cm<sup>2</sup>/Vs 이상일 경우는 기록이 가능하다.

도 20은 본 실시예에 있어서의 액정표시장치의 부분 단면을 나타낸다. 어레이 기판(56) 상에는 평탄화막(82)에 매립되어 주변회로(59, 60)와 화소 영역의 표시용 TFT(1)가 형성되어 있다. 평탄화막(82) 상에는 복수의 표시 전극(20)이 형성되고, 그 위에 배광막(84)이 형성되어 있다. 어레이 기판(56)의 화소 형성면과 반대쪽의 면에는 도광판(導光板)(도시 생략)으로부터 조사되는 광을 소정의 편광(偏光) 방위로 하는 편광판(64)이 부착되어 있다. 대향기판(57)은 실(seal)(77)을 통하여 어레이 기판(56)과 소정 셀 갭에 의해 대향하여 접합되어 있다. 또한, 어레이 기판(56)과 대향기판(57)은 트랜스퍼(68)에 의해 전기적으로 접속되어 있다. 어레이 기판(56)과 대향기판(57) 사이의 영역에는 액정(86)이 봉입되어 있다.

대향기판(57)의 액정(86)에 면하는 측에는 표시에 기여하지 않는 영역을 차광(遮光)하는 차광막(블랙 매트릭스; BM)(74)이 형성되어 있다. 차광막(74)이 없는 개구부에는 R, G, B용의 칼라필터(72)가 각각 소정 위치에 형성되어 있다. 이들을 매립시킨 평탄화막(76) 상에는, 예를 들어, ITO를 사용한 대향 전극(78)이 형성되고, 그 위에 배광막(80)이 형성되어 있다. 또한, 표시 영역 외의 어레이 기판(56) 상에는 외부 시스템과 신호를 입출력하기 위한 출력단자(58)가 형성되어 있다.

이상에서 설명한 실시형태에 의거하여, 본 발명은 다음과 같이 정리된다.

제 1 발명으로서, 기판 상에 형성된 게이트 전극과, 상기 게이트 전극 상에 형성된 게이트 절연막과, 상기 게이트 전극 상의 상기 게이트 절연막 상에 형성된 동작 반도체막과, 상기 동작 반도체막 상에 형성된 채널 보호막과, 상기 채널 보호막을 사이에 두고 상기 동작 반도체막에 접속된 소스/드레인 전극을 구비한 바텀 게이트형의 박막트랜지스터에 있어서, 상기 채널 보호막은 상기 동작 반도체막의 상부 계면

에 접촉하는 제 1 절연층과, 상기 제 1 절연층 상에 형성된 제 2 절연층을 갖고 있는 것을 특징으로 하는 박막트랜지스터.

제 2 발명으로서, 상기 제 1 발명의 박막트랜지스터에 있어서, 상기 제 2 절연층은 상기 제 1 절연층과 거의 동일한 패턴으로 형성되어 있는 것을 특징으로 하는 박막트랜지스터.

제 3 발명으로서, 상기 제 1 또는 제 2 발명의 박막트랜지스터에 있어서, 상기 제 1 절연층은 무기계 절연 재료로 형성되고, 상기 제 2 절연층은 유기계 절연 재료로 형성되어 있는 것을 특징으로 하는 박막트랜지스터.

제 4 발명으로서, 상기 제 1 또는 제 2 발명의 박막트랜지스터에 있어서, 상기 제 1 절연층은 무기계 절연 재료로 형성되고, 상기 제 2 절연층은 상기 무기계 절연 재료와 상이한 무기계 절연 재료로 형성되어 있는 것을 특징으로 하는 박막트랜지스터.

제 5 발명으로서, 상기 제 1 내지 제 4 발명의 박막트랜지스터에 있어서, 상기 제 2 절연층의 두께는 상기 제 1 절연층의 두께와 거의 동일하거나 그보다 두꺼운 것을 특징으로 하는 박막트랜지스터.

제 6 발명으로서, 상기 제 1 내지 제 5 발명의 박막트랜지스터에 있어서, 상기 제 2 절연층의 비유전율은 상기 제 1 절연층의 비유전율과 거의 동일하거나 그보다 낮은 것을 특징으로 하는 박막트랜지스터.

제 7 발명으로서, 기판 상에 게이트 전극을 형성하고, 상기 게이트 전극 상에 게이트 절연막을 형성하고, 상기 게이트 전극 상의 상기 게이트 절연막 상에 동작 반도체막을 형성하고, 상기 동작 반도체막 상에 채널 보호막을 형성하고, 상기 채널 보호막을 사이에 두고 상기 동작 반도체막에 접속되는 소스/드레인 전극을 형성하는 바텀 게이트형 박막트랜지스터의 제조방법에 있어서, 상기 채널 보호막은 상기 동작 반도체막의 상부 계면에 접촉하는 제 1 절연층과, 상기 제 1 절연층 상의 제 2 절연층을 적층시켜 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

제 8 발명으로서, 기판 상에 형성된 복수의 게이트 배선과, 상기 게이트 배선에 거의 직교하여 배치된 복수의 데이터 배선으로 구성된 복수의 화소 영역마다 스위칭 소자가 형성된 액티브 매트릭스형 액정표시장치에 있어서, 상기 스위칭 소자로서 상기 제 1 내지 제 6 발명 중의 어느 하나의 박막트랜지스터가 사용되어 있는 것을 특징으로 하는 액정표시장치.

제 9 발명으로서, 상기 제 8 발명의 액정표시장치에 있어서, 상기 게이트 배선과 상기 데이터 배선과의 교차부에 상기 제 1 내지 제 6 발명 중의 어느 하나에 기재된 제 2 절연층을 갖는 스페이서막이 형성되어 있는 것을 특징으로 하는 액정표시장치.

제 10 발명으로서, 상기 제 8 또는 제 9 발명의 액정표시장치에 있어서, 상기 화소 영역의 형성과 함께 일체적으로 상기 기판 상에 형성되고, 상기 게이트 배선 또는 상기 데이터 배선을 구동시키는 주변구동 회로를 갖고, 상기 주변구동회로에 형성된 박막트랜지스터가 상기 제 1 내지 제 6 발명 중의 어느 하나에 기재된 박막트랜지스터인 것을 특징으로 하는 액정표시장치.

제 11 발명으로서, 상기 제 10 발명의 액정표시장치에 있어서, 상기 주변구동회로 내에서 교차되는 금속 배선층의 교차부에 상기 제 1 내지 제 6 발명 중의 어느 하나에 기재된 제 2 절연층을 갖는 스페이서막이 형성되어 있는 것을 특징으로 하는 액정표시장치.

본 발명은 상기 실시형태에 한정되지 않고 다양한 변형이 가능하다.

예를 들어, 상기 실시형태에서는 2층 구조의 채널 보호막(10)을 예로 들어 설명했으나, 본 발명은 이것에 한정되는 것이 아니라, 3층 이상의 다층 구조에 의해 채널 보호막(10)을 형성할 수도 있으며, 2층의 경우와 동일한 작용효과를 나타내는 것이 가능하다.

### 발명의 효과

상기한 본 발명에 따르면, 기생용량(Cp)에 의한 플리커 표시, 콘트라스트 저하 등을 감소시켜, 우수한 고화질 화상을 표시할 수 있는 액정표시장치를 실현시킬 수 있다. 또한, 소스/드레인 영역을 형성하는 공정에서 채널 보호막의 손상을 저감시켜, 박막트랜지스터 및 그를 사용한 액정표시장치의 성능과 장기 신뢰성을 대폭으로 개선시킬 수 있다.

### (57) 청구의 범위

#### 청구항 1

기판 상에 형성된 게이트 전극과, 상기 게이트 전극 상에 형성된 게이트 절연막과, 상기 게이트 전극 상의 상기 게이트 절연막 상에 형성된 동작 반도체막과, 상기 동작 반도체막 상에 형성된 채널 보호막과, 상기 채널 보호막을 사이에 두고 상기 동작 반도체막에 접속된 소스/드레인 전극을 구비한 바텀(bottom) 게이트형의 박막트랜지스터에 있어서,

상기 채널 보호막은 상기 동작 반도체막의 상부 계면에 접촉하는 제 1 절연층과, 상기 제 1 절연층 상에 형성된 제 2 절연층을 갖고 있는 것을 특징으로 하는 박막트랜지스터.

#### 청구항 2

제 1 항에 있어서, 상기 제 1 절연층은 무기계(無機系) 절연 재료로 형성되고,

상기 제 2 절연층은 유기계(有機系) 절연 재료로 형성되어 있는 것을 특징으로 하는 박막트랜지스터.

#### 청구항 3

제 1 항에 있어서, 상기 제 1 절연층은 무기계 절연 재료로 형성되고,

상기 제 2 절연층은 상기 무기계 절연 재료와 상이한 무기계 절연 재료로 형성되어 있는 것을 특징으로 하는 박막트랜지스터.

#### 청구항 4

기판 상에 게이트 전극을 형성하고, 상기 게이트 전극 상에 게이트 절연막을 형성하고, 상기 게이트 전극 상의 상기 게이트 절연막 상에 동작 반도체막을 형성하고, 상기 동작 반도체막 상에 채널 보호막을 형성하고, 상기 채널 보호막을 사이에 두고 상기 동작 반도체막에 접속되는 소스/드레인 전극을 형성하는 바텀 게이트형 박막트랜지스터의 제조방법에 있어서,

상기 채널 보호막은 상기 동작 반도체막의 상부 계면에 접촉하는 제 1 절연층과, 상기 제 1 절연층 상의 제 2 절연층을 적층시켜 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

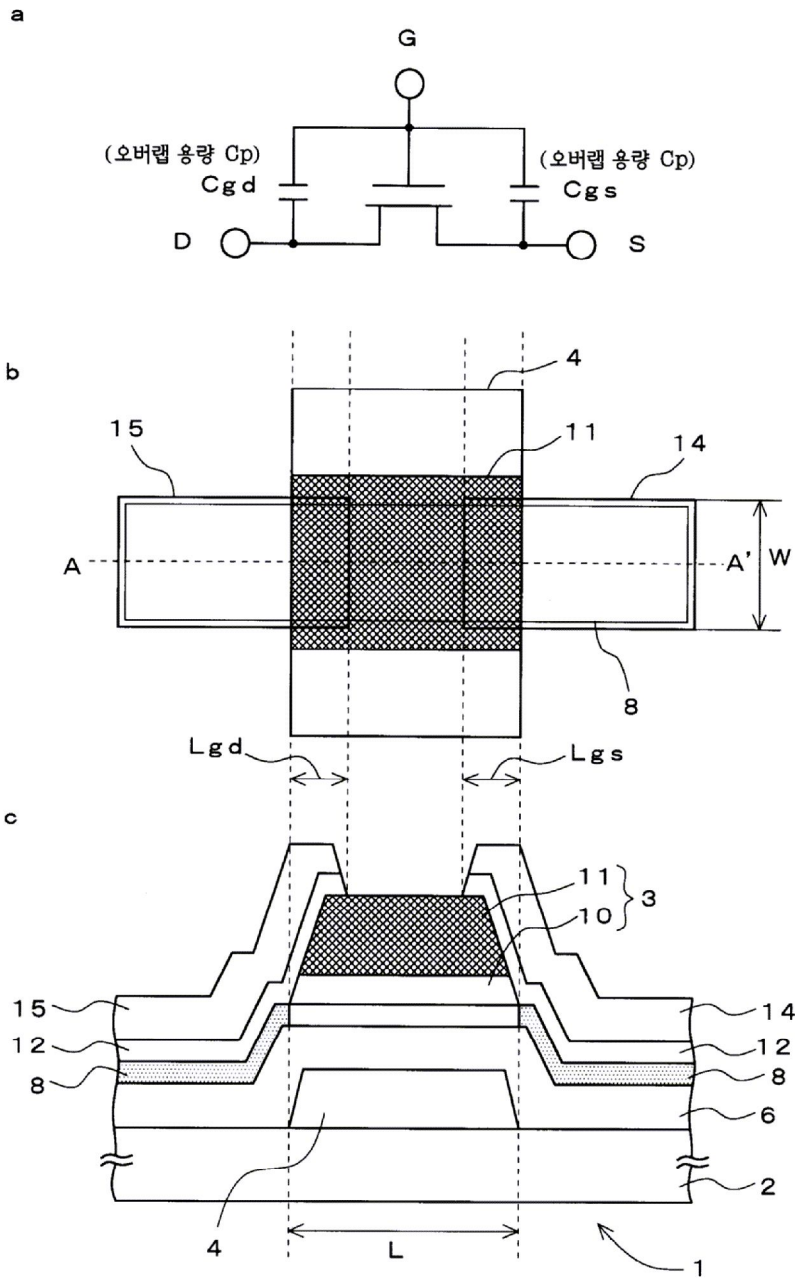
#### 청구항 5

기판 상에 형성된 복수의 게이트 배선과, 상기 게이트 배선에 대략 직교하여 배치된 복수의 데이터 배선으로 획정(劃定)된 복수의 화소 영역마다 스위칭 소자가 형성된 액티브 매트릭스형 액정표시장치에 있어서,

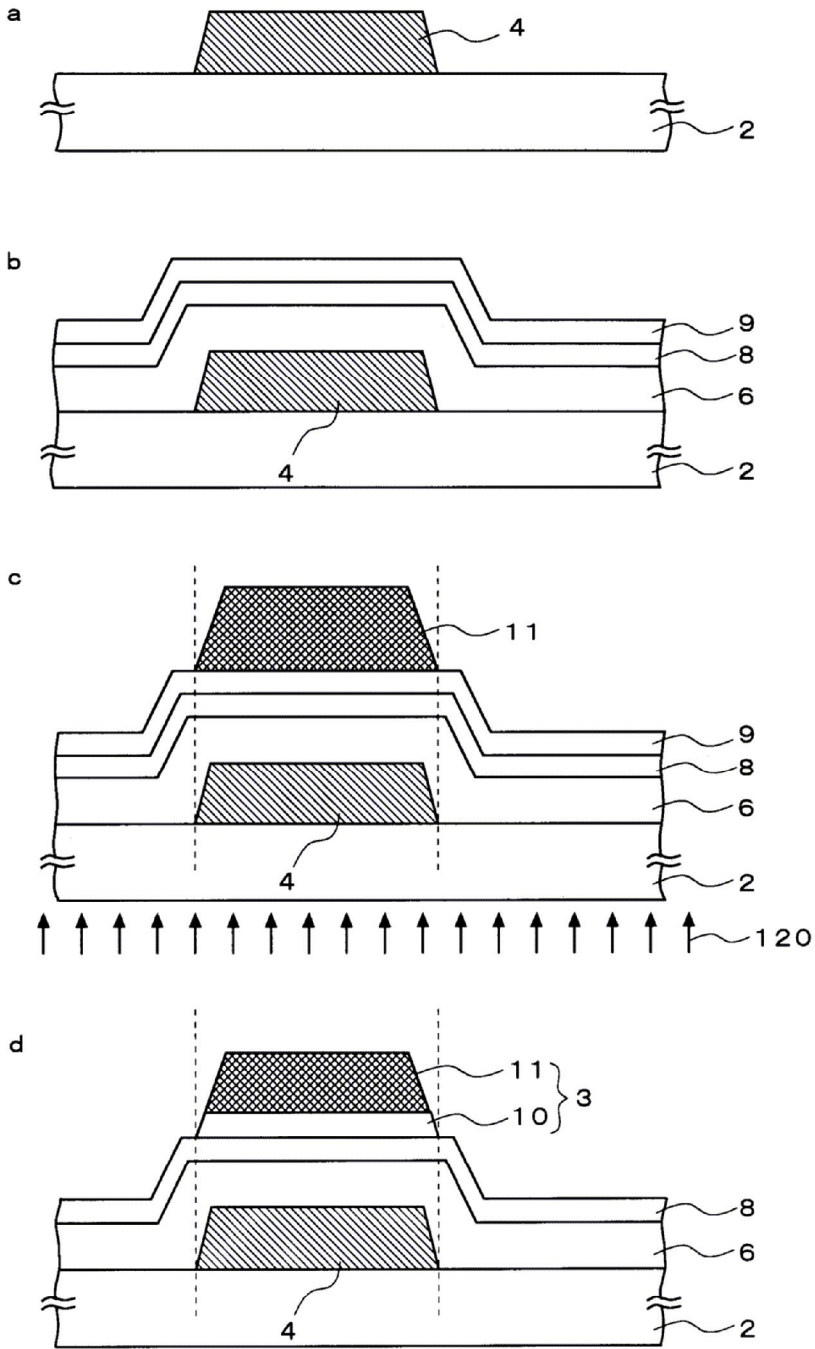
상기 스위칭 소자로서 상기 제 1 항 내지 제 3 항 중의 어느 1항에 기재된 박막트랜지스터가 사용되는 것을 특징으로 하는 액정표시장치.

**도면**

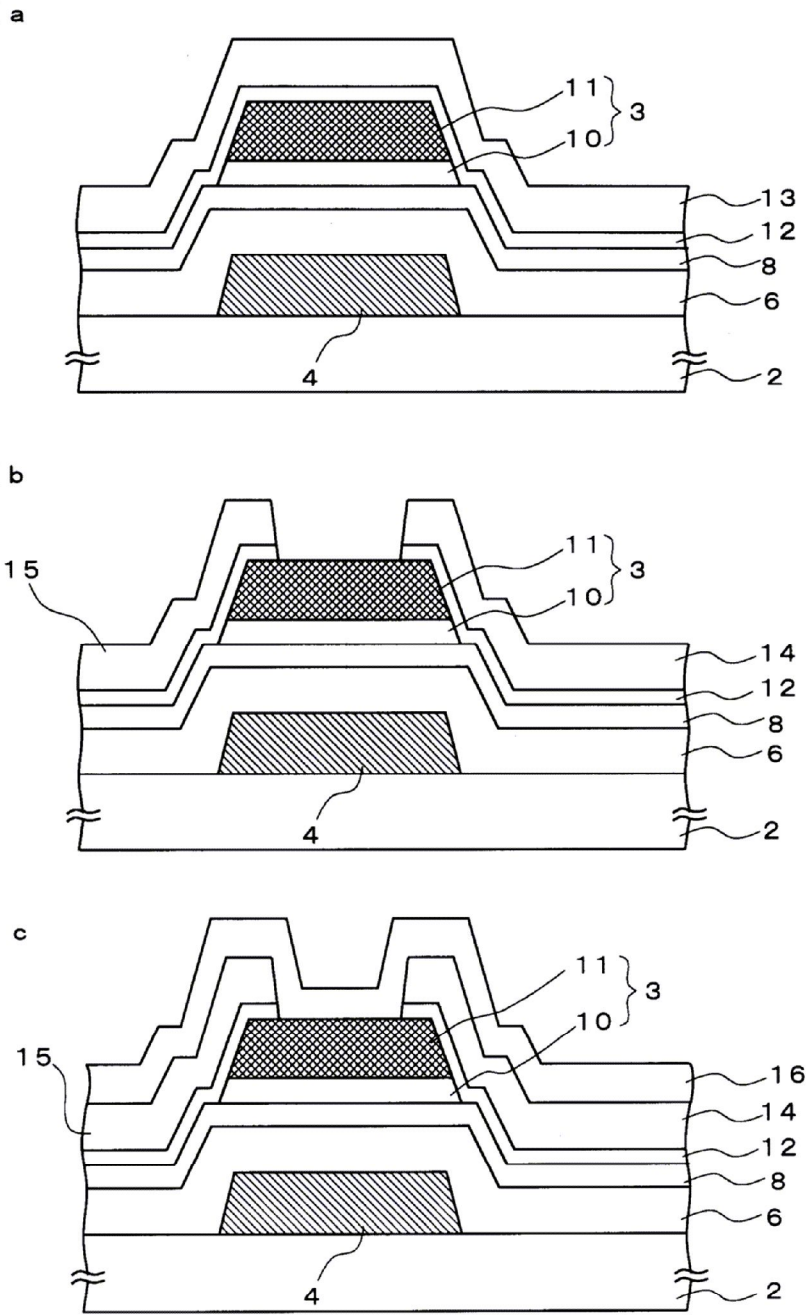
도면1



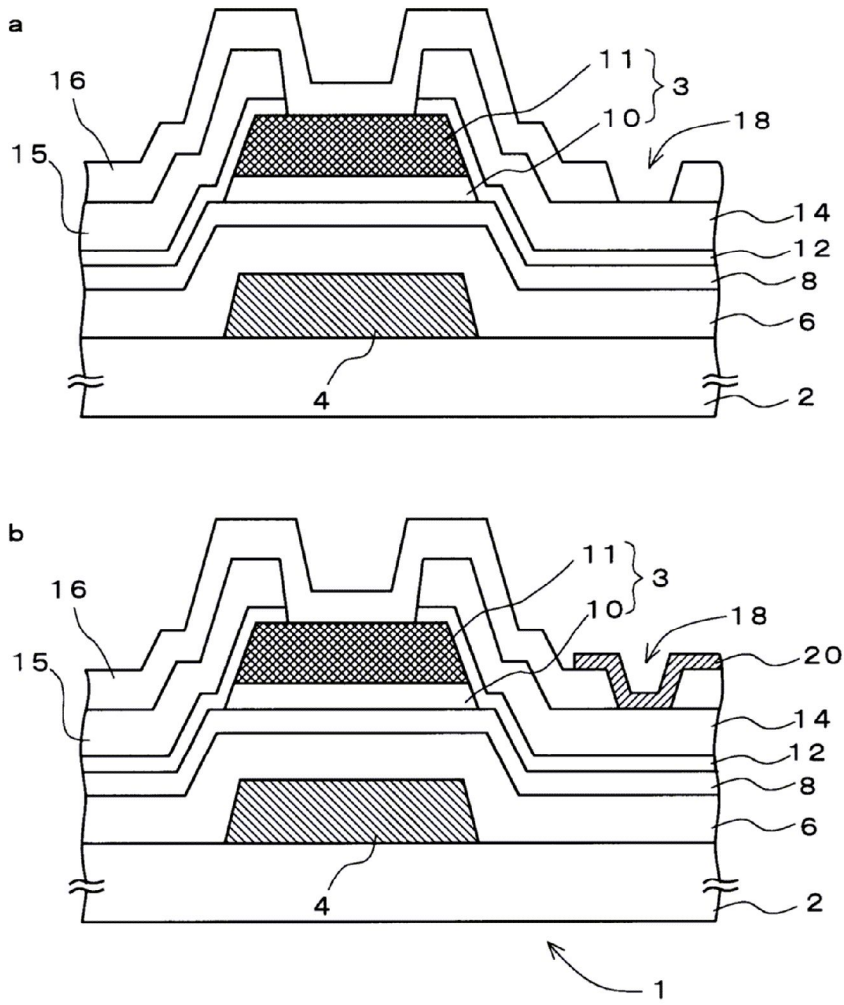
도면2



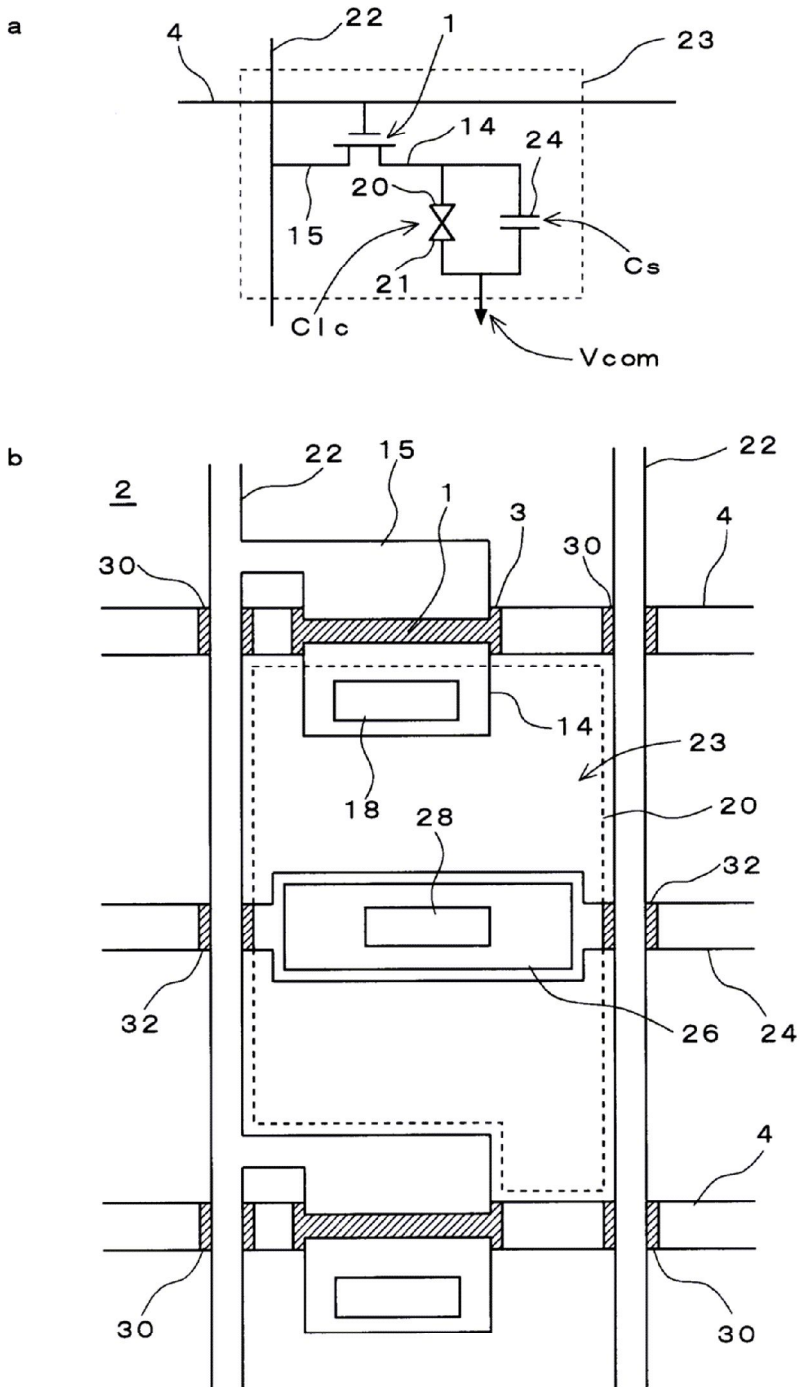
도면3



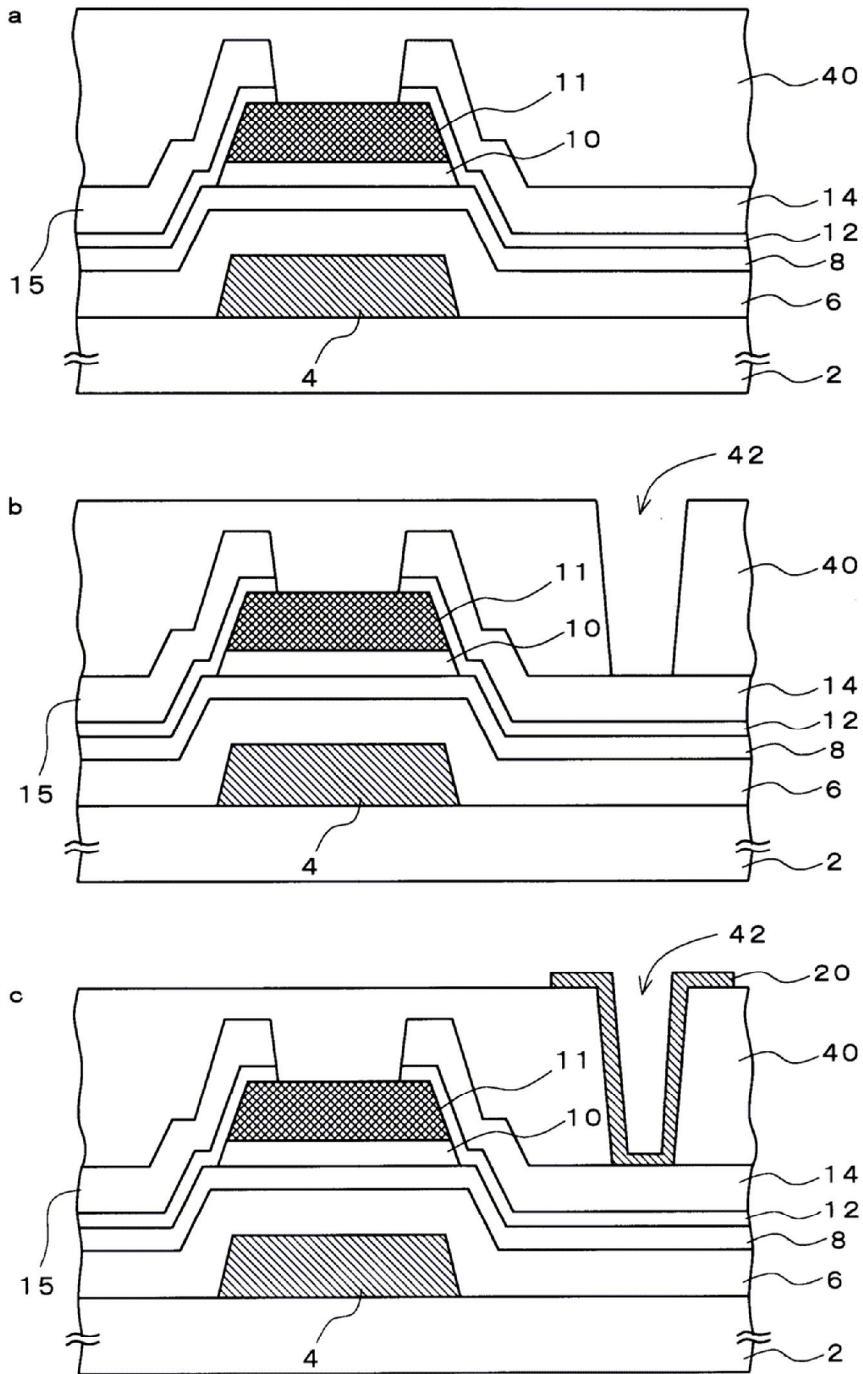
도면4



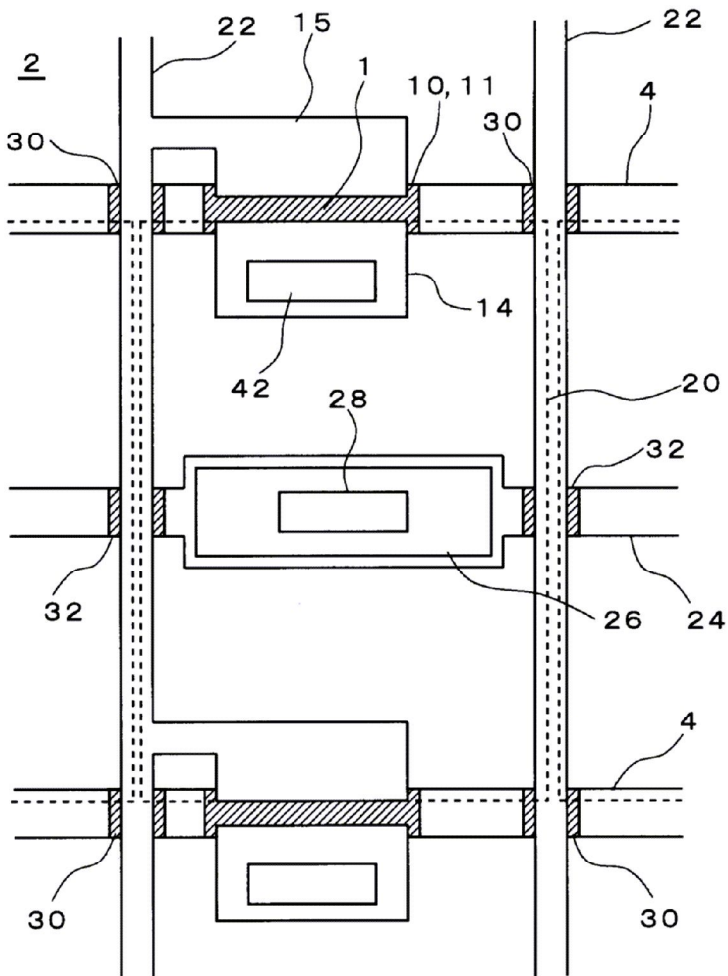
도면5



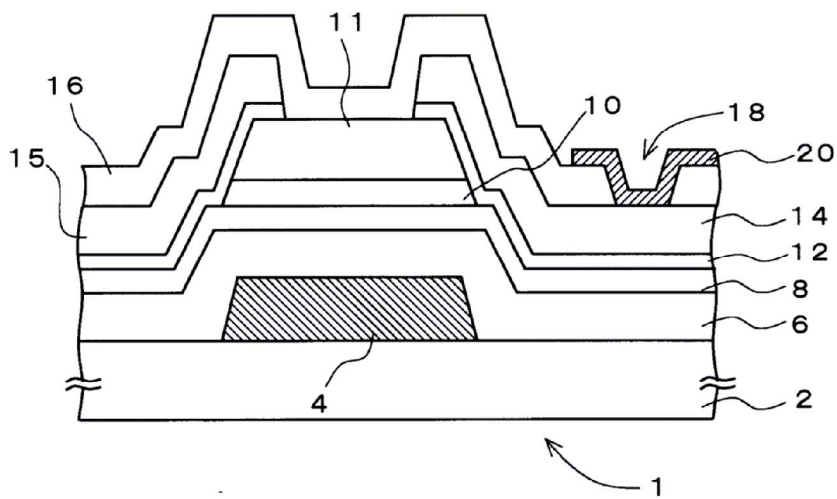
도면6



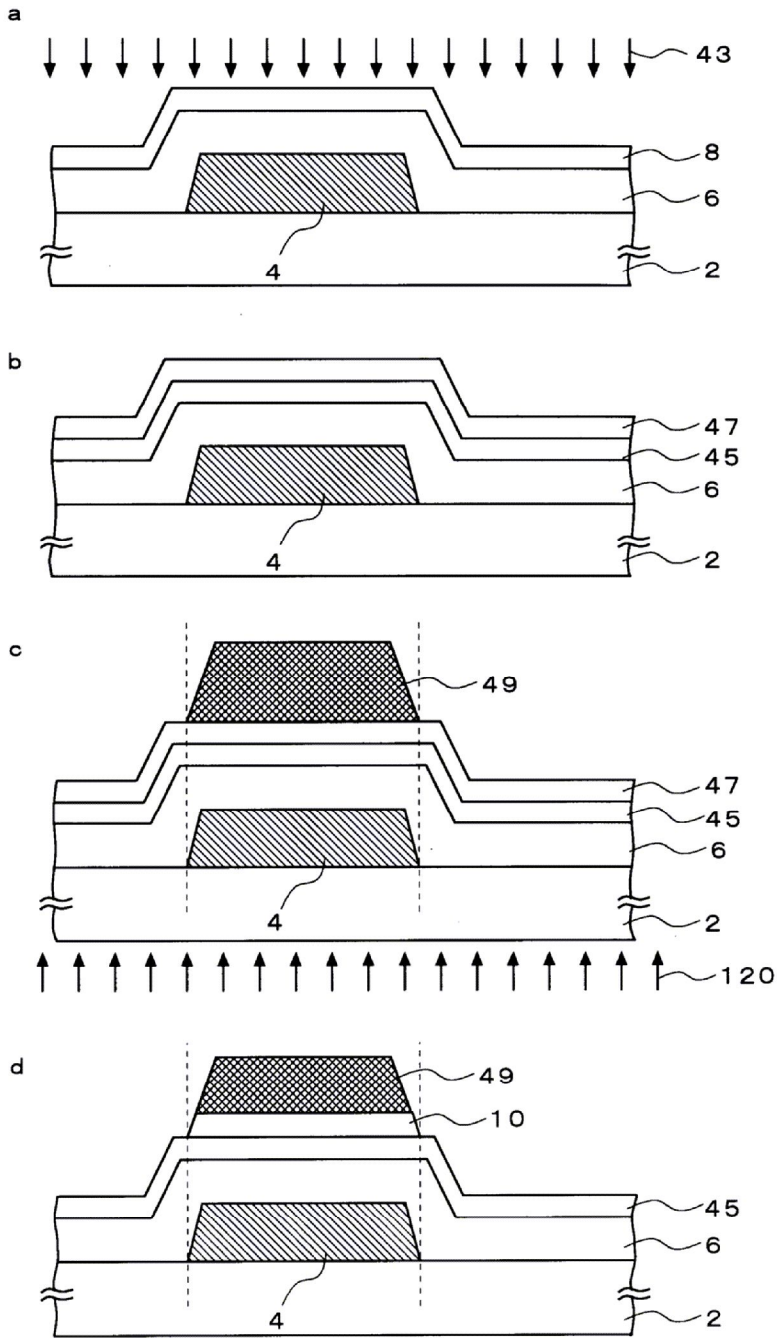
도면7



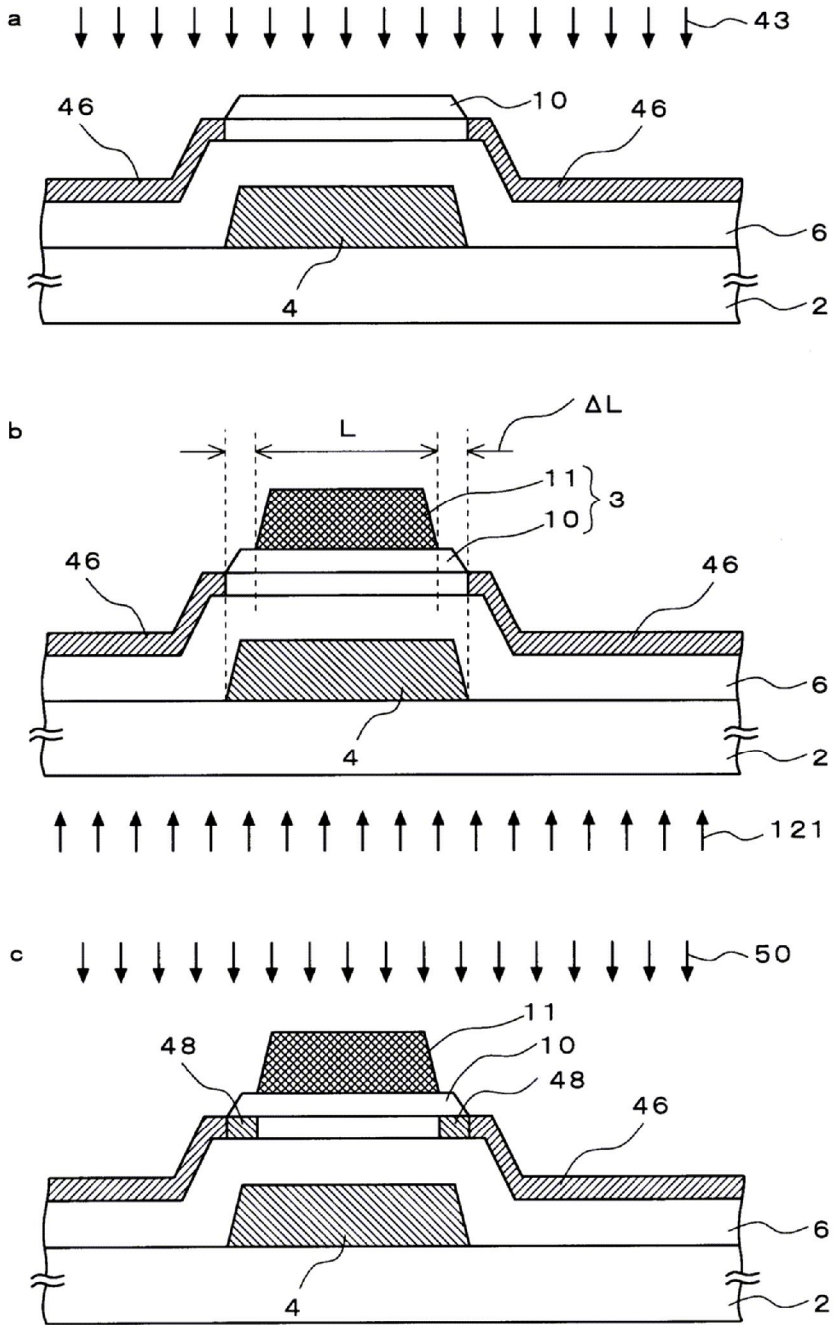
도면8



도면9



도면10



专利名称(译)	薄膜晶体管，其制造方法以及具有该薄膜晶体管的液晶显示装置		
公开(公告)号	<a href="#">KR1020010050055A</a>	公开(公告)日	2001-06-15
申请号	KR1020000046589	申请日	2000-08-11
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	ZHANG HONGYONG 장홍용		
发明人	장홍용		
IPC分类号	G02F1/1368 H01L27/12 G09F9/30 H01L21/84 H01L29/786 H01L29/66 G02F1/136 H01L21/70 G09F H01L21/02 H01L21/77 G02F H01L21/336		
CPC分类号	H01L29/78621 H01L29/66765 H01L27/1214 H01L27/12		
代理人(译)	MOON, KI桑		
优先权	1999295677 1999-10-18 JP		
其他公开文献	KR100657387B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明的目的是提供一种包括该薄膜晶体管的液晶显示器及其制造方法，该液晶显示器包括具有该薄膜晶体管的液晶显示器，该薄膜晶体管具有提高制造成品率的薄膜晶体管，并且控制寄生电容及其制造方法。关于在基板上形成有栅电极(4)的底栅型薄膜晶体管(1)，形成在栅电极(4)上的栅极绝缘层(6)，操作半导体膜(8)形成在栅电极(4)上的栅极绝缘层(6)上，形成在操作半导体膜上的沟道钝化层(3)和将沟道钝化层(3)放置在其中的源/漏电极并且连接到操作半导体膜，以便在第一绝缘层(10)上具有形成的第二绝缘层(11)，其中沟道钝化层(3)接触操作半导体的上界面膜(8)和其包括的第一绝缘层。液晶显示器，薄膜晶体管，TFT，LCD。

