



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0002022
(43) 공개일자 2008년01월04일

(51) Int. Cl.

G02F 1/1341 (2006.01) G02F 1/1339 (2006.01)

(21) 출원번호 10-2006-0060559

(22) 출원일자 2006년06월30일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김민정

부산 동래구 칠산동 286

김광민

대전 서구 월평동 302

최혁

부산 사상구 주례2동 92-193번지

(74) 대리인

김용인, 심창섭

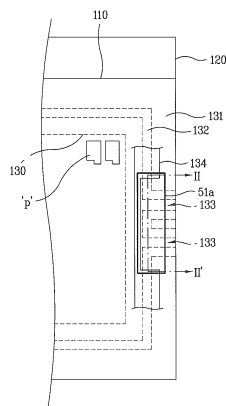
전체 청구항 수 : 총 13 항

(54) 액정표시장치 및 그의 제조방법

(57) 요약

본 발명은 액정 주입구에 대응되는 씨일재와 오버랩되는 신호라인의 저항을 줄이기에 알맞은 액정표시장치 및 그의 제조방법을 제공하기 위한 것으로, 이와 같은 목적을 달성하기 위한 액정표시장치는, 액티브영역과 더미영역이 정의된 하부기판과; 액정주입구가 구비되어 상기 액티브영역을 둘러싸도록 상기 하부기판의 더미영역에 형성된 씨일재와; 상기 씨일재의 액정주입구 하부에 구성된 도전막 패턴과; 상기 액정주입구 주변이 일정 부분 식각되어 상기 도전막 패턴과 오버랩된 신호라인을 포함함을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

액티브영역과 더미영역이 정의된 하부기판과;

액정주입구가 구비되어 상기 액티브영역을 둘러싸도록 상기 하부기판의 더미영역에 형성된 씨일재와;

상기 씨일재의 액정주입구 하부에 구성된 도전막 패턴과;

상기 액정주입구 주변이 일정 부분 식각되어 상기 도전막 패턴과 오버랩된 신호라인을 포함함을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 하부기판의 액티브영역의 화소영역에는 사다리 모양으로 형성된 공통전극과,

상기 하부기판상에 종횡으로 형성되어 화소영역을 정의하는 게이트라인 및 데이터라인과;

상기 게이트라인 및 데이터라인의 교차 부위에 게이트전극과 소오스전극 및 드레인전극으로 형성된 박막 트랜지스터와;

상기 드레인전극과 콘택되며 상기 공통전극과 엇갈려서 교대로 배치되는 사다리 모양의 화소전극을 포함함을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 공통전극과 상기 화소전극은 투명도전막(ITO)으로 구성되어 있음을 특징으로 하는 액정표시장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 도전막 패턴과 상기 공통전극은 동일층에 형성됨을 특징으로 하는 액정표시장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 게이트라인과 상기 신호라인은 동일층에 형성됨을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 도전막 패턴은 투명 도전막으로 구성됨을 특징으로 하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 신호라인은 상기 도전막 패턴과 직접 연결되어 있음을 특징으로 하는 액정표시장치.

청구항 8

액티브영역과 더미영역이 정의된 하부기판과;

액정주입구가 구비되어 상기 액티브영역을 둘러싸도록 상기 하부기판의 더미영역에 형성된 씨일재와;

상기 액정주입구 주변에 슬릿이 구비되어 상기 씨일재 하부에 구성된 신호라인을 포함함을 특징으로 하는 액정표시장치.

청구항 9

액티브영역과 더미영역이 정의된 하부기판에 액정표시장치를 제조함에 있어서,
 상기 액티브영역의 화소영역에 사다리 모양으로 공통전극을 형성하는 단계;
 액정주입구가 형성될 상기 더미영역에 도전막 패턴을 형성하는 단계;
 상기 액티브영역상에 게이트전극을 구비한 게이트라인을 형성하는 단계;
 상기 더미영역에 상기 도전막 패턴과 오버랩되도록 신호라인을 형성하는 단계;
 상기 게이트라인을 포함한 상기 기판상에 게이트절연막을 형성하는 단계;
 상기 게이트전극 상부에 액티브층을 형성하는 단계;
 상기 게이트라인과 교차 배치되어 화소영역을 정의하도록 데이터라인을 형성하는 단계;
 상기 액티브층의 일측 및 타측에 오버랩되도록 소오스전극과 드레인전극을 형성하는 단계;
 상기 화소영역에 상기 공통전극의 사이에 교대로 배열되도록 사다리 모양으로 화소전극을 형성하는 단계;
 상기 액정주입구를 갖고 상기 액티브영역을 둘러싸도록 상기 더미영역에 씨일재를 형성하는 단계를 포함함을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

제 9 항에 있어서,
 상기 신호라인은 상기 액정주입구 부분이 일정 부분 식각되도록 구성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 11

제 9항 에 있어서,
 상기 도전막 패턴과 상기 공통전극은 동시에 형성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 12

제 9 항에 있어서,
 상기 게이트라인과 상기 신호라인은 동시에 형성함을 특징으로 하는 액정표시장치의 제조방법.

청구항 13

제 9 항에 있어서,
 상기 도전막 패턴과 상기 공통전극과 상기 화소전극은 투명 도전막으로 형성함을 특징으로 하는 액정표시장치의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<19> 본 발명은 액정표시장치에 대한 것으로, 특히 액정주입구의 저항을 줄이기에 알맞은 액정표시장치 및 그의 제조방법에 관한 것이다.

<20> 정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 증증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display)등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활

용되고 있다.

- <21> 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전, 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.
- <22> 이와 같이 액정표시장치가 여러 분야에서 화면 표시장치로서의 역할을 하기 위해 여러 가지 기술적인 발전이 이루어졌음에도 불구하고 화면 표시장치로서 화상의 품질을 높이는 작업은 상기 장점과 배치되는 면이 많이 있다.
- <23> 따라서, 액정표시장치가 일반적인 화면 표시장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저 소비전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고품위 화상을 얼마나 구현할 수 있는가에 발전의 관건이 걸려 있다고 할 수 있다.
- <24> 이하, 첨부 도면을 참조하여 일반적인 액정표시장치의 구성에 대하여 설명한다.
- <25> 액정표시장치는 일정 공간을 갖고 합착된 상, 하부기판과, 상기 하부기판과 상부기판 사이에 주입된 액정층으로 구성된다.
- <26> 이때, 하부기판에는 화소영역(P)을 정의하기 위하여 일정한 간격을 갖고 일방향으로 복수개의 게이트 라인이 배열되고, 상기 게이트 라인에 수직한 방향으로 일정한 간격을 갖고 복수개의 데이터 라인이 배열되며, 상기 게이트 라인과 데이터 라인이 교차하는 각 화소영역(P)에는 화소전극이 형성되고, 상기 각 게이트 라인과 데이터 라인이 교차하는 부분에 박막 트랜지스터(T)가 형성되어 있다.
- <27> 그리고 상부기판에는 상기 화소영역(P)을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층과, 컬러 색상을 표현하기 위한 R,G,B 컬러 필터층과, 화상을 구현하기 위한 공통전극이 형성되어 있다.
- <28> 상기 박막 트랜지스터(T)는 상기 게이트 라인으로부터 돌출된 게이트 전극과, 전면에 형성된 게이트 절연막과 상기 게이트 전극 상측의 게이트 절연막위에 형성된 액티브층과, 상기 데이터 라인으로부터 돌출된 소오스 전극과, 상기 소오스 전극과 이격되어 대향되도록 형성된 드레인 전극으로 구성된다.
- <29> 상기 화소전극은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속을 사용한다.
- <30> 이때, 행전계 방식(IPS) 액정표시장치에는 화소전극이 하부기판에 형성된다.
- <31> 일반적으로, 액정표시장치는 하부기판과 상부기판 사이에 액정층을 형성하는 방식에 따라 진공주입방식과 액정 적하방식으로 나눌 수 있다. 이하에서는 진공주입방식을 사용하는 액정표시장치에 대하여 설명한다.
- <32> 진공주입방식은 우선, 박막트랜지스터와 화소전극을 구비한 하부기판과, 블랙매트릭스, 칼라필터층 및 공통전극을 구비한 상부기판을 준비한다.
- <33> 그리고, 액정이 바깥으로 새는 것을 방지하고 양 기판을 접착할 수 있도록 어느 하나의 기판에 씨일재를 도포한다. 이하에서는 하부기판에 씨일재를 도포하는 것으로 설명한다. 이때, 상기 씨일재로는 에폭시 수지 등을 이용한 열경화형 씨일재가 주로 사용된다. 그리고 하부기판에 볼 스페이서를 랜덤하게 산포시킨다.
- <34> 이후에 상기 양 기판을 합착한 후 가열하여 상기 열경화형 씨일재를 경화시킴으로써 양 기판을 접착시킨다.
- <35> 그리고, 각 패널별로 절단하여 단위 패널을 형성한 후, 상기 각 단위 패널을 진공챔버에 위치시켜 기판 내부를 진공상태로 유지한 후 액정용기에 담가 합착기판 내에 액정층을 형성한다.
- <36> 상기 진공 주입 방법으로 액정층을 형성하는 액정표시장치는, 도 1에 도시한 바와 같이, 일정 공간을 갖고 합착된 상, 하부기판(10, 20)과, 상기 하부기판(20)과 상부기판(10) 사이에 주입된 액정층(미도시)으로 구성되어 있다.
- <37> 상기에서 하부기판(10)에는 액티브영역(30)과 더미 영역(31)이 정의되어 있다.
- <38> 상기 하부기판(10)의 액티브영역(30)은 화소가 구동하는 영역으로 TFT 어레이가 배열되어 있다.
- <39> 그리고, 상기 하부기판(20)의 더미영역(31)에는, 액정이 바깥으로 새는 것을 방지하고 양 기판을 접착할 수 있도록 액티브영역(30)의 둘레에 씨일재(32)가 형성되어 있다. 그리고, 상기 씨일재(32)에는 액정 주입구가 형성되어 있다.

- <40> 또한, 상기 더미영역(31)에는 상기 액티브영역(30)에 각종 신호를 인가시키기 위한 신호라인들이 배열된다.
- <41> 상기와 같이 구성되는 액정표시장치에서, 종래에는 도 2에 도시한 바와 같이, 더미영역(31)에 신호라인(34)들을 형성할 때, 씨일재(32) 상부에도 오버랩되어 형성되는 신호라인(34)이 있다. 이 경우, 종래에는 액정 주입후 씨일재를 열경화하여 액정 주입구(33)를 봉지할 수 있게 하기 위해서, 액정 주입구(33) 주변의 신호라인(34)은 일정영역 식각하여 제거한다.
- <42> 그러나, 이와 같이 신호라인(34)을 일정 영역 식각해 내면, 신호라인(34)들의 저항이 커져서 안정된 신호가 인가되지 못하는 문제가 발생할 수 있다.

발명이 이루고자 하는 기술적 과제

- <43> 본 발명은 상기와 같은 문제를 해결하기 위하여 안출한 것으로, 본 발명의 목적은 액정 주입구에 대응되는 씨일재와 오버랩되는 신호라인의 저항을 줄이기에 알맞은 액정표시장치 및 그의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

- <44> 상기와 같은 목적을 달성하기 위한 본 발명의 일실시예에 따른 액정표시장치는, 액티브영역과 더미영역이 정의된 하부기판과; 액정주입구가 구비되어 상기 액티브영역을 둘러싸도록 상기 하부기판의 더미영역에 형성된 씨일재와; 상기 씨일재의 액정주입구 하부에 구성된 도전막 패턴과; 상기 액정주입구 주변이 일정 부분 식각되어 상기 도전막 패턴과 오버랩된 신호라인을 포함함을 특징으로 한다.
- <45> 상기 하부기판의 액티브영역의 화소영역에는 사다리 모양으로 형성된 공통전극과, 상기 하부기판상에 종횡으로 형성되어 화소영역을 정의하는 게이트라인 및 데이터라인과; 상기 게이트라인 및 데이터라인의 교차 부위에 게이트전극과 소오스전극 및 드레인전극으로 형성된 박막 트랜지스터와; 상기 드레인전극과 콘택되며 상기 공통전극과 엇갈려서 교대로 배치되는 사다리 모양의 화소전극이 구성된다.
- <46> 상기 공통전극과 상기 화소전극은 투명도전막(ITO)으로 구성되어 있다.
- <47> 상기 도전막 패턴과 상기 공통전극은 동일층에 형성된다.
- <48> 상기 게이트라인과 상기 신호라인은 동일층에 형성된다.
- <49> 상기 도전막 패턴은 투명 도전막으로 구성된다.
- <50> 상기 신호라인은 상기 도전막 패턴과 직접 연결되어 있다.
- <51> 본 발명의 다른 일실시예에 따른 액정표시장치는, 액티브영역과 더미영역이 정의된 하부기판과; 액정주입구가 구비되어 상기 액티브영역을 둘러싸도록 상기 하부기판의 더미영역에 형성된 씨일재와; 상기 액정주입구 주변에 슬롯이 구비되어 상기 씨일재 하부에 구성된 신호라인을 포함한다.
- <52> 상기 구성을 갖는 본 발명에 따른 액정표시장치의 제조방법은, 액티브영역과 더미영역이 정의된 하부기판에 액정표시장치를 제조함에 있어서, 상기 액티브영역의 화소영역에 사다리 모양으로 공통전극을 형성하는 단계; 액정주입구가 형성될 상기 더미영역에 도전막 패턴을 형성하는 단계; 상기 액티브영역상에 게이트전극을 구비한 게이트라인을 형성하는 단계; 상기 더미영역에 상기 도전막 패턴과 오버랩되도록 신호라인을 형성하는 단계; 상기 게이트라인을 포함한 상기 기판상에 게이트절연막을 형성하는 단계; 상기 게이트전극 상부에 액티브층을 형성하는 단계; 상기 게이트라인과 교차 배치되어 화소영역을 정의하도록 데이터라인을 형성하는 단계; 상기 액티브층의 일측 및 타측에 오버랩되도록 소오스전극과 드레인전극을 형성하는 단계; 상기 화소영역에 상기 공통전극의 사이에 교대로 배열되도록 사다리 모양으로 화소전극을 형성하는 단계; 상기 액정주입구를 갖고 상기 액티브영역을 둘러싸도록 상기 더미영역에 씨일재를 형성하는 단계를 포함함에 그 특징이 있다.
- <53> 상기 신호라인은 상기 액정주입구 부분이 일정 부분 식각되도록 구성한다.
- <54> 상기 도전막 패턴과 상기 공통전극은 동시에 형성한다.
- <55> 상기 게이트라인과 상기 신호라인은 동시에 형성한다.
- <56> 상기 도전막 패턴과 상기 공통전극과 상기 화소전극은 투명 도전막으로 형성한다.
- <57> 이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치 및 그의 제조방법에 대하여 설명하면 다음과 같다.

- <58> 제 1 실시예
- <59> 먼저, 본 발명의 제 1 실시예에 따른 액정표시장치의 구성에 대하여 설명하기로 한다.
- <60> 도 3은 본 발명의 제 1 실시예에 따른 액정 주입구의 확대 평면도이고, 도 4는 본 발명에 적용하기 위한 횡전계 방식 액정표시장치의 공통전극과 화소전극을 제시한 사시도이며, 도 5는 본 발명에 적용하기 위한 횡전계 방식 액정표시장치의 단위 화소의 확대 평면도이다.
- <61> 그리고 도 6은 도 5의 I-I' 선상의 구조 단면도이고, 도 7은 도 3의 II-II' 선상의 구조 단면도이다.
- <62> 본 발명을 설명하기에 앞서서, 본 발명의 제 1 실시예는 횡전계 방식의 액정표시장치(예:AH-IPS)에 적용하면 고정 마스크를 추가하지 않고도 진행할 수 있는 것으로, AH-IPS의 구조에 대하여 기술하면 다음과 같다.
- <63> 도 4와 도 5와 도 6에 도시한 바와 같이, 상기 횡전계 방식 액정표시장치는, 기판(50)의 화소영역에 사다리 모양으로 형성된 공통전극(51)과, 일측에 게이트전극(52a)을 구비하여 일방향으로 배열된 게이트라인(52)과, 게이트라인(52)을 포함한 전면에 형성된 게이트절연막(53)과, 상기 게이트전극(52a) 상부에 오버랩되도록 상기 게이트절연막(53)의 상에 패터닝된 액티브층(54)과, 상기 게이트라인(52)과 교차하여 화소영역을 정의하는 데이터라인(55)과, 데이터라인(55)의 일측에서 돌출되며 액티브층(54)의 일측 상부에 오버랩된 소오스전극(55a)과, 소오스전극(55a)과 일정 간격 이격되며 액티브층(54)의 타측 상부에 오버랩된 드레인전극(55a)과, 드레인전극(55a)에 콘택홀(57)을 갖고 형성된 보호막(56)과, 콘택홀(57)을 통해 드레인전극(55b)과 연결되며, 상기 공통전극(51)의 사이 사이에 교대로 배열되도록 사다리 모양으로 형성된 화소전극(58)을 포함하여 구성된다. 이때 공통전극(51)과 화소전극(58)은 투명도전막(ITO)으로 구성되어 있다.
- <64> 또한, 이와 같은 구성을 갖는 횡전계 방식 액정표시장치의 제조방법은, 기판(50)의 화소영역에 사다리 모양으로 공통전극(51)을 형성하는 단계, 기판(50)상에 일측에 게이트전극(52a)을 구비한 일방향으로 배열되는 게이트라인(52)을 형성하는 단계, 전면에 게이트절연막(53)을 형성하는 단계, 상기 게이트전극(52a) 상부에 오버랩되도록 상기 게이트절연막(53)의 상에 액티브층(54)을 패터닝하는 단계, 상기 게이트라인(52)과 교차하여 화소영역을 정의하도록 데이터라인(55)과 데이터라인(55)의 일측에서 돌출된 소오스전극(55a)과 소오스전극(55a)과 일정 간격 이격되며 액티브층(54)의 타측에 오버랩되도록 드레인전극(55a)을 형성하는 단계, 전면에 보호막(56)을 형성하는 단계, 드레인 영역에 콘택홀(57)을 형성하는 단계, 콘택홀(57)을 통해 드레인전극(55b)과 연결되며, 상기 공통전극(51)의 사이 사이에 교대로 배열되도록 사다리 모양으로 화소전극(58)을 형성하는 단계를 통하여 제조된다. 이때 공통전극(51)과 화소전극(58)은 투명도전막(ITO)으로 구성되어 있다.
- <65> 상기 구성 및 방법을 갖는 횡전계 방식 액정표시장치는, 게이트라인(52)을 형성하기 전에 공통전극(51)을 형성한 것으로, 본 발명은 액티브영역의 화소영역에 상기와 같은 구성을 갖는 횡전계 방식 액정표시장치를 구성 및 제조할 때, 상기 공정 흐름 및 구성을 액정 주입구 영역에 적용한 것이다.
- <66> 본 발명의 제 1 실시예에 따른 액정표시장치는, 도 3과 도 7에 도시한 바와 같이, 일정 공간을 갖고 합착된 상, 하부기판(110, 120)과, 상기 하부기판(120)과 상부기판(110) 사이에 주입된 액정층(미도시)으로 구성되어 있다.
- <67> 상기 하부기판(110)에는 액티브영역(130)과 더미 영역(131)이 정의되어 있고, 상기 하부기판(110)의 액티브영역(130)은 화소가 구동하는 영역으로 복수개의 단위 화소영역(P)이 매트릭스 형태로 배열되어 있는 TFT 어레이가 구비되어 있다.
- <68> 상기 액티브영역의 화소영역에는 상술한 횡전계 방식 액정표시장치가 구성된다.
- <69> 그리고, 상기 하부기판(120)의 더미영역(131)에는, 액정층의 액정이 바깥으로 새는 것을 방지하고 양 기판을 접착할 수 있도록 액티브영역(130)의 둘레에 씨일재(132)가 형성되어 있다. 이때, 상기 씨일재(132)의 일영역은 액정이 주입될 수 있도록 액정 주입구(133)가 형성되어 있다. 이때 액정 주입구(133)는 1개 이상 형성될 수 있다.
- <70> 또한, 상기 더미영역(131)에는 상기 액티브영역(130)에 각종 신호를 인가시키기 위한 신호라인(134)들이 복수개 배열된다.
- <71> 이때 씨일재(132) 하부에도 오버랩되어 형성되는 신호라인(134)이 있다. 이하에서는 액정 주입구(133)에 오버랩된 신호라인(134)들 중 1개를 예시하여 설명한다.
- <72> 이 경우, 액정 주입후 씨일재(132)를 UV 경화하여 액정 주입구(133)를 봉지할 수 있게 하기 위해서, 액정 주입

구(133) 주변의 신호라인(134)을 일정영역 식각하여 제거한다. 즉, 하부기관(130) 방향에서 UV 조사하여 씨일재(131)를 경화 시킬 때, UV가 잘 조사되도록 액정 주입구(133) 주변의 신호라인(134)을 일정 부분 식각하여 구성한다.

<73> 상기와 같이 구성되는 액정표시장치의 더미영역에는, 도 3과 7에 도시한 바와 같이, 더미영역(131) 중 액정 주입구(133)가 형성될 영역에 투명 도전막 패턴(51a)이 형성되어 있고, 상기 투명 도전막 패턴(51a)의 일상부에 오버랩 되며 액정 주입구(133)를 가리지 않도록 일정 부분 식각된 신호라인(134)들이 있고, 상기 신호라인(134)들을 포함한 전면에 게이트절연막(53)이 있고, 상기 투명 도전막 패턴(51a)을 포함한 전면에 보호막(56)이 형성되어 있으며, 적어도 일영역에 액정 주입구(133)를 갖도록 액티브영역을 감싸도록 씨일재(134)가 쉘링되어 있다.

<74> 상기에서 일정 부분 식각된 신호라인(134)들은 투명 도전막 패턴(51a)과 직접 연결되어 있다.

<75> 이와 같이 구성하면, 씨일재(132)에 UV가 잘 조사되도록 액정 주입구(133) 영역의 신호라인(134)을 일정 부분 식각하여 신호라인(134)이 얇아지더라도 투명 도전막 패턴(51a)이 이를 보상해주므로, 신호라인(134)들의 저항은 증가하지 않는다.

<76> 상기에서 더미영역(131)의 투명 도전막 패턴(51a)은 횡전계 방식 액정표시장치의 화소영역의 공통전극(51)을 형성할 때 동시에 형성되는 것이고, 상기 신호라인(134)들은 상술한 횡전계 방식 액정표시장치의 화소영역의 게이트라인(52)을 형성할 때 동시에 형성되는 것이다.

<77> 즉, 더미영역(131)의 투명 도전막 패턴(51a)과 화소영역의 공통전극(51)은 동일층에 형성되고, 더미영역(131)의 상기 신호라인(134)과 화소영역의 게이트라인(52)은 동일층에 형성된다.

<78> 따라서, 액정주입구가 있는 더미영역에 투명 도전막 패턴을 형성할 때 별도의 추가 공정이 필요하지 않다.

<79> 제 2 실시예

<80> 먼저, 본 발명의 제 2 실시예에 따른 액정표시장치의 구성에 대하여 설명하기로 한다.

<81> 본 발명의 제 2 실시예에 따른 액정표시장치는, 도 8에 도시한 바와 같이, 일정 공간을 갖고 합착된 상, 하부기관(110, 120)과, 상기 하부기관(120)과 상부기관(110) 사이에 주입된 액정층(미도시)으로 구성되어 있다.

<82> 상기 하부기관(110)에는 액티브영역(130)과 더미 영역(131)이 정의되어 있고, 상기 하부기관(110)의 액티브영역(130)은 화소가 구동하는 영역으로 복수개의 단위 화소영역(P)이 매트릭스 형태로 배열되어 있는 TFT 어레이가 구비되어 있다.

<83> 그리고, 상기 하부기관(120)의 더미영역(131)에는, 액정층의 액정이 바깥으로 새는 것을 방지하고 양 기관을 접착할 수 있도록 액티브영역(130)의 둘레에 씨일재(132)가 형성되어 있다. 이때, 상기 씨일재(132)의 일영역은 액정이 주입될 수 있도록 액정 주입구(133)가 형성되어 있다. 이때 액정 주입구(133)는 1개 이상 형성될 수 있다.

<84> 또한, 상기 더미영역(131)에는 상기 액티브영역(130)에 각종 신호를 인가시키기 위한 신호라인(134)들이 복수개 배열된다.

<85> 이때 씨일재(132) 하부에도 오버랩되어 형성되는 신호라인(134)이 있다. 이하에서는 액정 주입구(133)에 오버랩된 신호라인(134)들 중 1개를 예시하여 설명한다.

<86> 이 경우, 액정 주입후 씨일재(132)를 UV 경화하여 액정 주입구(133)를 봉지할 수 있게 하기 위해서, 액정 주입구(133) 주변의 신호라인(134)을 슬릿을 갖도록 패턴하여 형성한다. 즉, 씨일재(131)를 하부기관(130) 방향에서 UV 조사하여 씨일재(131)를 경화 시킬 때, UV가 슬릿을 통해서 조사될 수 있도록 액정 주입구(133) 주변의 신호라인(134)을 슬릿 형태로 패턴하여 구성한다.

<87> 이와 같이 하면, 씨일재(132) UV 경화를 진행할 수 있으면서, 종래보다 신호라인(134)의 저항이 증가하는 것을 방지할 수 있다.

<88> 상기 구성은 TN, IPS, VA 모드 액정표시장치에 모두 적용할 수 있다.

<89> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

<90> 따라서, 본 발명의 기술 범위는 상기 실시예에 기재된 내용으로 한정되는 것이 아니라, 특허 청구의 범위에 의하여 정해져야 한다.

발명의 효과

<91> 상기와 같은 본 발명에 따른 액정표시장치는 다음과 같은 효과가 있다.

<92> 첫째, 씨일재가 형성된 액정 주입구에 오버랩되는 신호라인들 하부에 투명 도전막 패턴을 형성하여 신호라인들을 연결해 줌으로써, 이 부분으로의 UV 조사도 가능하면서, 이부분의 신호라인의 저항도 증가하지 않도록 할 수 있다.

<93> 둘째, 씨일재가 형성된 액정 주입구에 오버랩되는 신호라인을 슬릿 형태로 형성함으로써, 이 부분으로의 UV 조사도 가능하면서, 이부분의 신호라인의 저항도 증가하지 않도록 할 수 있다.

도면의 간단한 설명

<1> 도 1은 액정 주입구가 구비된 일반적인 액정표시장치의 평면도

② 도 2는 종래 기술에 따른 도 1의 'A'영역의 확대 평면도

〈3〉 도 3은 본 발명의 제 1 실시예에 따른 액정 주입구의 확대 평면도

<4> 도 4는 본 발명에 적용하기 위한 횡전계 방식 액정표시장치의 공통전극과 화소전극을 제시한 사시도

<5> 도 5는 본 발명에 적용하기 위한 횡전계 방식 액정표시장치의 단위 화소의 확대 평면도

<6> 도 6은 도 5의 I-I' 선상의 구조 단면도

<7> 도 7은 도 3의 II-II' 선상의 구조 단면도

<8> 도 8은 본 발명의 제 2 실시예에 따른 액정 주입구의 확대 평면도

◁9▷ * 도면의 주요 부분에 대한 부호의 설명 *

<10> 51 : 하부기판 52 : 게이트라인

<11> 53 : 게이트절연막 54 : 액티브층

<12> 55 : 데이터라인 55a : 소오스전극

<13> 55b : 드레인전극 56 : 보호막

<14> 57 : 콘택홀 58 : 화소전극

<15> 110 : 상부기관 120 : 하부기관

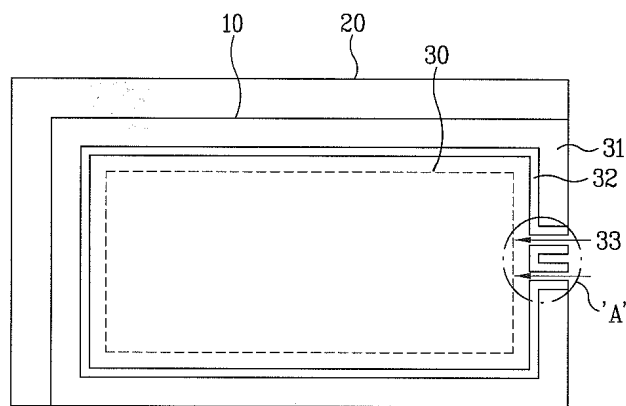
<16> 130 : 액티브영역 131 : 더미영역

<17> 132 : 씨일재 134 : 신호라인

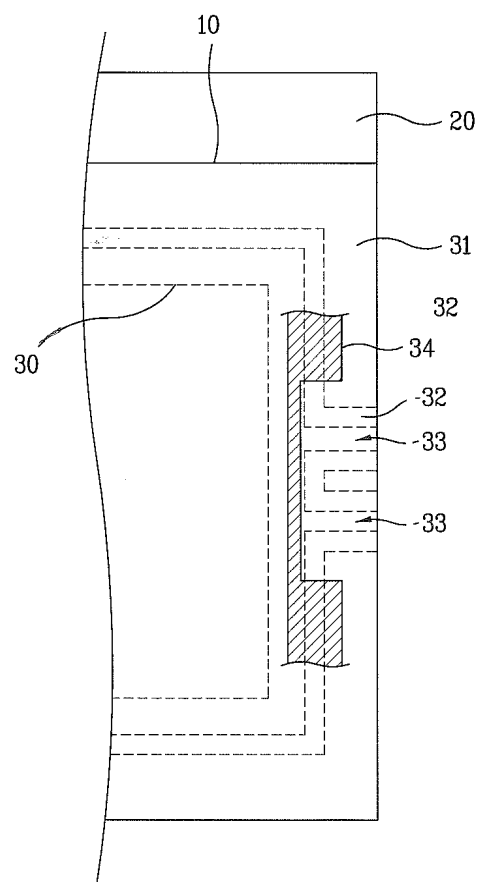
<18> 133 : 액정 주입구

도면

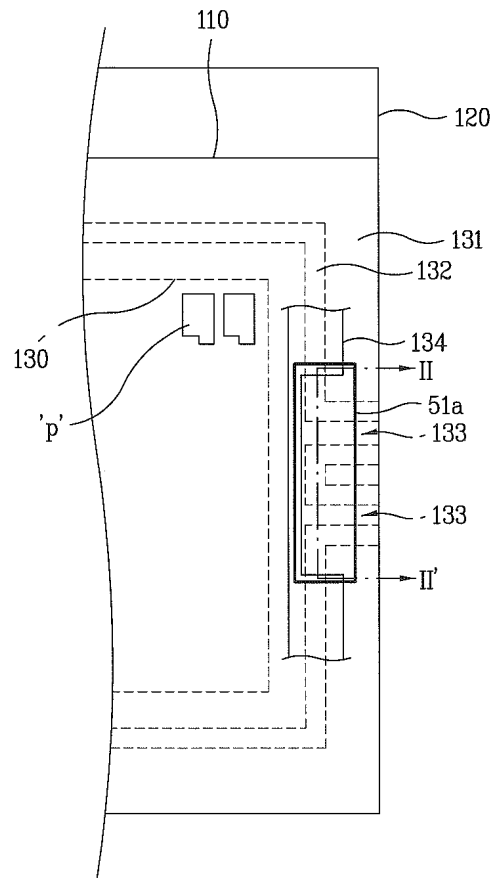
도면1



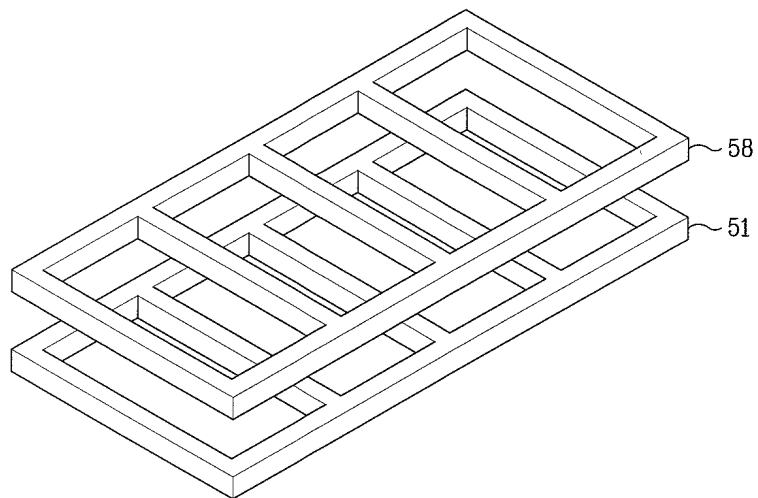
도면2



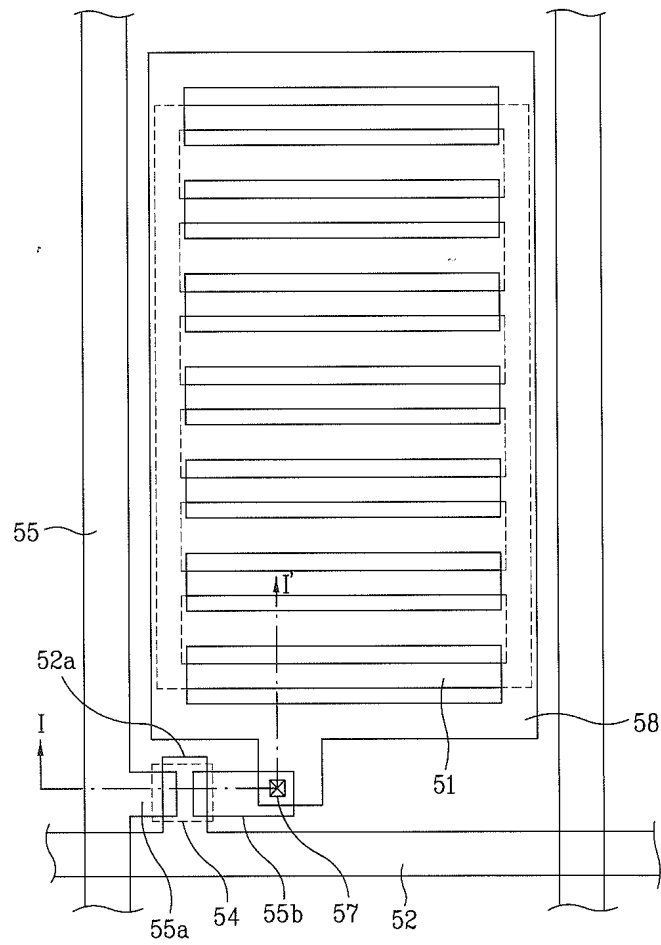
도면3



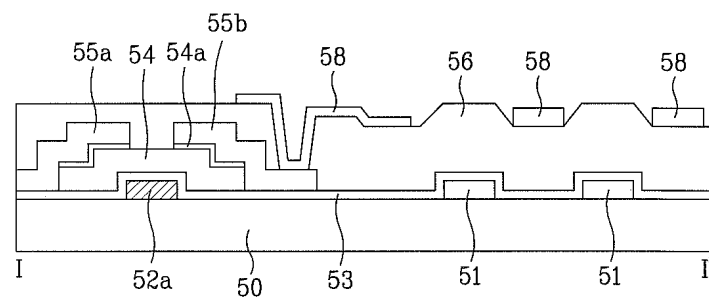
도면4



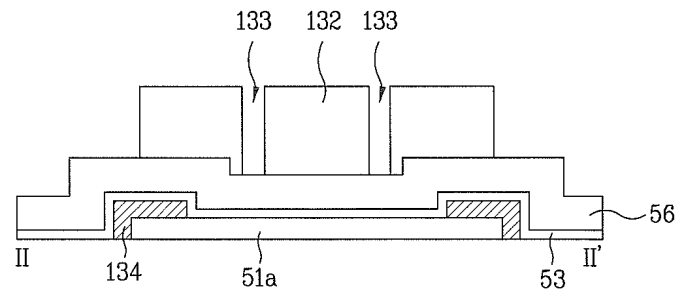
도면5



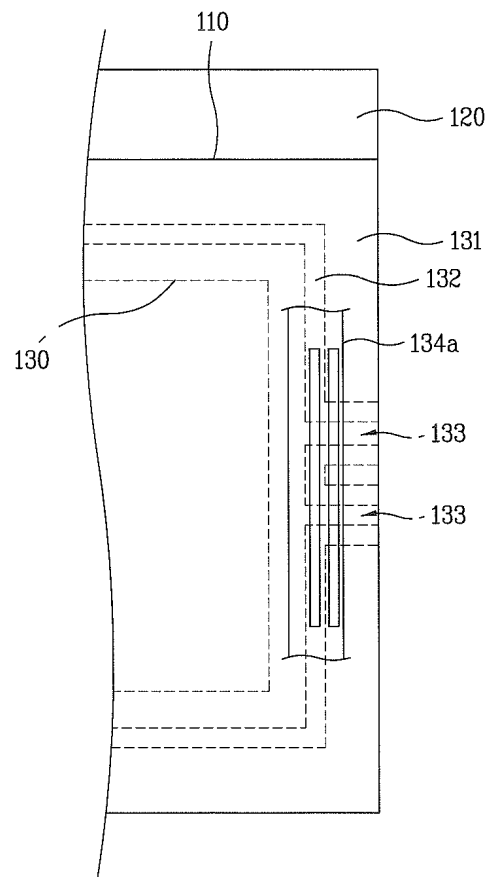
도면6



도면7



도면8



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020080002022A	公开(公告)日	2008-01-04
申请号	KR1020060060559	申请日	2006-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM MIN JUNG 김민정 KIM KWANG MIN 김광민 CHOI HYUCK 최혁		
发明人	김민정 김광민 최혁		
IPC分类号	G02F1/1341 G02F1/1339		
CPC分类号	G02F1/1339 G02F1/1341 G02F1/136286 G02F2001/134318		
代理人(译)	金勇 新昌		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置及其制造方法，其适于降低与对应于液晶注入孔的密封剂重叠的信号线的电阻，以及用于实现上述目的的液晶显示装置，下基板，其上限定了区域；密封剂形成在下基板的虚设区域上，以利用液晶注入口包围有源区域；形成在密封剂的液晶注入孔下方的导电膜图案；并且信号线形成在液晶注入孔周围并与导电膜图案部分重叠。

