



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(11) 공개번호 10-2007-0081968

(43) 공개일자 2007년08월20일

(21) 출원번호 10-2006-0014329

(22) 출원일자 2006년02월14일

심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 신정욱
서울 마포구 성산2동 성산시영아파트 16동 906호

(74) 대리인 김용인
심창섭

전체 청구항 수 : 총 16 항

(54) 액정표시장치 및 이의 구동방법

(57) 요약

본 발명은 휘도편차를 최소화할 수 있는 액정표시장치 및 이의 구동방법에 관한 것으로, 다수의 화소행들을 갖는 액정패널; 상기 다수의 화소행들과 교차하도록 배열된 다수의 데이터 라인들; 상기 각 데이터 라인의 일측에 위치한 각 화소행에 형성되며, 상기 각 데이터 라인의 일측에 각각 접속된 제 1 화소셀; 상기 각 데이터 라인의 타측에 위치한 각 화소행에 형성되며, 상기 각 데이터 라인의 타측에 각각 접속된 제 2 화소셀; 상기 각 화소행마다 구비되며, 서로 다른 방향에서 스캔펄스가 공급되는 제 1 및 제 2 게이트 라인을 포함하며, 상기 각 화소행의 일측 끝단에 위치한 제 1 화소셀들 중 i (i 는 자연수)개의 제 1 화소셀들이 제 1 게이트 라인에 접속되고, 상기 i 개를 제외한 나머지 제 1 화소셀들이 제 2 게이트 라인에 접속된 것이다.

대표도

도 2

특허청구의 범위

청구항 1.

다수의 화소행들을 갖는 액정패널;

상기 다수의 화소행들과 교차하도록 배열된 다수의 데이터 라인들;

상기 각 데이터 라인의 일측에 위치한 각 화소행에 형성되며, 상기 각 데이터 라인의 일측에 각각 접속된 제 1 화소셀;

상기 각 데이터 라인의 타측에 위치한 각 화소행에 형성되며, 상기 각 데이터 라인의 타측에 각각 접속된 제 2 화소셀;

상기 각 화소행마다 구비되며, 서로 다른 방향에서 스캔펄스가 공급되는 제 1 및 제 2 게이트 라인을 포함하며,

상기 각 화소행의 일측 끝단에 위치한 제 1 화소셀들 중 i (i 는 자연수)개의 제 1 화소셀들이 제 1 게이트 라인에 접속되고, 상기 i 개를 제외한 나머지 제 1 화소셀들이 제 2 게이트 라인에 접속된 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

각 화소행의 일측 끝단에 위치한 제 1 화소셀들 중 각 제 1 게이트 라인들에 접속된 제 1 화소셀들의 수와 상기 각 제 2 게이트 라인에 접속된 제 1 화소셀들의 수가 동일한 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1 항에 있어서,

상기 제 1 게이트 라인들에 순차적으로 스캔펄스를 공급하는 제 1 게이트 드라이버; 및,

상기 제 2 게이트 라인들에 순차적으로 스캔펄스를 공급하는 제 2 게이트 드라이버를 더 포함함을 특징으로 하는 액정표시장치.

청구항 4.

제 3 항에 있어서,

상기 제 1 게이트 드라이버와 제 2 게이트 드라이버가 교번하여 스캔펄스를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 4 항에 있어서,

상기 제 1 및 제 2 게이트 드라이버로부터 출력된 각 스캔펄스의 펄스폭의 일부 구간이 중첩된 것을 특징으로 하는 액정표시장치.

청구항 6.

제 3 항에 있어서,

상기 제 1 게이트 드라이버는 제 n (n 은 자연수) 화소행에 구비된 제 1 게이트 라인에 스캔펄스를 공급하여 제 n 화소행의 제 1 화소셀들을 구동하고;

이후 상기 제 2 게이트 드라이버는 제 n 화소행에 구비된 제 2 게이트 라인에 스캔펄스를 공급하여 상기 제 n 화소행의 제 2 화소셀들을 구동하고;

이후 상기 제 1 게이트 드라이버는 제 n+ 1 화소행에 구비된 제 1 게이트 라인에 스캔펄스를 공급하여 제 n+ 1 화소행의 제 2 화소셀들을 구동하고;

이후 상기 제 2 게이트 드라이버는 제 n+ 1 화소행에 구비된 제 2 게이트 라인에 스캔펄스를 공급하여 제 n+ 1 화소행의 제 1 화소셀들을 구동하고;

이후 상기 제 1 게이트 드라이버는 제 n+ 2 화소행에 구비된 제 1 게이트 라인에 스캔펄스를 공급하여 상기 제 n+ 2 화소행의 제 2 화소셀들을 구동하고;

이후 상기 제 2 게이트 드라이버는 제 n+ 2 화소행에 구비된 제 2 게이트 라인에 스캔펄스를 공급하여 상기 제 n+ 2 화소행의 제 1 화소셀들을 구동하고;

이후 상기 제 1 게이트 드라이버는 제 n+ 3 화소행에 구비된 제 1 게이트 라인에 스캔펄스를 공급하여 상기 제 n+ 3 화소행의 제 1 화소셀들을 구동하고;

이후 상기 제 2 게이트 드라이버는 제 n+ 3 화소행에 구비된 제 2 게이트 라인에 스캔펄스를 공급하여 상기 제 n+ 3 화소행의 제 2 화소셀들을 구동하는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 1 항에 있어서,

제 n(n은 자연수) 화소행에 구비된 제 1 게이트 라인은 상기 제 n 화소행에 위치한 제 1 화소셀들에 접속되며;

상기 제 n 화소행에 구비된 제 2 게이트 라인은 상기 제 n 화소행에 위치한 제 2 화소셀들에 접속되며;

제 n+ 1 화소행에 구비된 제 1 게이트 라인은 상기 제 n+ 1 화소행에 위치한 제 2 화소셀들에 접속되며;

상기 제 n+ 1 화소행에 구비된 제 2 게이트 라인은 상기 제 n+ 1 화소행에 위치한 제 1 화소셀들에 접속되며;

제 n+ 2 화소행에 구비된 제 1 게이트 라인은 상기 제 n+ 2 화소행에 위치한 제 2 화소셀들에 접속되며;

상기 제 n+ 2 화소행에 구비된 제 2 게이트 라인은 상기 제 n+ 2 화소행에 위치한 제 1 화소셀들에 접속되며;

제 n+ 3 화소행에 구비된 제 1 게이트 라인은 상기 제 n+ 3 화소행에 위치한 제 1 화소셀들에 접속되며; 그리고,

상기 제 n+ 3 화소행에 구비된 제 2 게이트 라인은 상기 제 n+ 3 화소행에 위치한 제 2 화소셀들에 접속된 것을 특징으로 하는 액정표시장치.

청구항 8.

제 1 항에 있어서,

시스템으로부터의 순차적으로 공급되는 데이터를 공급받고, 상기 각 화소행의 제 1 및 제 2 화소셀이 구동되는 순서에 대응되도록 상기 데이터의 출력순서를 정렬하는 데이터 정렬부;

상기 데이터 정렬부로부터의 데이터를 공급받아 타이밍 제어하여 출력하는 타이밍 콘트롤러; 및,

상기 타이밍 콘트롤러로부터의 데이터에 따라, 미리 설정된 계조전압을 상기 데이터 라인들에 공급하는 데이터 드라이버를 더 포함함을 특징으로 하는 액정표시장치.

청구항 9.

제 7 항에 있어서,

상기 데이터 정렬부는,

일정 주기마다 반전되는 제어신호의 논리값에 따라 제 1 클럭펄스 및 제 2 클럭펄스 중 어느 하나를 출력하는 제 1 멀티플렉서;

상기 시스템으로부터 데이터를 공급받아 상기 제 1 멀티플렉서로부터의 제 1 클럭펄스에 따라 상기 제 n 화소행의 제 1 화소셀에 해당하는 제 1 데이터를 저장하고, 상기 제 1 멀티플렉서로부터의 제 2 클럭펄스에 따라 상기 제 n+ 2 화소행의 제 2 화소셀에 해당하는 제 2 데이터를 저장하는 제 1 저장부;

상기 제어신호의 논리값을 반전시켜 출력하는 반전부;

상기 반전부로부터 공급되는 제어신호의 논리값에 따라 제 1 클럭펄스 및 제 2 클럭펄스 중 어느 하나를 출력하는 제 2 멀티플렉서;

상기 시스템으로부터 데이터를 공급받아 상기 제 2 멀티플렉서로부터의 제 2 클럭펄스에 따라 상기 제 n 화소행의 제 2 화소셀에 해당하는 제 3 데이터를 저장하고, 상기 제 2 멀티플렉서로부터의 제 1 클럭펄스에 따라 상기 제 n+ 2 화소행의 제 1 화소셀에 해당하는 제 4 데이터를 저장하는 제 2 저장부;

상기 제어신호의 논리값에 따라 제 3 클럭펄스 및 제 4 클럭펄스 중 어느 하나를 출력하는 제 3 멀티플렉서;

상기 시스템으로부터 데이터를 공급받아 상기 제 3 멀티플렉서로부터의 제 3 클럭펄스에 따라 상기 제 n+ 1 화소행의 제 2 화소셀에 해당하는 제 5 데이터를 저장하고, 상기 제 3 멀티플렉서로부터의 제 4 클럭펄스에 따라 제 n+ 3 화소행의 제 1 화소셀에 해당하는 제 6 데이터를 저장하는 제 3 저장부;

상기 반전부로부터 공급되는 제어신호의 논리값에 따라 제 3 클럭펄스 및 제 4 클럭펄스 중 어느 하나를 출력하는 제 4 멀티플렉서; 및,

상기 시스템으로부터 데이터를 공급받아 상기 제 4 멀티플렉서로부터의 제 4 클럭펄스에 따라 상기 제 n+ 1 화소행의 제 1 화소셀에 해당하는 제 7 데이터를 저장하고, 상기 제 3 멀티플렉서로부터의 제 3 클럭펄스에 따라 제 n+ 3 화소행의 제 2 화소셀에 해당하는 제 8 데이터를 저장하는 제 4 저장부를 포함함을 특징으로 하는 액정표시장치.

청구항 10.

제 1 항에 있어서,

상기 각 화소행의 타측 끝단에 위치한 제 2 화소셀들 중 j (j 는 자연수)개의 제 2 화소셀들이 제 1 게이트 라인에 접속되고, 상기 k 개를 제외한 나머지 제 2 화소셀들이 제 2 게이트 라인에 접속된 것을 특징으로 하는 액정표시장치.

청구항 11.

제 10 항에 있어서,

각 화소행의 타측 끝단에 위치한 제 2 화소셀들 중 각 제 1 게이트 라인들에 접속된 제 2 화소셀들의 수와 상기 각 제 2 게이트 라인에 접속된 제 2 화소셀들의 수가 동일한 것을 특징으로 하는 액정표시장치.

청구항 12.

다수의 화소행들을 갖는 액정패널과; 상기 다수의 화소행들과 교차하도록 배열된 다수의 데이터 라인들과; 상기 각 데이터 라인의 일측에 위치한 각 화소행에 형성되며, 상기 각 데이터 라인의 일측에 각각 접속된 제 1 화소셀과; 상기 각 데이터 라인의 타측에 위치한 각 화소행에 형성되며, 상기 각 데이터 라인의 타측에 각각 접속된 제 2 화소셀과; 상기 각 화소행마다 구비되며, 서로 다른 방향에서 스캔펄스가 공급되는 제 1 및 제 2 게이트 라인을 포함하는 액정표시장치의 구동방법에 있어서,

상기 각 화소행의 일측 끝단에 위치한 제 1 화소셀들 중 i (i 는 자연수)개의 제 1 화소셀들을 제 1 게이트 라인으로부터의 스캔펄스를 통해 구동시키는 단계; 및,

상기 i 개를 제외한 나머지 제 1 화소셀들을 제 2 게이트 라인으로부터의 스캔펄스를 통해 구동시키는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시장치의 구동방법.

청구항 13.

제 12 항에 있어서,

제 n (n 은 자연수) 화소행에 구비된 제 1 게이트 라인으로부터의 스캔펄스를 사용하여 제 n 화소행의 제 1 화소셀들을 구동하는 단계;

상기 제 n 화소행에 구비된 제 2 게이트 라인을 사용하여 상기 제 n 화소행의 제 2 화소셀들을 구동하는 단계;

제 $n+1$ 화소행에 구비된 제 1 게이트 라인으로부터의 스캔펄스를 사용하여 제 $n+1$ 화소행의 제 2 화소셀들을 구동하는 단계;

상기 제 $n+1$ 화소행에 구비된 제 2 게이트 라인으로부터의 스캔펄스를 사용하여 제 $n+1$ 화소행의 제 1 화소셀들을 구동하는 단계;

제 $n+2$ 화소행에 구비된 제 1 게이트 라인으로부터의 스캔펄스를 사용하여 상기 제 $n+2$ 화소행의 제 2 화소셀들을 구동하는 단계;

상기 제 $n+2$ 화소행에 구비된 제 2 게이트 라인으로부터의 스캔펄스를 사용하여 상기 제 $n+2$ 화소행의 제 1 화소셀들을 구동하는 단계;

제 $n+3$ 화소행에 구비된 제 1 게이트 라인으로부터의 스캔펄스를 사용하여 상기 제 $n+3$ 화소행의 제 1 화소셀들을 구동하는 단계; 및,

상기 제 $n+3$ 화소행에 구비된 제 2 게이트 라인으로부터의 스캔펄스를 사용하여 상기 제 $n+3$ 화소행의 제 2 화소셀들을 구동하는 단계를 더 포함하여 이루어짐을 특징으로 하는 액정표시장치의 구동방법.

청구항 14.

제 13 항에 있어서,

시스템으로부터의 순차적으로 공급되는 데이터를 공급받고, 상기 각 화소행의 제 1 및 제 2 화소셀이 구동되는 순서에 대응되도록 상기 데이터의 출력순서를 정렬하는 단계;

상기 정렬된 데이터를 타이밍 제어하여 출력하는 단계; 및,

상기 타이밍 제어되어 출력된 데이터에 따라 미리 설정된 계조전압을 상기 데이터 라인들에 공급하는 단계를 더 포함하여 이루어짐을 특징으로 하는 액정표시장치의 구동방법.

청구항 15.

제 14 항에 있어서,

상기 데이터를 정렬하는 단계는,

일정 주기마다 반전되는 제어신호의 논리값에 따라 제 1 클럭펄스 및 제 2 클럭펄스 중 어느 하나를 출력하는 단계;

상기 시스템으로부터 데이터를 공급받아 상기 제 1 클럭펄스에 따라 상기 제 n 화소행의 제 1 화소셀에 해당하는 제 1 데이터를 제 1 저장부에 저장하는 단계;

상기 제어신호의 논리값을 반전시켜 출력하는 단계;

상기 반전된 제어신호의 논리값에 따라 제 1 클럭펄스 및 제 2 클럭펄스 중 어느 하나를 출력하는 단계;

상기 시스템으로부터 데이터를 공급받아 상기 제 2 클럭펄스에 따라 상기 제 n 화소행의 제 2 화소셀에 해당하는 제 2 데이터를 제 2 저장부에 저장하는 단계;

상기 제어신호의 논리값에 따라 제 3 클럭펄스 및 제 4 클럭펄스 중 어느 하나를 출력하는 단계;

상기 시스템으로부터 데이터를 공급받아 상기 제 3 클럭펄스에 따라 상기 제 n+1 화소행의 제 2 화소셀에 해당하는 제 3 데이터를 제 3 저장부에 저장하는 단계;

상기 반전부로부터 공급되는 제어신호의 논리값에 따라 제 3 클럭펄스 및 제 4 클럭펄스 중 어느 하나를 출력하는 단계; 및,

상기 시스템으로부터 데이터를 공급받아 상기 제 4 멀티플렉서로부터의 제 4 클럭펄스에 따라 상기 제 n+1 화소행의 제 1 화소셀에 해당하는 제 4 데이터를 제 4 저장부에 저장하는 단계를 포함하여 이루어짐을 특징으로 하는 액정표시장치의 구동방법.

청구항 16.

제 15 항에 있어서,

상기 데이터를 정렬하는 단계는,

상기 시스템으로부터 데이터를 공급받아 상기 제 2 클럭펄스에 따라 상기 제 n+2 화소행의 제 2 화소셀에 해당하는 제 5 데이터를 상기 제 1 저장부에 저장하는 단계;

상기 시스템으로부터 데이터를 공급받아 상기 제 1 클럭펄스에 따라 상기 제 n+2 화소행의 제 1 화소셀에 해당하는 제 6 데이터를 상기 제 2 저장부에 저장하는 단계;

상기 시스템으로부터 데이터를 공급받아 상기 제 4 클럭펄스에 따라 제 n+3 화소행의 제 1 화소셀에 해당하는 제 7 데이터를 상기 제 3 저장부에 저장하는 단계; 및,

상기 시스템으로부터 데이터를 공급받아 상기 제 3 클럭펄스에 따라 제 n+3 화소행의 제 2 화소셀에 해당하는 제 8 데이터를 상기 제 4 저장부에 저장하는 단계를 더 포함하여 이루어짐을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 휘도편차를 줄일 수 있는 액정표시장치 및 이의 구동방법에 대한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 화소영역들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

상기 액정패널에는 다수의 게이트 라인들과 다수의 데이터 라인들이 교차하게 배열되고, 그 게이트 라인들과 데이터 라인들이 수직교차하여 정의되는 영역에 화소영역이 위치하게 된다. 그리고, 상기 화소영역들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 상기 액정패널에 형성된다.

상기 화소전극들 각각은 스위칭소자인 박막트랜지스터(TFT; Thin Film Transistor)의 소스단자 및 드레인단자를 경유하여 상기 데이터 라인에 접속된다. 상기 박막트랜지스터는 상기 게이트 라인을 경유하여 게이트단자에 인가되는 스캔펄스에 의해 턴-온되어, 상기 데이터 라인의 데이터 신호가 상기 화소전압에 충전되도록 한다.

도 1은 종래의 액정표시장치를 나타낸 도면이다.

종래의 액정표시장치는, 도 1에 도시된 바와 같이, 다수의 화소행들(HL1, HL2, HL3, ... HLk)을 갖는 액정패널(111)과, 상기 다수의 화소행들(HL1, HL2, HL3, ... HLk)에 교차하도록 배열된 다수의 데이터 라인(DL)들과, 상기 각 데이터 라인(DL)의 양측에 접속된 다수의 화소셀(PXL)들과, 각 화소행(HL1, HL2, HL3, ... HLk)의 상측에 구비된 제 1 게이트 라인(GL1)과, 상기 각 화소행(HL1, HL2, HL3, ... HLk)의 하측에 구비된 제 2 게이트 라인(GL2)과, 상기 제 1 게이트 라인(GL1)들을 구동하기 위한 제 1 게이트 드라이버(101)와, 상기 제 2 게이트 라인(GL2)들을 구동하기 위한 제 2 게이트 드라이버(102)를 포함한다.

상기 화소셀(PXL)들은 상기 각 화소행(HL1, HL2, HL3, ... HLk)을 따라 일정 간격으로 배열되어 있으며, 임의의 화소행을 따라 배열된 화소셀(PXL)들 중 기수번째 화소셀(PXL)은 제 1 게이트 라인(GL1)에 접속되며, 우수번째 화소셀(PXL)은 제 2 게이트 라인(GL2)에 접속된다.

각 제 1 게이트 라인(GL1)의 좌측 끝단은, 상기 액정패널(111)의 좌측에 위치한 제 1 게이트 드라이버(101)에 접속된다. 그리고, 각 제 2 게이트 라인(GL2)의 우측 끝단은 상기 액정패널(111)의 우측에 위치한 제 2 게이트 드라이버(102)에 접속된다.

이에 따라, 임의의 제 1 게이트 라인(GL1)에 접속된 화소셀(PXL)들 중에서 상기 제 1 게이트 라인(GL1)의 좌측 끝단에 가깝게 접속된 화소셀(PXL)일수록 덜 왜곡된 스캔펄스를 공급받고, 상기 임의의 제 1 게이트 라인(GL1)에 접속된 화소셀(PXL)들 중 상기 제 1 게이트 라인(GL1)의 우측 끝단에 가깝게 접속된 화소셀(PXL)일수록 더 왜곡된 스캔펄스를 공급받는다. 이는 게이트 라인에 존재하는 라인 저항에 기인한다. 이 라인 저항은 스캔펄스가 공급되는 지점으로부터 멀어질수록 더 증가한다.

이와 동일한 원리로, 임의의 제 2 게이트 라인(GL2)에 접속된 화소셀(PXL)들 중에서 상기 제 2 게이트 라인(GL2)의 우측 끝단에 가깝게 접속된 화소셀(PXL)일수록 덜 왜곡된 스캔펄스를 공급받고, 상기 임의의 제 2 게이트 라인(GL2)에 접속된 화소셀(PXL)들 중 상기 제 2 게이트 라인(GL2)의 좌측 끝단에 가깝게 접속된 화소셀(PXL)일수록 더 왜곡된 스캔펄스를 공급받는다.

이에 따라, 상기 제 1 게이트 라인(GL1)들의 좌측 끝단에 접속된 화소셀(PXL)들(즉, 도 1의 A블록내의 화소셀(PXL)들)이 높은 휘도를 나타내고, 또한 상기 제 2 게이트 라인(GL2)들의 우측 끝단에 접속된 화소셀(PXL)들(즉, 도 1의 B블록내의 화소셀(PXL)들)이 높은 휘도를 나타낸다. 따라서, 액정패널(111)의 양끝단이 다른 부분에 비하여 밝아지게 되어 휘도차가 발생하고, 이 휘도차에 의해서 화질이 떨어지는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 액정패널의 좌측 끝단에 위치한 화소셀들이 제 1 게이트 드라이버와 제 2 게이트 드라이버에 의해 나누어 구동되도록 하고, 상기 액정패널의 우측 끝단에 위치한 화소셀들이 제 1 게이트 드라이버와 제 2 게이트 드라이버에 의해 나누어 구동되도록 함으로써 액정패널의 양끝단에서 밝음 현상을 최소화할 수 있는 액정표시장치 및 이의 구동방법을 제공하는데 그 목적이 있다.

발명의 구성

상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 다수의 화소행들을 갖는 액정패널; 상기 다수의 화소행들과 교차하도록 배열된 다수의 데이터 라인들; 상기 각 데이터 라인의 일측에 위치한 각 화소행에 형성되며, 상기 각 데이터 라인의 일측에 각각 접속된 제 1 화소셀; 상기 각 데이터 라인의 타측에 위치한 각 화소행에 형성되며, 상기 각 데이터 라인의 타측에 각각 접속된 제 2 화소셀; 상기 각 화소행마다 구비되며, 서로 다른 방향에서 스캔펄스가 공급되는 제 1 및 제 2 게이트 라인을 포함하며, 상기 각 화소행의 일측 끝단에 위치한 제 1 화소셀들 중 i (i 는 자연수)개의 제 1 화소셀들이 제 1 게이트 라인에 접속되고, 상기 i 개를 제외한 나머지 제 1 화소셀들이 제 2 게이트 라인에 접속된 것을 그 특징으로 한다.

각 화소행의 일측 끝단에 위치한 제 1 화소셀들 중 각 제 1 게이트 라인들에 접속된 제 1 화소셀들의 수와 상기 각 제 2 게이트 라인에 접속된 제 1 화소셀들의 수가 동일한 것을 특징으로 한다.

상기 제 1 게이트 라인들에 순차적으로 스캔펄스를 공급하는 제 1 게이트 드라이버; 및, 상기 제 2 게이트 라인들에 순차적으로 스캔펄스를 공급하는 제 2 게이트 드라이버를 더 포함함을 특징으로 한다.

상기 제 1 게이트 드라이버와 제 2 게이트 드라이버가 교번하여 스캔펄스를 출력하는 것을 특징으로 한다.

상기 제 1 및 제 2 게이트 드라이버로부터 출력된 각 스캔펄스의 펄스폭의 일부 구간이 중첩된 것을 특징으로 한다.

상기 제 1 게이트 드라이버는 제 n (n 은 자연수) 화소행에 구비된 제 1 게이트 라인에 스캔펄스를 공급하여 제 n 화소행의 제 1 화소셀들을 구동하고; 이후 상기 제 2 게이트 드라이버는 제 n 화소행에 구비된 제 2 게이트 라인에 스캔펄스를 공급하여 상기 제 n 화소행의 제 2 화소셀들을 구동하고; 이후 상기 제 1 게이트 드라이버는 제 $n+1$ 화소행에 구비된 제 1 게이트 라인에 스캔펄스를 공급하여 제 $n+1$ 화소행의 제 2 화소셀들을 구동하고; 이후 상기 제 2 게이트 드라이버는 제 $n+1$ 화소행에 구비된 제 2 게이트 라인에 스캔펄스를 공급하여 제 $n+1$ 화소행의 제 1 화소셀들을 구동하고; 이후 상기 제 1 게이트 드라이버는 제 $n+2$ 화소행에 구비된 제 1 게이트 라인에 스캔펄스를 공급하여 상기 제 $n+2$ 화소행의 제 2 화소셀들을 구동하고; 이후 상기 제 2 게이트 드라이버는 제 $n+2$ 화소행에 구비된 제 2 게이트 라인에 스캔펄스를 공급하여 상기 제 $n+2$ 화소행의 제 1 화소셀들을 구동하고; 이후 상기 제 1 게이트 드라이버는 제 $n+3$ 화소행에 구비된 제 1 게이트 라인에 스캔펄스를 공급하여 상기 제 $n+3$ 화소행의 제 1 화소셀들을 구동하고; 이후 상기 제 2 게이트 드라이버는 제 $n+3$ 화소행에 구비된 제 2 게이트 라인에 스캔펄스를 공급하여 상기 제 $n+3$ 화소행의 제 2 화소셀들을 구동하는 것을 특징으로 한다.

제 n (n 은 자연수) 화소행에 구비된 제 1 게이트 라인은 상기 제 n 화소행에 위치한 제 1 화소셀들에 접속되며; 상기 제 n 화소행에 구비된 제 2 게이트 라인은 상기 제 n 화소행에 위치한 제 2 화소셀들에 접속되며; 제 $n+1$ 화소행에 구비된 제 1 게이트 라인은 상기 제 $n+1$ 화소행에 위치한 제 2 화소셀들에 접속되며; 상기 제 $n+1$ 화소행에 구비된 제 2 게이트 라인은 상기 제 $n+1$ 화소행에 위치한 제 2 화소셀들에 접속되며; 제 $n+2$ 화소행에 구비된 제 1 게이트 라인은 상기 제 $n+2$ 화소행에 위치한 제 2 화소셀들에 접속되며; 상기 제 $n+2$ 화소행에 구비된 제 2 게이트 라인은 상기 제 $n+2$ 화소행에 위치한 제 1 화소셀들에 접속되며; 제 $n+3$ 화소행에 구비된 제 1 게이트 라인은 상기 제 $n+3$ 화소행에 위치한 제 1 화소셀들에 접속되며; 그리고, 상기 제 $n+3$ 화소행에 구비된 제 2 게이트 라인은 상기 제 $n+3$ 화소행에 위치한 제 2 화소셀들에 접속되는 것을 특징으로 한다.

시스템으로부터의 순차적으로 공급되는 데이터를 공급받고, 상기 각 화소행의 제 1 및 제 2 화소셀이 구동되는 순서에 대응되도록 상기 데이터의 출력순서를 정렬하는 데이터 정렬부; 상기 데이터 정렬부로부터의 데이터를 공급받아 타이밍 제어하여 출력하는 타이밍 콘트롤러; 및, 상기 타이밍 콘트롤러로부터의 데이터에 따라, 미리 설정된 계조전압을 상기 데이터 라인들에 공급하는 데이터 드라이버를 더 포함함을 특징으로 한다.

상기 데이터 정렬부는, 일정 주기마다 반전되는 제어신호의 논리값에 따라 제 1 클럭펄스 및 제 2 클럭펄스 중 어느 하나를 출력하는 제 1 멀티플렉서; 상기 시스템으로부터 데이터를 공급받아 상기 제 1 멀티플렉서로부터의 제 1 클럭펄스에 따라 상기 제 n 화소행의 제 1 화소셀에 해당하는 제 1 데이터를 저장하고, 상기 제 1 멀티플렉서로부터의 제 2 클럭펄스에 따라 상기 제 n+2 화소행의 제 2 화소셀에 해당하는 제 2 데이터를 저장하는 제 1 저장부; 상기 제어신호의 논리값을 반전시켜 출력하는 반전부; 상기 반전부로부터 공급되는 제어신호의 논리값에 따라 제 1 클럭펄스 및 제 2 클럭펄스 중 어느 하나를 출력하는 제 2 멀티플렉서; 상기 시스템으로부터 데이터를 공급받아 상기 제 2 멀티플렉서로부터의 제 2 클럭펄스에 따라 상기 제 n 화소행의 제 2 화소셀에 해당하는 제 3 데이터를 저장하고, 상기 제 2 멀티플렉서로부터의 제 1 클럭펄스에 따라 상기 제 n+2 화소행의 제 1 화소셀에 해당하는 제 4 데이터를 저장하는 제 2 저장부; 상기 제어신호의 논리값에 따라 제 3 클럭펄스 및 제 4 클럭펄스 중 어느 하나를 출력하는 제 3 멀티플렉서; 상기 시스템으로부터 데이터를 공급받아 상기 제 3 멀티플렉서로부터의 제 3 클럭펄스에 따라 상기 제 n+1 화소행의 제 2 화소셀에 해당하는 제 5 데이터를 저장하고, 상기 제 3 멀티플렉서로부터의 제 4 클럭펄스에 따라 제 n+3 화소행의 제 1 화소셀에 해당하는 제 6 데이터를 저장하는 제 3 저장부; 상기 반전부로부터 공급되는 제어신호의 논리값에 따라 제 3 클럭펄스 및 제 4 클럭펄스 중 어느 하나를 출력하는 제 4 멀티플렉서; 및, 상기 시스템으로부터 데이터를 공급받아 상기 제 4 멀티플렉서로부터의 제 4 클럭펄스에 따라 상기 제 n+1 화소행의 제 1 화소셀에 해당하는 제 7 데이터를 저장하고, 상기 제 3 멀티플렉서로부터의 제 3 클럭펄스에 따라 제 n+3 화소행의 제 2 화소셀에 해당하는 제 8 데이터를 저장하는 제 4 저장부를 포함함을 특징으로 한다.

상기 각 화소행의 타측 끝단에 위치한 제 2 화소셀들 중 j (j 는 자연수)개의 제 2 화소셀들이 제 1 게이트 라인에 접속되고, 상기 k 개를 제외한 나머지 제 2 화소셀들이 제 2 게이트 라인에 접속된 것을 특징으로 한다.

각 화소행의 타측 끝단에 위치한 제 2 화소셀들 중 각 제 1 게이트 라인들에 접속된 제 2 화소셀들의 수와 상기 각 제 2 게이트 라인에 접속된 제 2 화소셀들의 수가 동일한 것을 특징으로 한다.

또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 구동방법은, 다수의 화소행들을 갖는 액정패널과; 상기 다수의 화소행들과 교차하도록 배열된 다수의 데이터 라인들과; 상기 각 데이터 라인의 일측에 위치한 각 화소행에 형성되며, 상기 각 데이터 라인의 일측에 각각 접속된 제 1 화소셀과; 상기 각 데이터 라인의 타측에 위치한 각 화소행에 형성되며, 상기 각 데이터 라인의 타측에 각각 접속된 제 2 화소셀과; 상기 각 화소행마다 구비되며, 서로 다른 방향에서 스캔펄스가 공급되는 제 1 및 제 2 게이트 라인을 포함하는 액정표시장치의 구동방법에 있어서, 상기 각 화소행의 일측 끝단에 위치한 제 1 화소셀들 중 i (i 는 자연수)개의 제 1 화소셀들을 제 1 게이트 라인으로부터의 스캔펄스를 통해 구동시키는 단계; 및, 상기 i 개를 제외한 나머지 제 1 화소셀들을 제 2 게이트 라인으로부터의 스캔펄스를 통해 구동시키는 단계를 포함하여 이루어짐을 그 특징으로 한다.

제 n (n 은 자연수) 화소행에 구비된 제 1 게이트 라인으로부터의 스캔펄스를 사용하여 제 n 화소행의 제 1 화소셀들을 구동하는 단계; 상기 제 n 화소행에 구비된 제 2 게이트 라인을 사용하여 상기 제 n 화소행의 제 2 화소셀들을 구동하는 단계; 제 $n+1$ 화소행에 구비된 제 1 게이트 라인으로부터의 스캔펄스를 사용하여 제 $n+1$ 화소행의 제 2 화소셀들을 구동하는 단계; 상기 제 $n+1$ 화소행에 구비된 제 2 게이트 라인으로부터의 스캔펄스를 사용하여 제 $n+1$ 화소행의 제 1 화소셀들을 구동하는 단계; 제 $n+2$ 화소행에 구비된 제 1 게이트 라인으로부터의 스캔펄스를 사용하여 상기 제 $n+2$ 화소행의 제 2 화소셀들을 구동하는 단계; 상기 제 $n+2$ 화소행에 구비된 제 2 게이트 라인으로부터의 스캔펄스를 사용하여 상기 제 $n+2$ 화소행의 제 1 화소셀들을 구동하는 단계; 제 $n+3$ 화소행에 구비된 제 1 게이트 라인으로부터의 스캔펄스를 사용하여 상기 제 $n+3$ 화소행의 제 1 화소셀들을 구동하는 단계; 및, 상기 제 $n+3$ 화소행에 구비된 제 2 게이트 라인으로부터의 스캔펄스를 사용하여 상기 제 $n+3$ 화소행의 제 2 화소셀들을 구동하는 단계를 더 포함하여 이루어짐을 특징으로 한다.

시스템으로부터의 순차적으로 공급되는 데이터를 공급받고, 상기 각 화소행의 제 1 및 제 2 화소셀이 구동되는 순서에 대응되도록 상기 데이터의 출력순서를 정렬하는 단계; 상기 정렬된 데이터를 타이밍 제어하여 출력하는 단계; 및, 상기 타이밍 제어되어 출력된 데이터에 따라 미리 설정된 계조전압을 상기 데이터 라인들에 공급하는 단계를 더 포함하여 이루어짐을 특징으로 한다.

상기 데이터를 정렬하는 단계는, 일정 주기마다 반전되는 제어신호의 논리값에 따라 제 1 클럭펄스 및 제 2 클럭펄스 중 어느 하나를 출력하는 단계; 상기 시스템으로부터 데이터를 공급받아 상기 제 1 클럭펄스에 따라 상기 제 n 화소행의 제 1 화

소셀에 해당하는 제 1 데이터를 제 1 저장부에 저장하는 단계; 상기 제어신호의 논리값을 반전시켜 출력하는 단계; 상기 반전된 제어신호의 논리값에 따라 제 1 클럭펄스 및 제 2 클럭펄스 중 어느 하나를 출력하는 단계; 상기 시스템으로부터 데이터를 공급받아 상기 제 2 클럭펄스에 따라 상기 제 n 화소행의 제 2 화소셀에 해당하는 제 2 데이터를 제 2 저장부에 저장하는 단계; 상기 제어신호의 논리값에 따라 제 3 클럭펄스 및 제 4 클럭펄스 중 어느 하나를 출력하는 단계; 상기 시스템으로부터 데이터를 공급받아 상기 제 3 클럭펄스에 따라 상기 제 n+1 화소행의 제 2 화소셀에 해당하는 제 3 데이터를 제 3 저장부에 저장하는 단계; 상기 반전부로부터 공급되는 제어신호의 논리값에 따라 제 3 클럭펄스 및 제 4 클럭펄스 중 어느 하나를 출력하는 단계; 및, 상기 시스템으로부터 데이터를 공급받아 상기 제 4 멀티플렉서로부터의 제 4 클럭펄스에 따라 상기 제 n+1 화소행의 제 1 화소셀에 해당하는 제 4 데이터를 제 4 저장부에 저장하는 단계를 포함하여 이루어짐을 특징으로 한다.

상기 데이터를 정렬하는 단계는, 상기 시스템으로부터 데이터를 공급받아 상기 제 2 클럭펄스에 따라 상기 제 n+2 화소행의 제 2 화소셀에 해당하는 제 5 데이터를 상기 제 1 저장부에 저장하는 단계; 상기 시스템으로부터 데이터를 공급받아 상기 제 1 클럭펄스에 따라 상기 제 n+2 화소행의 제 1 화소셀에 해당하는 제 6 데이터를 상기 제 2 저장부에 저장하는 단계; 상기 시스템으로부터 데이터를 공급받아 상기 제 4 클럭펄스에 따라 제 n+3 화소행의 제 1 화소셀에 해당하는 제 7 데이터를 상기 제 3 저장부에 저장하는 단계; 및, 상기 시스템으로부터 데이터를 공급받아 상기 제 3 클럭펄스에 따라 제 n+3 화소행의 제 2 화소셀에 해당하는 제 8 데이터를 상기 제 4 저장부에 저장하는 단계를 더 포함하여 이루어짐을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치를 상세히 설명하면 다음과 같다.

도 2는 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면이다.

본 발명의 실시예에 따른 액정표시장치는, 도 2에 도시된 바와 같이, 다수의 화소행들(HL1, HL2, HL3, HL4, ..., HLk)을 갖는 액정패널(222)과; 상기 다수의 화소행들(HL1 내지 HLk)과 교차하도록 배열된 다수의 데이터 라인(DL)들과; 상기 각 데이터 라인(DL)의 일측에 위치하도록 각 화소행(HL1 내지 HLk)에 형성되며, 상기 각 데이터 라인(DL)의 일측에 각각 접속된 제 1 화소셀(PXL1)과; 상기 각 데이터 라인(DL)의 타측에 위치하도록 각 화소행(HL1 내지 HLk)에 형성되며, 상기 각 데이터 라인(DL)의 타측에 각각 접속된 제 2 화소셀(PXL2)과; 상기 각 화소행(HL1 내지 HLk)마다 구비되며, 서로 다른 방향에서 스캔펄스가 공급되는 제 1 및 제 2 게이트 라인(GL1, GL2)을 포함한다.

구체적으로, 상기 제 1 화소셀(PXL1)들은 각 데이터 라인(DL)의 좌측에 위치하여 상기 각 데이터 라인(DL)의 좌측에 접속되며, 상기 제 2 화소셀(PXL2)들은 각 데이터 라인(DL)의 우측에 위치하여 상기 각 데이터 라인(DL)의 우측에 접속된다.

이때, 상기 각 화소행(HL1 내지 HLk)의 일측 끝단에 위치한 제 1 화소셀(PXL1)들(즉, 도 2의 C블록에 위치한 제 1 화소셀(PXL1)들) 중 i(i는 자연수)개의 제 1 화소셀(PXL1)들이 제 1 게이트 라인(GL1)에 접속되고, 상기 i개를 제외한 C블록의 나머지 제 1 화소셀(PXL1)들이 제 2 게이트 라인(GL2)에 접속된다.

여기서, 상기 C블록의 제 1 화소셀(PXL1)들 중에서, 상기 제 1 게이트 라인(GL1)에 접속된 제 1 화소셀(PXL1)들의 수와 상기 제 2 게이트 라인(GL2)에 접속된 제 1 화소셀(PXL1)들의 수를 동일하게 하는 것이 바람직하다.

또한, 상기 각 화소행(HL1 내지 HLk)의 타측 끝단에 위치한 제 2 화소셀(PXL2)들(즉, 도 2의 D블록에 위치한 제 2 화소셀(PXL2)들) 중 j(j는 자연수)개의 제 2 화소셀(PXL2)들이 제 1 게이트 라인(GL1)에 접속되고, 상기 j개를 제외한 D블록의 나머지 제 2 화소셀(PXL2)들이 제 2 게이트 라인(GL2)에 접속된다.

상기 화소셀(제 1 또는 제 2 화소셀(PX1 또는 PXL2))들 중에서 'R'이 기재된 화소셀(제 1 또는 제 2 화소셀(PX1 또는 PXL2))은 그 화소셀이 적색을 표현하는 화소셀임을 의미하며, 'G'가 기재된 화소셀(제 1 또는 제 2 화소셀(PX1 또는 PXL2))은 그 화소셀이 녹색을 표현하는 화소셀임을 의미하며, 그리고 'B'가 기재된 화소셀(제 1 또는 제 2 화소셀(PX1 또는 PXL2))은 그 화소셀이 청색을 표현하는 화소셀임을 의미한다.

상기 각 제 1 게이트 라인(GL1)은 상기 각 화소행(HL1 내지 HLk)의 상측마다 구비되는 바, 이 제 1 게이트 라인(GL1)들은 상기 액정패널(222)의 좌측에 위치한 제 1 게이트 드라이버(201)에 의해 구동된다. 그리고, 상기 각 제 2 게이트 라인(GL2)은 상기 각 화소행의 하측마다 구비되는 바, 이 제 2 게이트 라인(GL2)들은 상기 액정패널(222)의 우측에 위치한 제 2 게이트 드라이버(202)에 의해 구동된다.

본 발명에서는, 상기 액정패널(222)의 좌측 끝단에 위치한 제 1 화소셀(PXL1)들, 즉 C블록내의 제 1 화소셀(PXL1)들이 제 1 게이트 라인(GL1)들과 제 2 게이트 라인(GL2)들에 의해 나누어 구동된다. 즉, 상기 C블록내의 제 1 화소셀(PXL1)들이 제 1 게이트 드라이버(201)와 제 2 게이트 드라이버(202)에 의해 나누어 구동된다.

즉, 상기 C블록내의 제 1 화소셀(PXL1)들 중 상기 제 1 게이트 라인(GL1)에 접속된 제 1 화소셀(PXL1)들은 제 1 게이트 드라이버(201)에 의해 구동되고, 제 2 게이트 라인(GL2)에 접속된 제 1 화소셀(PXL1)들은 제 2 게이트 드라이버(202)에 의해 구동된다.

이때, 상기 C블록내에서 제 1 게이트 라인(GL1)에 접속된 제 1 화소셀(PXL1)들이 상기 제 1 게이트 드라이버(201)에 가깝게 위치하므로, 상기 C블록에서 상기 제 1 게이트 라인(GL1)에 접속된 제 1 화소셀(PXL1)들에는 거의 왜곡이 없는 스캔펄스가 공급된다. 반대로, 상기 C블록내에서 제 2 게이트 라인(GL2)에 접속된 제 1 화소셀(PXL1)들이 상기 제 2 게이트 드라이버(202)로부터 가장 멀리 위치하므로, 상기 C블록내에서 상기 제 1 게이트 라인(GL1)들에 접속된 제 2 화소셀(PXL2)들에는 왜곡이 심한 스캔펄스가 공급된다.

이에 따라, 상기 C블록내의 제 1 화소셀(PXL1)들에 데이터가 공급될 경우, 상기 C블록내에서 상기 제 1 게이트 라인(GL1)에 접속된 제 1 화소셀(PXL1)들이 가장 높은 휘도를 나타내고, 상기 C블록내에서 상기 제 2 게이트 라인(GL2)에 접속된 제 1 화소셀(PXL1)들이 가장 낮은 휘도를 나타낸다.

이와 같이 C블록내에 높은 휘도를 나타내는 제 1 화소셀(PXL1)들과 낮은 휘도를 나타내는 제 1 화소셀(PXL1)들이 동일한 수로 동시에 존재하므로, 액정패널(222)의 좌측 끝단에 위치한 제 1 화소셀(PXL1)들이 종래에 비하여 낮은 휘도를 나타내게 된다.

또한, 본 발명에서는, 상기 액정패널(222)의 우측 끝단에 위치한 제 2 화소셀(PXL2)들, 즉 D블록내의 제 2 화소셀(PXL2)들이 제 1 게이트 라인(GL1)들과 제 2 게이트 라인(GL2)들에 의해 나누어 구동된다. 즉, 상기 D블록내의 제 2 화소셀(PXL2)들이 제 1 게이트 드라이버(201)와 제 2 게이트 드라이버(202)에 의해 나누어 구동된다.

즉, 상기 D블록내의 제 2 화소셀(PXL2)들 중 상기 제 1 게이트 라인(GL1)에 접속된 제 2 화소셀(PXL2)들은 제 1 게이트 드라이버(201)에 의해 구동되고, 제 2 게이트 라인(GL2)에 접속된 제 2 화소셀(PXL2)들은 제 2 게이트 드라이버(202)에 의해 구동된다.

이때, 상기 D블록내에서 제 2 게이트 라인(GL2)에 접속된 제 2 화소셀(PXL2)들이 상기 제 2 게이트 드라이버(202)에 가깝게 위치하므로, 상기 D블록에서 상기 제 2 게이트 라인(GL2)에 접속된 제 2 화소셀(PXL2)들에는 거의 왜곡이 없는 스캔펄스가 공급된다. 반대로, 상기 D블록내에서 제 1 게이트 라인(GL1)에 접속된 제 2 화소셀(PXL2)들이 제 1 게이트 드라이버(201)로부터 가장 멀리 위치하므로, 상기 D블록내에서 상기 제 1 게이트 라인(GL1)들에 접속된 제 2 화소셀(PXL2)들에는 왜곡이 심한 스캔펄스가 공급된다.

이에 따라, 상기 D블록내의 제 2 화소셀(PXL2)들에 데이터가 공급될 경우, 상기 D블록내에서 상기 제 2 게이트 라인(GL2)에 접속된 제 2 화소셀(PXL2)들이 가장 높은 휘도를 나타내고, 상기 D블록내에서 상기 제 1 게이트 라인(GL1)에 접속된 제 2 화소셀(PXL2)들이 가장 낮은 휘도를 나타낸다.

이와 같이 D블록내에 높은 휘도를 나타내는 제 2 화소셀(PXL2)들과 낮은 휘도를 나타내는 제 2 화소셀(PXL2)들이 동일한 수로 동시에 존재하므로, 액정패널(222)의 우측 끝단에 위치한 제 2 화소셀(PXL2)들이 종래에 비하여 낮은 휘도를 나타내게 된다.

이에 따라, 본 발명에서는 액정패널(222)의 좌측 끝단(C블록)(또는 우측 끝단(D블록))과 액정패널(222)의 중심부간의 휘도차를 최소화할 수 있다.

여기서, 상기 제 1 게이트 드라이버(201)로부터 출력되는 스캔펄스와 제 2 게이트 드라이버(202)로부터 출력되는 스캔펄스를 좀 더 구체적으로 설명하면 다음과 같다.

도 3은 도 2의 제 1 및 제 2 게이트 드라이버로부터 출력된 스캔펄스의 타이밍도를 나타낸 도면이다.

도 3에 도시된 바와 같이, 상기 제 1 게이트 드라이버(201)는 상기 제 1 게이트 라인(GL1)들을 구동하기 위한 스캔펄스들(Vout1, Vout3, Vout5, ..., Voutp-1)을 출력하고, 상기 제 2 게이트 드라이버(202)는 상기 제 2 게이트 라인(GL2)들을 구동하기 위한 스캔펄스들(Vout2, Vout4, Vout6, ..., Voutp)을 차례로 출력한다.

이때, 상기 제 1 게이트 라인(GL1)들이 순차적으로 구동되도록, 상기 제 1 게이트 드라이버(201)는 가장 상측 화소행(HL1)에 구비된 제 1 게이트 라인(GL1)부터 가장 하측 화소행(HLk)에 구비된 제 1 게이트 라인(GL1)까지 순차적으로 스캔펄스(Vout1, Vout3, Vout5, ..., Voutp-1)를 공급한다. 그리고, 상기 제 2 게이트 라인(GL2)들이 순차적으로 구동되도록, 상기 제 2 게이트 드라이버(202)는 가장 상측 화소행(HL1)에 구비된 제 2 게이트 라인(GL2)부터 가장 하측 화소행(HLk)에 구비된 제 2 게이트 라인(GL2)까지 순차적으로 스캔펄스(Vout2, Vout4, Vout6, ..., Voutp)를 공급한다.

이때, 상기 제 1 게이트 드라이버(201)와 상기 제 2 게이트 드라이버(202)는 교번하여 구동한다. 즉, 상기 제 1 게이트 드라이버(201)가 한번 스캔펄스를 출력하고 나면, 이후 상기 제 2 게이트 드라이버(202)가 스캔펄스를 출력하는데, 이와 같은 순서가 교번적으로 발생한다.

한편, 상기 제 1 게이트 드라이버(201)로부터 출력된 각 스캔펄스(Vout1, Vout3, Vout5, ..., Voutp-1)의 펄스폭과 상기 제 2 게이트 드라이버(202)로부터 출력된 각 스캔펄스(Vout2, Vout4, Vout6, ..., Voutp)의 펄스폭의 일부 구간이 중첩되도록 하여도 무방하다. 이 스캔펄스들(Vout1 내지 Voutp)은 약 1/2 펄스폭 구간에 해당하는 기간동안 서로 중첩된다.

이와 같이 상기 스캔펄스들(Vout1 내지 Voutp)이 중첩하게 되면 동일 화소행에 위치한 제 1 및 제 2 게이트 라인(GL1, GL2)이 동시에 구동되고, 이에 따라 동일 화소행의 제 1 게이트 라인(GL1)에 접속된 제 1 화소셀(PXL1)들과 동일 화소행의 제 2 게이트 라인(GL2)에 접속된 제 2 화소셀(PXL2)이 동시에 구동된다. 그러면, 상기 동일 화소행의 제 1 화소셀(PXL1)들과 제 2 화소셀(PXL2)들이 각 데이터 라인(DL)으로부터 동시에 데이터를 공급받게 된다. 이때, 상기 데이터는 상기 제 1 화소셀(PXL1)들에 해당하는 데이터로서, 상기 제 2 화소셀(PXL2)들은 상기 데이터(상기 제 1 화소셀(PXL1)에 해당하는 데이터)에 의해 예비충전되게 된다. 물론, 상기 제 2 화소셀(PXL2)은 이후 공급되는 원래의 데이터를 공급받아 화상을 표시한다.

상기 각 스캔펄스(Vout1 내지 Voutp)는, 도 3에 도시된 바와 같이, 한 수평기간동안 각 게이트 라인을 구동시키기 위해 한 수평기간동안 하이논리 상태를 갖고, 나머지 기간동안 로우논리 상태를 갖는다.

상기 제 1 게이트 드라이버(201) 및 제 2 게이트 드라이버(202)는 상기 액정패널(222)내에 내장될 수 있는 바, 상기 제 1 게이트 드라이버(201)는 상기 액정패널(222)의 좌측 가장자리에 마련된 비표시부에 내장되며, 상기 제 2 게이트 드라이버(202)는 상기 액정패널(222)의 우측 가장자리에 마련된 비표시부에 내장되는 것이 바람직하다.

이와 같이 상기 제 1 및 제 2 게이트 드라이버(201, 202)가 교대로 구동함에 따라, 상기 제 1 게이트 라인(GL1)과 제 2 게이트 라인(GL2)이 교번하여 구동된다.

즉, 상기 제 1 및 제 2 게이트 드라이버(201, 202)는, 도 2에 도시된 바와 같이, 제 n(n은 자연수) 화소행에 구비된 제 1 게이트 라인(GL1)에 스캔펄스를 공급하여 제 n 화소행의 제 1 화소셀(PXL1)들을 구동하고;

이후 상기 제 n 화소행에 구비된 제 2 게이트 라인(GL2)에 스캔펄스를 공급하여 상기 제 n 화소행의 제 2 화소셀(PXL2)들을 구동하고;

이후 제 n+1 화소행에 구비된 제 1 게이트 라인(GL1)에 스캔펄스를 공급하여 제 n+1 화소행의 제 2 화소셀(PXL2)들을 구동하고;

이후 상기 제 n+1 화소행에 구비된 제 2 게이트 라인(GL2)에 스캔펄스를 공급하여 제 n+1 화소행의 제 1 화소셀(PXL1)들을 구동하고;

이후 제 n+2 화소행에 구비된 제 1 게이트 라인(GL1)에 스캔펄스를 공급하여 상기 제 n+2 화소행의 제 2 화소셀(PXL2)들을 구동하고;

이후 상기 제 n+2 화소행에 구비된 제 2 게이트 라인(GL2)에 스캔펄스를 공급하여 상기 제 n+2 화소행의 제 1 화소셀(PXL1)들을 구동하고;

이후 제 n+3 화소행에 구비된 제 1 게이트 라인(GL1)에 스캔펄스를 공급하여 상기 제 n+3 행의 제 1 화소셀(PXL1)들을 구동하고;

이후 상기 제 n+3 화소행에 구비된 제 2 게이트 라인(GL2)에 스캔펄스를 공급하여 상기 제 n+3 화소행의 제 2 화소셀(PXL2)들을 구동한다.

이를 위해, 제 n(n은 자연수) 화소행에 구비된 제 1 게이트 라인(GL1)은 상기 제 n 화소행에 위치한 제 1 화소셀(PXL1)들에 접속되며;

상기 제 n 화소행에 구비된 제 2 게이트 라인(GL2)은 상기 제 n 화소행에 위치한 제 2 화소셀(PXL2)들에 접속되며;

제 n+1 화소행에 구비된 제 1 게이트 라인(GL1)은 상기 제 n+1 화소행에 위치한 제 2 화소셀(PXL2)들에 접속되며;

상기 제 n+1 화소행에 구비된 제 2 게이트 라인(GL2)은 상기 제 n+1 화소행에 위치한 제 1 화소셀(PXL1)들에 접속되며;

제 n+2 화소행에 구비된 제 1 게이트 라인(GL1)은 상기 제 n+2 화소행에 위치한 제 2 화소셀(PXL2)들에 접속되며;

상기 제 n+2 화소행에 구비된 제 2 게이트 라인(GL2)은 상기 제 n+2 화소행에 위치한 제 1 화소셀(PXL1)들에 접속되며;

제 n+3 화소행에 구비된 제 1 게이트 라인(GL1)은 상기 제 n+3 화소행에 위치한 제 1 화소셀(PXL1)들에 접속되며; 그리고,

상기 제 n+3 화소행에 구비된 제 2 게이트 라인(GL2)은 상기 제 n+3 화소행에 위치한 제 2 화소셀(PXL2)들에 접속된다.

예를들어, 상기 제 1 게이트 드라이버(201)는 제 1 화소행(HL1)에 구비된 제 1 게이트 라인(GL1)에 제 1 스캔펄스(Vout1)를 공급하여 제 1 화소행(HL1)의 제 1 화소셀(PXL1)들을 구동한다.

이후 상기 제 2 게이트 드라이버(202)는 제 1 화소행(HL1)에 구비된 제 2 게이트 라인(GL2)에 제 2 스캔펄스(Vout2)를 공급하여 상기 제 1 화소행(HL1)의 제 2 화소셀(PXL2)들을 구동한다.

이후 상기 제 1 게이트 드라이버(201)는 제 2 화소행(HL2)에 구비된 제 1 게이트 라인(GL1)에 제 3 스캔펄스(Vout3)를 공급하여 제 2 화소행(HL2)의 제 2 화소셀(PXL2)들을 구동한다.

이후 상기 제 2 게이트 드라이버(202)는 제 2 화소행(HL2)에 구비된 제 2 게이트 라인(GL2)에 제 4 스캔펄스(Vout4)를 공급하여 제 2 화소행(HL2)의 제 1 화소셀(PXL1)들을 구동한다.

이후 상기 제 1 게이트 드라이버(201)는 제 3 화소행(HL3)에 구비된 제 1 게이트 라인(GL1)에 제 5 스캔펄스(Vout5)를 공급하여 상기 제 3 화소행(HL3)의 제 2 화소셀(PXL2)들을 구동한다.

이후 상기 제 2 게이트 드라이버(202)는 제 3 화소행(HL3)에 구비된 제 2 게이트 라인(GL2)에 제 6 스캔펄스(Vout6)를 공급하여 상기 제 3 화소행(HL3)의 제 1 화소셀(PXL1)들을 구동한다.

이후 상기 제 1 게이트 드라이버(201)는 제 4 화소행(HL4)에 구비된 제 1 게이트 라인(GL1)에 제 7 스캔펄스(Vout7)를 공급하여 상기 제 4 화소행(HL4)의 제 1 화소셀(PXL1)들을 구동한다.

이후 상기 제 2 게이트 드라이버(202)는 제 4 화소행(HL4)에 구비된 제 2 게이트 라인(GL2)에 제 8 스캔펄스(Vout8)를 공급하여 상기 제 4 화소행(HL4)의 제 2 화소셀(PXL2)들을 구동한다.

이와 같은 구동 순서에 의해, 각 데이터 라인(DL)에 접속된 제 1 및 제 2 화소셀(PXL1, PXL2)들은, 도 2에 도시된 화살표(244) 방향을 따라 구동된다.

이와 같은 구동을 위해, 상기 제 1 화소행(HL1)에 구비된 제 1 게이트 라인(GL1)은 상기 제 1 화소행(HL1)에 위치한 제 1 화소셀(PXL1)들에 접속되며;

상기 제 1 화소행(HL1)에 구비된 제 2 게이트 라인(GL2)은 상기 제 1 화소행(HL1)에 위치한 제 2 화소셀(PXL2)들에 접속되며;

제 2 화소행(HL2)에 구비된 제 1 게이트 라인(GL1)은 상기 제 2 화소행(HL2)에 위치한 제 2 화소셀(PXL2)들에 접속되며;

상기 제 2 화소행(HL2)에 구비된 제 2 게이트 라인(GL2)은 상기 제 2 화소행(HL2)에 위치한 제 1 화소셀(PXL1)들에 접속되며;

제 3 화소행(HL3)에 구비된 제 1 게이트 라인(GL1)은 상기 제 3 화소행(HL3)에 위치한 제 2 화소셀(PXL2)들에 접속되며;

상기 제 3 화소행(HL3)에 구비된 제 2 게이트 라인(GL2)은 상기 제 3 화소행(HL3)에 위치한 제 1 화소셀(PXL1)들에 접속되며;

제 4 화소행(HL4)에 구비된 제 1 게이트 라인(GL1)은 상기 제 4 화소행(HL4)에 위치한 제 1 화소셀(PXL1)들에 접속되며; 그리고,

상기 제 4 화소행(HL4)에 구비된 제 2 게이트 라인(GL2)은 상기 제 4 화소행(HL4)에 위치한 제 2 화소셀(PXL2)들에 접속된다.

이때, 각 제 1 및 제 2 게이트 라인(GL1, GL2)과 각 제 1 및 제 2 화소셀(PXL1, PXL2)은 박막트랜지스터(TFT)에 의해서 서로 접속된다. 또한, 이 박막트랜지스터(TFT)는 각 데이터 라인(DL)과도 접속된다.

즉, 상기 제 n 화소행의 제 1 게이트 라인(GL1)에 접속된 각 박막트랜지스터(TFT)는 상기 제 n 화소행에 위치한 각 제 1 화소셀(PXL1)에 접속되며;

상기 제 n 화소행의 제 2 게이트 라인(GL2)에 접속된 각 박막트랜지스터(TFT)는 상기 제 n 화소행에 위치한 각 제 2 화소셀(PXL2)에 접속되며;

제 n+1 화소행의 제 1 게이트 라인(GL1)에 접속된 각 박막트랜지스터(TFT)는 상기 제 n+1 화소행에 위치한 각 제 2 화소셀(PXL2)에 접속되며;

제 n+1 화소행의 제 2 게이트 라인(GL2)에 접속된 각 박막트랜지스터(TFT)는 상기 제 n+1 화소행에 위치한 각 제 1 화소셀(PXL1)에 접속되며;

제 n+2 화소행의 제 1 게이트 라인(GL1)에 접속된 각 박막트랜지스터(TFT)는 상기 제 n+2 화소행에 위치한 각 제 2 화소셀(PXL2)에 접속되며;

상기 제 n+2 화소행의 제 2 게이트 라인(GL2)에 접속된 각 박막트랜지스터(TFT)는 상기 제 n+2 화소행에 위치한 제 1 화소셀(PXL1)에 접속되며;

제 n+3 화소행의 제 1 게이트 라인(GL1)에 접속된 각 박막트랜지스터(TFT)는 상기 제 n+3 화소행에 위치한 각 제 1 화소셀(PXL1)에 접속되며; 그리고,

상기 제 n+3 화소행의 제 2 게이트 라인(GL2)에 접속된 각 박막트랜지스터(TFT)는 상기 제 n+3 화소행에 위치한 각 제 2 화소셀(PXL2)에 접속된다.

여기서, 각 데이터 라인(DL)에는 제 1 화소셀(PXL1)에 해당하는 데이터와 제 2 화소셀(PXL2)에 해당하는 순차적으로 데이터가 충전되어, 각 해당 화소셀에 순차적으로 공급된다.

예들들어, 제 1 화소행(HL1)의 제 1 게이트 라인(GL1)이 구동되어 상기 제 1 화소행(HL1)의 제 1 게이트 라인(GL1)에 접속된 제 1 화소셀(PXL1)들이 온될때, 상기 각 데이터 라인(DL)에는 상기 제 1 화소행(HL1)의 제 1 화소셀(PXL1)에 해당

하는 데이터(실제로는, 이 데이터에 따라 미리 설정된 계조전압)가 충전되고, 상기 제 1 화소행(HL1)의 제 2 게이트 라인(GL2)이 구동되어 상기 제 1 화소행(HL1)의 제 2 게이트 라인(GL2)에 접속된 제 2 화소셀(PXL2)들이 온될때, 상기 각 데이터 라인(DL)에는 상기 제 1 화소행(HL1)의 제 2 화소셀(PXL2)에 해당하는 데이터가 충전된다.

한편, 본 발명에 따른 액정표시장치는 데이터 정렬부(213), 타이밍 콘트롤러(214), 및 데이터 드라이버(215)를 더 포함한다.

상기 데이터 정렬부(213)는 시스템(도시되지 않음)으로부터 순차적으로 공급되는 데이터를 공급받고, 상기 각 화소행(HL1 내지 HLk)의 제 1 및 제 2 화소셀(PXL1, PXL2)이 구동되는 순서에 대응되도록 상기 데이터의 출력순서를 정렬한다.

상기 타이밍 콘트롤러(214)는 데이터 정렬부(213)로부터의 데이터를 공급받아, 이를 타이밍 제어하여 출력한다.

상기 데이터 드라이버(215)는 상기 타이밍 콘트롤러(214)로부터의 데이터를 공급받고, 이 데이터에 따라 미리 설정된 계조전압을 상기 데이터 라인(DL)들에 공급한다.

여기서, 상기 데이터 정렬부(213)를 좀 더 구체적으로 설명하면 다음과 같다.

도 4는 도 3의 데이터 정렬부(213)의 상세 구성도이다.

데이터 정렬부(213)는, 도 4에 도시된 바와 같이, 제 1 내지 제 4 멀티플렉서(MUX1 내지 MUX4)와, 제 1 내지 제 4 저장부(401 내지 404)와, 그리고 반전기(444)를 포함한다.

상기 제 1 내지 제 4 멀티플렉서(MUX1 내지 MUX4)에는 제어신호(CS)가 공급되는데, 이 제어신호(CS)는 매 수평기간마다 반전되는 교류신호이다. 이때, 상기 제 1 및 제 3 멀티플렉서(MUX1, MUX3)에는 상기 제어신호(CS)가 바로 공급되며, 상기 제 2 및 제 4 멀티플렉서(MUX2, MUX4)에는 반전기(444)를 통한 반전된 제어신호(CS)가 공급된다.

상기 제 1 멀티플렉서(MUX1)는 제 1 클럭펄스(CLK1)와 제 2 클럭펄스(CLK2)를 공급받고, 외부로부터 자신에게 공급되는 제어신호(CS)의 논리값에 따라 상기 제 1 클럭펄스(CLK1)와 제 2 클럭펄스(CLK2) 중 어느 하나를 출력한다.

상기 제 1 저장부(401)는 시스템으로부터 데이터(data)를 공급받고, 상기 제 1 멀티플렉서(MUX1)로부터의 제 1 클럭펄스(CLK1)에 따라 제 n 화소행의 제 1 화소셀(PXL1)에 해당하는 데이터를 저장하고, 상기 제 1 멀티플렉서(MUX1)로부터의 제 2 클럭펄스(CLK2)에 따라 제 n+2 화소행의 제 2 화소셀(PXL2)에 해당하는 데이터를 저장한다.

상기 제 2 멀티플렉서(MUX2)는 제 1 클럭펄스(CLK1)와 제 2 클럭펄스(CLK2)를 공급받고, 반전기(444)를 통하여 자신에게 입력되는 제어신호(CS)의 논리값에 따라 상기 제 1 클럭펄스(CLK1)와 제 2 클럭펄스(CLK2) 중 어느 하나를 출력한다.

상기 제 2 저장부(402)는 상기 시스템으로부터 데이터(data)를 공급받고, 상기 제 2 멀티플렉서(MUX2)로부터의 제 2 클럭펄스(CLK2)에 따라 상기 제 n 화소행의 제 2 화소셀(PXL2)에 해당하는 데이터를 저장하고, 상기 제 2 멀티플렉서(MUX2)로부터의 제 1 클럭펄스(CLK1)에 따라 상기 제 n+2 화소행의 제 1 화소셀(PXL1)에 해당하는 데이터를 저장한다.

상기 제 3 멀티플렉서(MUX3)는 제 3 클럭펄스(CLK3) 및 제 4 클럭펄스(CLK4)를 공급받고, 외부로부터 자신에게 공급되는 제어신호(CS)의 논리값에 따라 제 3 클럭펄스(CLK3) 및 제 4 클럭펄스(CLK4) 중 어느 하나를 출력한다.

상기 제 3 저장부(403)는 상기 시스템으로부터 데이터(data)를 공급받고, 상기 제 3 멀티플렉서(MUX3)로부터의 제 3 클럭펄스(CLK3)에 따라 상기 제 n+1 화소행의 제 2 화소셀(PXL2)에 해당하는 데이터를 저장하고, 상기 제 3 멀티플렉서(MUX3)로부터의 제 4 클럭펄스(CLK4)에 따라 제 n+3 화소행의 제 1 화소셀(PXL1)에 해당하는 데이터를 저장한다.

상기 제 4 멀티플렉서(MUX4)는 제 3 클럭펄스(CLK3) 및 제 4 클럭펄스(CLK4)를 공급받고, 반전기(444)를 통하여 자신에게 입력되는 제어신호(CS)의 논리값에 따라 상기 제 3 클럭펄스(CLK3)와 제 4 클럭펄스(CLK4) 중 어느 하나를 출력한다.

상기 제 4 저장부(404)는 시스템으로부터 데이터(data)를 공급받고, 상기 제 4 멀티플렉서(MUX4)로부터의 제 4 클럭펄스(CLK4)에 따라 상기 제 n+1 화소행의 제 1 화소셀(PXL1)에 해당하는 데이터를 저장하고, 상기 제 3 멀티플렉서(MUX3)로부터의 제 3 클럭펄스(CLK3)에 따라 제 n+3 화소행의 제 2 화소셀(PXL2)에 해당하는 데이터를 저장한다.

타이밍 콘트롤러(214)는 상기 제 1 내지 제 4 저장부(401 내지 404)로부터 데이터를 순차적으로 읽어들이고, 이들을 타이밍에 맞추어 데이터 드라이버(215)에 공급한다.

즉, 상기 타이밍 콘트롤러(214)는 상기 제 1 저장부(401)로부터 데이터를 읽어들이고, 이후 제 2 저장부(402)로부터 데이터를 읽어들이고, 이후 제 3 저장부(403)로부터 데이터를 읽어들이고, 이후 제 4 저장부(404)로부터 데이터를 읽어들이는 다.

그리고, 이 제 1 저장부(401)로부터의 데이터부터 제 4 저장부(404)로부터의 데이터를 순차적으로 데이터 드라이버(215)에 공급한다.

그러면, 상기 데이터 드라이버(215)는 제 1 내지 제 4 저장부(401 내지 404)에 저장된 데이터에 해당하는 게조전압을 각 데이터 라인(DL)에 공급한다.

이를 예를 들어 설명하면 다음과 같다.

도 5는 도 2의 임의의 데이터 라인과 상기 데이터 라인에 접속된 제 1 및 제 2 화소셀들을 나타낸 도면이다.

먼저, 시스템으로부터 제 1 내지 제 8 데이터가 순차적으로 출력된다고 가정하자.

상기 제 1 데이터는 제 1 화소행(HL1)의 제 1 화소셀(501)에 해당하는 데이터이고, 상기 제 2 데이터는 상기 제 1 화소행(HL1)의 제 2 화소셀(502)에 해당하는 데이터이고, 상기 제 3 데이터는 제 2 화소행(HL2)의 제 1 화소셀(503)에 해당하는 데이터이고, 상기 제 4 데이터는 상기 제 2 화소행(HL2)의 제 2 화소셀(504)에 해당하는 데이터이고, 상기 제 5 데이터는 제 3 화소행(HL3)의 제 1 화소셀(505)에 해당하는 데이터이고, 상기 제 6 데이터는 상기 제 3 화소행(HL3)의 제 2 화소셀(506)에 해당하는 데이터이고, 상기 제 7 데이터는 제 4 화소행(HL4)의 제 1 화소셀(507)에 해당하는 데이터이고, 그리고 상기 제 8 데이터는 상기 제 4 화소행(HL4)의 제 2 화소셀(508)에 해당하는 데이터이다.

상술한 바와 같이, 본 발명에서는 액정패널(222)의 양 가장자리와 중심부간의 휘도차이를 최소화하기 위해, 제 1 화소행(HL1)의 제 1 화소셀(501)을 구동시키고, 이후 상기 제 1 화소행(HL1)의 제 2 화소셀(502)을 구동하고, 이후 상기 제 2 화소행(HL2)의 제 2 화소셀(504)을 구동시키고, 이후 제 2 화소행(HL2)의 제 1 화소셀(503)을 구동시키고, 이후 제 3 화소행(HL3)의 제 2 화소셀(506)을 구동시키고, 이후 상기 제 3 화소행(HL3)의 제 1 화소셀(505)을 구동시키고, 이후 제 4 화소행(HL4)의 제 1 화소셀(507)을 구동시키고, 이후 상기 제 4 화소행(HL4)의 제 2 화소셀(508)을 구동시킨다.

상기 데이터 정렬부(213)는 이 구동순서에 맞도록 상기 제 1 내지 제 8 데이터의 정렬 순서를 변경시킨다.

먼저, 제 1 수평기간의 동작을 설명하면 다음과 같다.

상기 제 1 수평기간을 포함한 기수번째 수평기간에는 상기 제어신호(CS)가 하이논리를 갖는다고 가정하고, 제 2 수평기간을 포함한 우수번째 수평기간에는 상기 제어신호(CS)가 로우논리를 갖는다고 가정하자.

제 1 수평기간동안에는 상기 제어신호(CS)가 하이논리를 나타내므로, 상기 제 1 멀티플렉서(MUX1)는 상기 하이논리의 제어신호(CS)에 응답하여 제 1 클럭펄스(CLK1)를 출력하고 이를 제 1 저장부(401)에 공급한다. 그러면, 상기 제 1 저장부(401)는 상기 제 1 클럭펄스(CLK1)에 응답하여 상기 데이터들 중 제 1 데이터(제 1 화소행(HL1)의 제 1 화소셀(501)에 대응하는 데이터)를 저장한다.

제 2 멀티플렉서(MUX2)는 반전기(444)를 통한 반전된 제어신호(CS)가 공급된다. 즉, 상기 제 2 멀티플렉서(MUX2)는 로우논리의 제어신호(CS)에 응답하여 제 2 클럭펄스(CLK2)를 출력하고 이를 제 2 저장부(402)에 공급한다. 그러면, 상기 제 2 저장부(402)는 상기 제 2 클럭펄스(CLK2)에 응답하여 상기 데이터들 중 제 2 데이터(제 1 화소행(HL1)의 제 2 화소셀(502)에 대응하는 데이터)를 저장한다.

제 3 멀티플렉서(MUX3)는 상기 하이논리의 제어신호(CS)에 응답하여 제 3 클럭펄스(CLK3)를 출력하고 이를 제 3 저장부(403)에 공급한다. 그러면, 상기 제 3 저장부(403)는 상기 제 3 클럭펄스(CLK3)에 응답하여 상기 데이터들 중 제 4 데이터(제 2 화소행(HL2)의 제 2 화소셀(504)에 대응하는 데이터)를 저장한다.

제 4 멀티플렉서(MUX4)는 반전기(444)를 통한 반전된 제어신호(CS)가 공급된다. 즉, 상기 제 4 멀티플렉서(MUX4)는 로우논리의 제어신호(CS)에 응답하여 제 4 클럭펄스(CLK4)를 출력하고 이를 제 4 저장부(404)에 공급한다. 그러면, 상기 제 4 저장부(404)는 상기 제 4 클럭펄스(CLK4)에 응답하여 상기 데이터들 중 제 3 데이터(제 2 화소행(HL2)의 제 1 화소셀(503)에 대응하는 데이터)를 저장한다.

이에 따라, 제 1 수평기간동안 상기 제 1 저장부(401)에는 제 1 데이터가 저장되고, 제 2 저장부(402)에는 제 2 데이터가 저장되고, 제 3 저장부(403)에는 제 4 데이터가 저장되고, 그리고 상기 제 4 저장부(404)에는 제 4 데이터가 저장된다.

이후, 타이밍 컨트롤러(214)는 상기 제 1 내지 제 4 저장부(401 내지 404)로부터 차례로 데이터를 읽어들인다.

즉, 상기 타이밍 컨트롤러(214)는, 상기 제 1 저장부(401)의 제 1 데이터를 읽어들이고, 이후 상기 제 2 저장부(402)의 제 2 데이터를 읽어들이고, 이후 상기 제 3 저장부(403)의 제 4 데이터를 읽어들이고, 이후 상기 제 4 저장부(404)의 제 3 데이터를 읽어들이고, 그리고, 읽어들이는 순서대로 이 제 1 내지 제 4 데이터를 데이터 드라이버(215)로 출력한다.

그러면, 상기 데이터 드라이버(215)는 상기 각 데이터에 대한 계조전압을 생성하고, 이를 상기 임의의 데이터 라인(DL)에 순차적으로 공급한다.

이때, 상기 데이터 드라이버(215)는 상기 제 1 데이터에 해당하는 계조전압을 먼저 상기 임의의 데이터 라인(DL)에 공급하고, 이후 상기 제 2 데이터에 해당하는 계조전압을 상기 임의의 데이터 라인(DL)에 공급하고, 이후 상기 제 4 데이터에 해당하는 계조전압을 상기 임의의 데이터 라인(DL)에 공급하고, 이후 상기 제 3 데이터에 해당하는 계조전압을 상기 임의의 데이터 라인(DL)에 공급한다.

이에 따라, 상기 제 1 데이터가 상기 제 1 화소행(HL1)의 제 1 화소셀(501)에 공급되고, 이후 상기 제 2 데이터가 상기 제 1 화소행(HL1)의 제 2 화소셀(502)에 공급되고, 이후 상기 제 4 데이터가 상기 제 2 화소행(HL2)의 제 2 화소셀(504)에 공급되고, 그리고 상기 제 3 데이터가 상기 제 2 화소행(HL2)의 제 1 화소셀(503)에 공급된다.

이어서, 제 2 수평기간의 동작을 설명하면 다음과 같다.

제 2 수평기간동안에는 상기 제어신호(CS)가 로우논리를 나타내므로, 상기 제 1 멀티플렉서(MUX1)는 상기 로우논리의 제어신호(CS)에 응답하여 제 2 클럭펄스(CLK2)를 출력하고 이를 제 1 저장부(401)에 공급한다. 그러면, 상기 제 1 저장부(401)는 상기 제 2 클럭펄스(CLK2)에 응답하여 상기 데이터들 중 제 6 데이터(제 3 화소행(HL3)의 제 2 화소셀(506)에 대응하는 데이터)를 저장한다.

제 2 멀티플렉서(MUX2)는 반전기(444)를 통한 반전된 제어신호(CS)가 공급된다. 즉, 상기 제 2 멀티플렉서(MUX2)는 하이논리의 제어신호(CS)에 응답하여 제 1 클럭펄스(CLK1)를 출력하고 이를 제 2 저장부(402)에 공급한다. 그러면, 상기 제 2 저장부(402)는 상기 제 1 클럭펄스(CLK1)에 응답하여 상기 데이터들 중 제 5 데이터(제 3 화소행(HL3)의 제 1 화소셀(505)에 대응하는 데이터)를 저장한다.

제 3 멀티플렉서(MUX3)는 상기 로우논리의 제어신호(CS)에 응답하여 제 4 클럭펄스(CLK4)를 출력하고 이를 제 3 저장부(403)에 공급한다. 그러면, 상기 제 3 저장부(403)는 상기 제 4 클럭펄스(CLK4)에 응답하여 상기 데이터들 중 제 7 데이터(제 4 화소행(HL4)의 제 1 화소셀(507)에 대응하는 데이터)를 저장한다.

제 4 멀티플렉서(MUX4)는 반전기(444)를 통한 반전된 제어신호(CS)가 공급된다. 즉, 상기 제 4 멀티플렉서(MUX4)는 하이논리의 제어신호(CS)에 응답하여 제 3 클럭펄스(CLK3)를 출력하고 이를 제 4 저장부(404)에 공급한다. 그러면, 상기 제 4 저장부(404)는 상기 제 3 클럭펄스(CLK3)에 응답하여 상기 데이터들 중 제 8 데이터(제 4 화소행(HL4)의 제 2 화소셀(508)에 대응하는 데이터)를 저장한다.

이에 따라, 제 2 수평기간동안 상기 제 1 저장부(401)에는 제 6 데이터가 저장되고, 제 2 저장부(402)에는 제 5 데이터가 저장되고, 제 3 저장부(403)에는 제 7 데이터가 저장되고, 그리고 상기 제 4 저장부(404)에는 제 8 데이터가 저장된다.

이후, 타이밍 콘트롤러(214)는 상기 제 1 내지 제 4 저장부(401 내지 404)로부터 차례로 데이터를 읽어들인다.

즉, 상기 타이밍 콘트롤러(214)는, 상기 제 1 저장부(401)의 제 6 데이터를 읽어들이고, 이후 상기 제 2 저장부(402)의 제 5 데이터를 읽어들이고, 이후 상기 제 3 저장부(403)의 제 7 데이터를 읽어들이고, 이후 상기 제 4 저장부(404)의 제 8 데이터를 읽어들인다. 그리고, 읽어들이는 순서대로 이 제 5 내지 제 8 데이터를 데이터 드라이버(215)로 출력한다.

그러면, 상기 데이터 드라이버(215)는 상기 각 데이터에 대한 계조전압을 생성하고, 이를 상기 임의의 데이터 라인(DL)에 순차적으로 공급한다.

이때, 상기 데이터 드라이버(215)는 상기 제 6 데이터에 해당하는 계조전압을 먼저 상기 임의의 데이터 라인(DL)에 공급하고, 이후 상기 제 5 데이터에 해당하는 계조전압을 상기 임의의 데이터 라인(DL)에 공급하고, 이후 상기 제 7 데이터에 해당하는 계조전압을 상기 임의의 데이터 라인(DL)에 공급하고, 이후 상기 제 8 데이터에 해당하는 계조전압을 상기 임의의 데이터 라인(DL)에 공급한다.

이에 따라, 상기 제 6 데이터가 상기 제 3 화소행(HL3)의 제 2 화소셀(506)에 공급되고, 이후 상기 제 5 데이터가 상기 제 3 화소행(HL3)의 제 1 화소셀(505)에 공급되고, 이후 상기 제 7 데이터가 상기 제 4 화소행(HL4)의 제 1 화소셀(507)에 공급되고, 그리고 상기 제 8 데이터가 상기 제 4 화소행(HL4)의 제 2 화소셀(508)에 공급된다.

이와 같이 본 발명에서는 제 1 및 제 2 화소셀(PXL1, PXL2)의 구동순서에 맞추어 알맞은 순서로 각 데이터가 제 1 및 제 2 화소셀(PXL1, PXL2)에 공급되도록 함으로써 화상이 올바르게 표시되도록 한다.

한편, 도면에 도시하지 않았지만, 액정표시장치의 사이즈를 줄이기 위해, 상기 제 1 내지 제 4 멀티플렉서(MUX1 내지 MUX4), 그리고 제 1 내지 제 4 저장부(401 내지 404)는 상기 타이밍 콘트롤러(214)에 내장될 수 있다.

그리고, 상기 제 1 내지 제 4 멀티플렉서(MUX1 내지 MUX4), 그리고 제 1 내지 제 4 저장부(401 내지 404)는 하나의 데이터 라인(DL)을 담당하므로, 다수의 데이터 라인(DL)을 구동하기 위해서는 상기 다수의 제 1 내지 제 4 멀티플렉서(MUX1 내지 MUX4), 그리고 다수의 제 1 내지 제 4 저장부(401 내지 404)가 필요하다.

이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서 설명한 바와 같은 본 발명에 따른 액정표시장치 및 이의 구동방법에는 다음과 같은 효과가 있다.

본 발명에서는 액정패널의 좌측 끝단에 위치한 화소셀들이 제 1 게이트 드라이버와 제 2 게이트 드라이버에 의해 나누어 구동되도록 하고, 상기 액정패널의 우측 끝단에 위치한 화소셀들이 제 1 게이트 드라이버와 제 2 게이트 드라이버에 의해 나누어 구동되도록 함으로써 액정패널의 양끝단에서의 밝음 현상을 최소화할 수 있다.

도면의 간단한 설명

도 1은 종래의 액정표시장치를 나타낸 도면

도 2는 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면

도 3은 도 2의 제 1 및 제 2 게이트 드라이버로부터 출력된 스캔펄스의 타이밍도를 나타낸 도면

도 4는 도 3의 데이터 정렬부의 상세 구성도

도 5는 도 2의 임의의 데이터 라인과 상기 데이터 라인에 접속된 제 1 및 제 2 화소셀들을 나타낸 도면

* 도면의 주요부에 대한 부호 설명

PXL1 및 PXL2 : 화소셀 DL : 데이터 라인

GL1 및 GL2 : 게이트 라인 201 및 202 : 게이트 드라이버

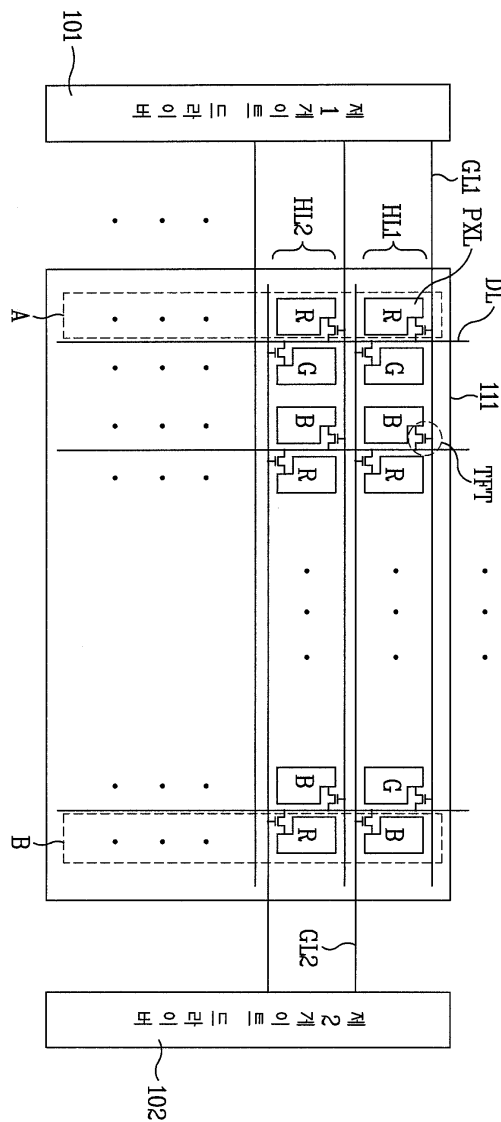
215 : 데이터 드라이버 214 : 타이밍 컨트롤러

213 : 데이터 정렬부 HL1 내지 HLk : 화소행

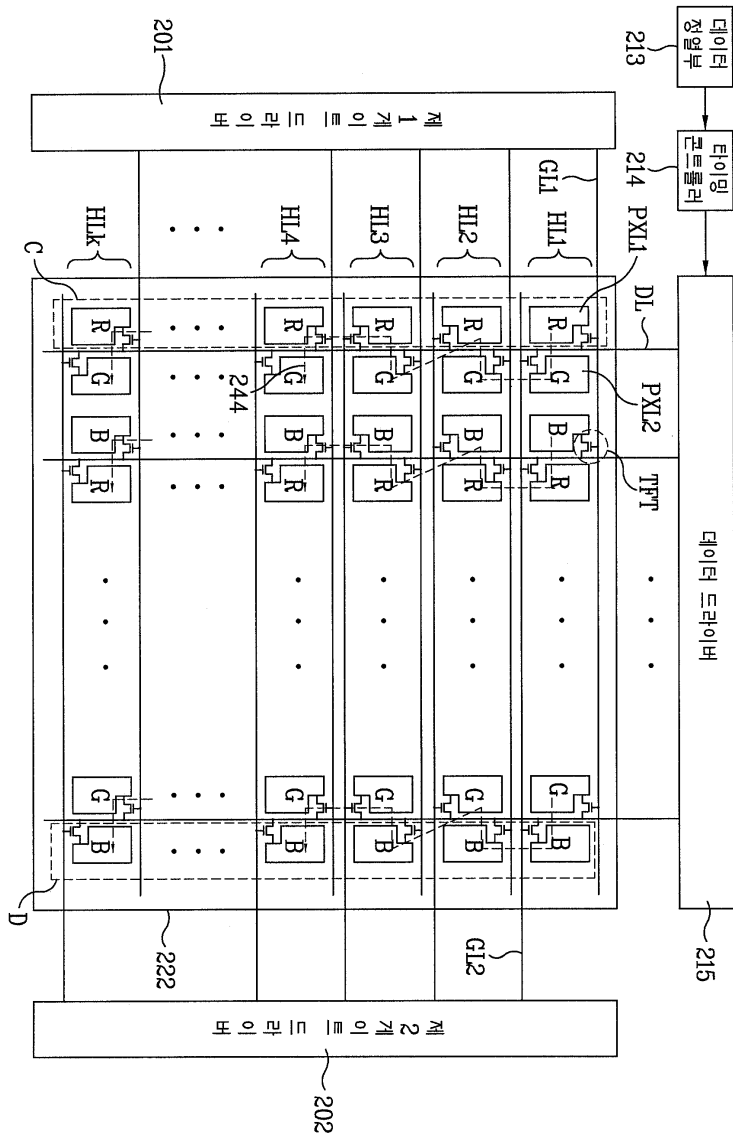
222 : 액정패널 244 : 화살표

도면

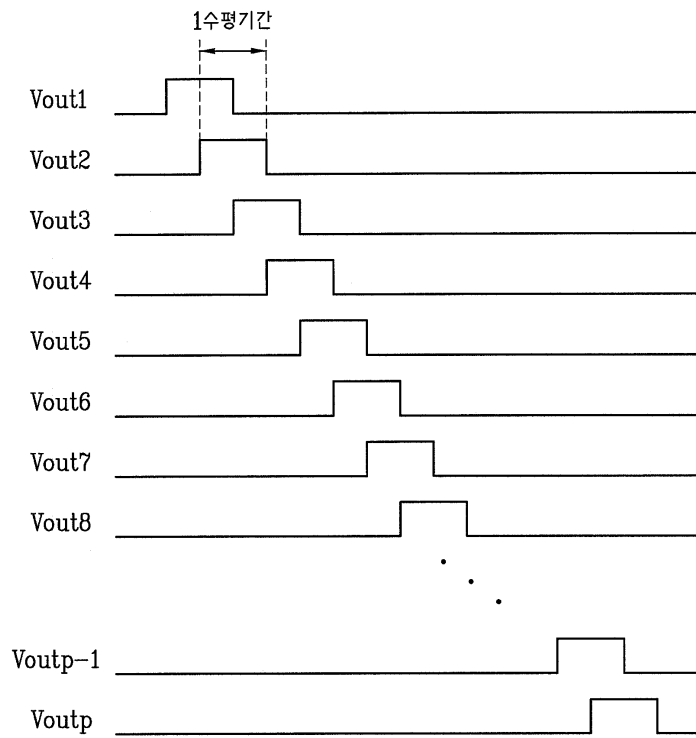
도면1



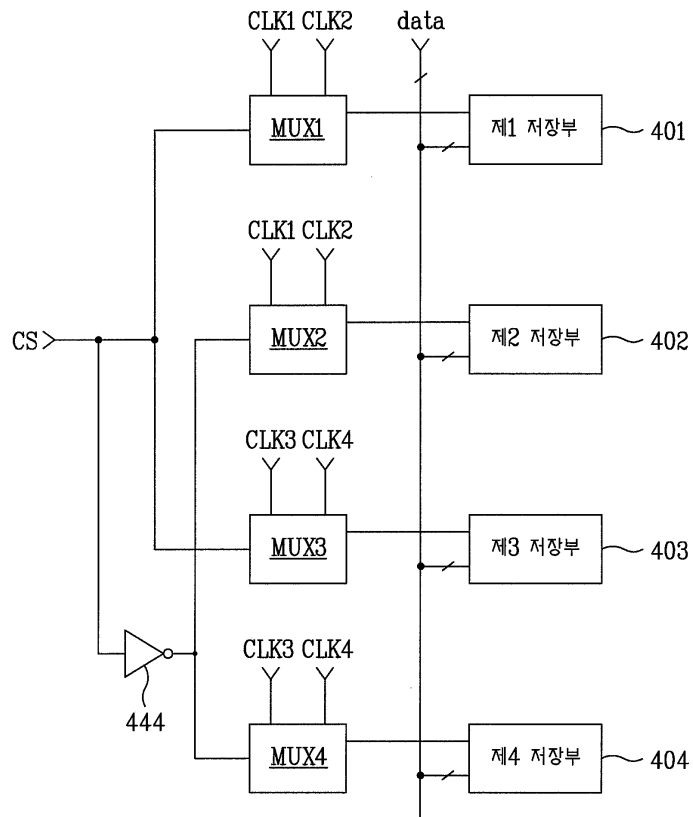
도면2



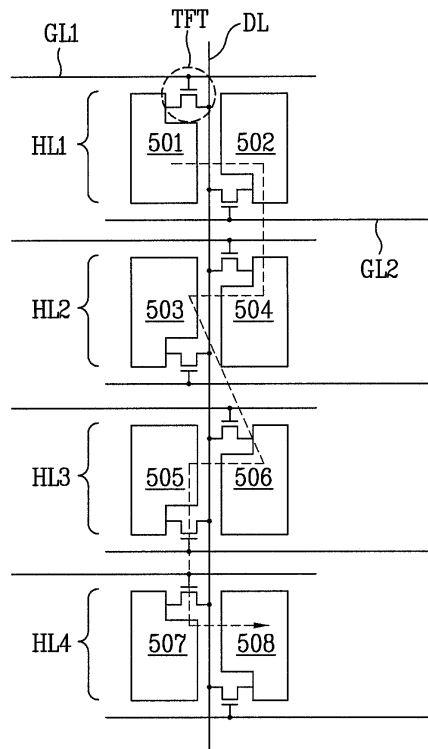
도면3



도면4



도면5



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020070081968A	公开(公告)日	2007-08-20
申请号	KR1020060014329	申请日	2006-02-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN JUNG WOOK		
发明人	SHIN,JUNG WOOK		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3659 G09G3/3677 G09G2310/0297 G09G2320/0626		
代理人(译)	金勇 新昌		
其他公开文献	KR101222964B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器及其驱动方法，使亮度变化最小化。并且液晶面板具有多个像素行，多条数据线，每条数据线一侧各自连接的第一像素单元形成在位于每条数据线一侧的每个像素行中，各个连接的第二像素单元在每条数据线的另一侧的单元中，在每条数据线的另一侧的每个像素行中形成单元，并且包括第一和第二栅极线。并且i的第一像素单元 (i是自然数) 连接到位于每个像素行的一侧端移位中的第一像素单元中的第一栅极线。除了i之外的第一像素单元被连接到第二栅极线。布置多条数据线以便与多个图像元素行交叉。对于第一和第二栅极线，它配备在每个像素行，并且扫描脉冲被提供给不同的方向。液晶显示器，亮度，像素行，数据编排器，电阻，扫描脉冲。

