

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸ (11) 공개번호 10-2006-0007949
G02F 1/133 (2006.01) (43) 공개일자 2006년01월26일

(21) 출원번호 10-2004-0057578
 (22) 출원일자 2004년07월23일

(71) 출원인 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 박행원
 경기도 성남시 중원구 은행2동 주공아파트 117-602
 문승환
 경기도 용인시 수지읍 상현리 현대I-PARK 6차아파트 205-1504

(74) 대리인 정상빈
 김동진

심사청구 : 없음

(54) 액정 표시 장치용 박막 트랜지스터 기판

요약

외부로부터 인가되는 직류 전압 신호를 게이트 구동부에 전달하는 직류 전압 신호 라인의 불량을 효과적으로 억제할 수 있는 액정 표시 장치(Liquid Crystal Display; LCD)용 박막 트랜지스터(Thin Film Transistor; TFT) 기판이 제공된다. 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판은 절연 기판, 절연 기판 상에 형성되어 있는 화면 표시부, 순차적으로 게이트 신호를 제공하는 다수의 시프트 레지스터를 포함하는 게이트 구동부, 데이터 구동부 및 외부로부터 직류 전압 신호를 전달받는 제 1 직류 전압 신호 라인, 제 1 직류 전압 신호 라인에 연결되어 있는 제 2 직류 전압 신호 라인 및 제 2 직류 전압 신호 라인에 연결되어 다수의 시프트 레지스터 각각에 직류 전압 신호를 전달하는 제 3 직류 전압 신호 라인을 포함하는 직류 전압 신호 배선부를 포함한다.

대표도

도 3

색인어

액정 표시 장치, 게이트 구동부, 직류 전압 신호

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 개략적 단면도이다.

도 2는 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 블록 구성도이다.

도 3은 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 게이트 구동부의 구성도이다.

도 4는 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 구동 신호 전달 영역의 레이아웃(layout) 도면이다.

도 5는 도 4의 V-V'의 선에 따른 단면도이다.

(도면의 주요부분에 대한 부호의 설명)

VSS_L1 내지 VSS_L3: 제 1 내지 제 3 직류 전압 신호 라인

CK1_L1, CK1_L2: 제 1 클럭 1 신호 라인, 제 2 클럭 1 신호 라인

CK2_L1, CK2_L2: 제 1 클럭 2 신호 라인, 제 2 클럭 2 신호 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치용 박막 트랜지스터 기관에 관한 것으로, 보다 상세하게는 외부로부터 인가되는 직류 전압 신호를 게이트 구동부에 전달하는 직류 전압 신호 라인의 불량을 효과적으로 억제할 수 있는 액정 표시 장치(Liquid Crystal Display; LCD)용 박막 트랜지스터(Thin Film Transistor; TFT) 기관에 관한 것이다.

텔레비전 등과 같은 표시 장치의 대형화 추세에 따라 음극선관 표시 장치(Cathode Ray Tube; CRT) 대신에 액정 표시 장치(LCD), 플라즈마 표시 장치(Plasma Display Panel; PDP), 유기 이엘 표시 장치(Organic ElectroLuminiscent Display; OLED) 등과 같은 평판 패널형 표시 장치가 개발되고 있다. 이러한 평판 패널형 표시 장치 중에서 경량화 및 박형화가 가능한 액정 표시 장치가 특히 주목 받고 있다.

액정 표시 장치는 공통 전극과 컬러 필터 등이 형성되어 있는 상부 기관과 박막 트랜지스터와 화소 전극(150) 등이 형성되어 있는 하부 기관 사이에 이방성 유전율을 갖는 액정 물질을 주입해 놓고, 화소 전극(150)과 공통 전극에 서로 다른 전위를 인가함으로써 액정 물질에 형성되는 전기의 세기를 조정하여 액정 물질의 분자 배열을 변경시키고, 이를 통하여 기관에 투과되는 빛의 양을 조절함으로써 원하는 화상을 표현하는 표시 장치이다. 이러한 액정 표시 장치는 박막 트랜지스터(Thin Film Transistor; TFT)를 스위칭 소자로 이용하는 박막 트랜지스터 액정 표시 장치(TFT LCD)가 주로 사용되고 있다. 그리고 이러한 박막 트랜지스터를 구동하기 위해서는 게이트 구동 회로와 데이터 구동 회로를 구비한다.

최근에는 게이트 구동 회로와 데이터 구동 회로를 박막 트랜지스터가 형성되는 기관 상에 형성하는 기술이 시도되고 있다. 그럼으로써 별도로 게이트 구동 회로와 데이터 구동 회로를 구비할 필요가 없기 때문에 액정 표시 장치의 제조 원가를 절감할 수 있다.

이와 같이, 박막 트랜지스터 기관 상에 게이트 구동 회로와 데이터 구동 회로를 형성하는 경우에는 게이트 구동 회로와 데이터 구동 회로를 제어하는 제어 신호를 외부로부터 게이트 구동 회로와 데이터 구동 회로에 전달하는 제어 신호 라인이 필요하게 된다. 여기에서, 외부로부터 직류 전압 신호(예를 들면, 접지 전원 전압; VSS)를 게이트 구동 회로에 전달하는 직류 전압 신호 라인은 다른 제어 신호(예를 들면, 클럭 1 신호; CK1, 클럭 2 신호; CK2)를 전달하는 신호 라인에 비해서 많은 전류를 소모하기 때문에 직류 전압 신호 라인의 접촉이 끊어지는 불량이 발생할 위험이 특히 높다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자 하는 기술적 과제는 외부로부터 인가되는 직류 전압 신호를 게이트 구동부에 전달하는 직류 전압 신호 라인의 불량을 효과적으로 억제할 수 있는 액정 표시 장치(Liquid Crystal Display; LCD)용 박막 트랜지스터(Thin Film Transistor; TFT) 기관을 제공하는 것이다.

본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판은 절연 기판, 상기 절연 기판 상에 다수의 게이트 라인 및 데이터 라인이 각각 행과 열 방향으로 형성되어 있으며, 상기 게이트 라인과 데이터 라인의 교차로 정의되는 영역에 각각 상기 게이트 라인 및 데이터 라인에 연결되어 있는 스위칭 소자 및 상기 스위칭 소자와 공통 전극 사이에 위치되는 액정 커패시터를 구비하는 다수의 화소들이 형성되어 있는 화면 표시부, 상기 다수의 게이트 라인에 순차적으로 게이트 신호를 제공하는 다수의 시프트 레지스터를 포함하는 게이트 구동부, 인가되는 데이터 신호에 따라 해당되는 계조 전압을 상기 다수의 데이터 라인으로 제공하는 데이터 구동부 및 외부로부터 직류 전압 신호를 전달받는 제 1 직류 전압 신호 라인, 상기 제 1 직류 전압 신호 라인에 연결되어 있는 제 2 직류 전압 신호 라인 및 상기 제 2 직류 전압 신호 라인에 연결되어 상기 다수의 시프트 레지스터 각각에 상기 직류 전압 신호를 전달하는 제 3 직류 전압 신호 라인을 포함하는 직류 전압 신호 배선부를 포함한다.

본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판은 상기 제 2 직류 전압 신호 라인은 상기 다수의 데이터 라인과 동일한 층에 형성될 수 있다.

본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판은 상기 제 2 직류 전압 신호 라인과 상기 제 3 직류 전압 신호 라인이 동일한 도전성 물질로 형성될 수 있다.

본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판은 상기 동일한 도전성 물질이 크롬/알루미늄(Cr/Al) 또는 몰리브덴/알루미늄(Mo/Al)일 수 있다.

본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판은 외부로부터 클럭 신호를 전달받는 클럭 신호 라인을 더 포함하며, 상기 클럭 신호 라인은 상기 제 2 직류 전압 신호 라인과 상기 게이트 구동부 사이에 형성되고, 상기 제 2 직류 전압 신호 라인과 절연되어 형성될 수 있다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

도 1을 참조하여, 본 발명의 일 실시예에 따른 액정 표시 장치에 대해서 설명한다. 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 개략적 단면도이다. 본 발명의 일 실시예에 따른 액정 표시 장치는 크게 하부 절연 기판(100), 상부 절연 기판(200) 및 그 사이에 주입되는 액정 물질(300)로 이루어진다. 하부 절연 기판(100)에는 화소 전극(150)과 게이트 신호에 따라서 드레인 전극(도시하지 않음)에 계조 전압을 인가하거나 차단하는 스위칭 소자(130)가 형성되어 있다. 이 때 스위칭 소자(130)는 박막 트랜지스터를 사용하는 것이 보통이다. 상부 절연 기판(200)에는 공통 전극(210)이 형성되어 있으며, 컬러 필터(도시하지 않음)와 블랙 매트릭스(도시하지 않음) 등이 더 형성되는 것이 일반적이다.

도 2를 참조하여, 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판에 대해서 설명한다. 도 2는 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 블록 구성도이다. 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판은 도 2에 도시된 것처럼, 하부 절연 기판(100) 상에 화면 표시부(101), 게이트 구동부(110) 및 데이터 구동부(120)를 포함한다.

화면 표시부(101)는 하부 절연 기판(100) 상에 다수의 게이트 라인(G1 내지 Gn) 및 데이터 라인(D1 내지 Dm)이 각각 행과 열 방향으로 형성되어 있으며, 게이트 라인(G1 내지 Gn)과 데이터 라인(D1 내지 Dm)의 교차로 정의되는 영역에 각각 게이트 라인(G1 내지 Gn) 및 데이터 라인(D1 내지 Dm)에 연결되어 있는 스위칭 소자(130) 및 스위칭 소자(130)와 공통 전극(210) 사이에 위치되는 액정 커패시터(도시하지 않음)를 구비하는 다수의 화소들이 형성되어 있다.

게이트 구동부(110)는 클럭 발생부(500)로부터 제공되는 클럭 1 신호(CK1), 클럭 2 신호(CK2) 및 직류 전압 신호(VSS)를 인가받아 다수의 게이트 라인(G1 내지 Gn)에 순차적으로 게이트 신호를 제공하는 다수의 시프트 레지스터(SR1 내지 SRn)를 포함하며, 데이터 구동부(120)는 수평 동기 시작 신호(STH)에 응답하여 인가되는 데이터 신호(Data)에 따라 해당되는 계조 전압을 다수의 데이터 라인(D1 내지 Dm)에 제공한다.

타이밍 제어부(400)는 하부 절연 기관(100)의 외부에 형성되어 있으며, 각종 타이밍 신호를 생성하여 게이트 구동부(110)와 데이터 구동부(120)를 제어한다. 즉, 그래픽 소스로부터 제공되는 수평 동기 신호(Hsync)에 동기되어 데이터 구동부(120)에 데이터 신호(Data)를 아날로그 값으로 변환하여 그 데이터 신호(Data)에 해당되는 계조 전압을 데이터 라인(D1 내지 Dm)에 인가하도록 제어하는 수평 동기 신호(Hsync)를 데이터 구동부(120)로 제공한다.

또한, 수직 동기 신호(Vsync)에 동기되어 수직 동기 시작 신호(STV)를 클럭 발생부(500)로 제공하며, 게이트 신호의 주기를 결정하는 게이트 클럭 신호(CPV)와 게이트 신호를 활성화시키는 게이트 온 인에이블 신호(OE)를 클럭 발생부(500)로 제공한다.

클럭 발생부(500)는 하부 절연 기관(100)의 외부에 형성되어 있으며, 타이밍 제어부(400)로부터 제공되는 게이트 클럭 신호(CPV)와 게이트 온 인에이블 신호(OE)에 응답하여 서로 반전되는 위상을 갖는 클럭 1 신호(CK1)와 클럭 2 신호(CK2) 및 직류 전압 신호(VSS)를 게이트 구동부(110)로 제공한다. 또한 클럭 발생부(500)는 타이밍 제어부(400)로부터 제공되는 수직 동기 시작 신호(STV)에 응답하여 게이트 구동부(110)가 순차적으로 게이트 신호를 제공하도록 제어하는 수직 동기 시작 제어 신호(STVP)를 게이트 구동부(110)로 제공한다.

도 3을 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터의 게이트 구동부(110)에 대해서 설명한다. 도 3은 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 게이트 구동부(110)의 구성도이다.

게이트 구동부(110)는 도 3에 도시된 것처럼, 다수의 시프트 레지스터(SR1 내지 SRn)로 구성되어 있고, 각 게이트 라인(G1 내지 Gn)은 각 시프트 레지스터(SR1 내지 SRn)의 출력 단자와 연결되어 있다. 따라서 각 시프트 레지스터(SR1 내지 SRn)가 순차적으로 구동되면서 다수의 게이트 라인(G1 내지 Gn)에 순차적으로 게이트 신호를 제공한다. 즉, 수직 동기 시작 제어 신호(STVP)에 응답하여 직류 전압 신호(VSS), 클럭 1 신호(CK1) 및 클럭 2 신호(CK2)를 전달받아 다수의 게이트 라인(G1 내지 Gn)에 순차적으로 소정의 시간 동안 하이 레벨의 전압을 갖는 게이트 신호를 제공한다.

게이트 구동부(110)는 클럭 발생부(500)로부터 직류 전압 신호 배선부를 통해서 직류 전압 신호(VSS)를, 클럭 1 신호 배선부를 통해서 클럭 1 신호(CK1)를, 클럭 2 신호 배선부를 통해서 클럭 2 신호(CK2)를, 그리고 수직 동기 시작 제어 신호 라인(STVP_L)을 통해서 수직 동기 시작 제어 신호(STVP)를 전달받는다.

직류 전압 신호 배선부는 제 1 내지 제 3 직류 전압 신호 라인(VSS_L1 내지 VSS_L3)으로 구성되어 있다. 여기에서 제 1 직류 전압 신호 라인(VSS_L1)은 클럭 발생부(500)로부터 직류 전압 신호(VSS)를 전달하며 제 2 직류 전압 신호 라인(VSS_L2)에 연결되어 있고, 제 3 직류 전압 신호 라인(VSS_L3)은 제 2 직류 전압 신호 라인(VSS_L2)에 연결되어 다수의 시프트 레지스터(SR1 내지 SRn) 각각에 직류 전압 신호(VSS)를 전달한다.

클럭 1 신호 배선부는 제 1 및 제 2 클럭 1 신호 라인(CK1_L1, CK1_L2)으로 구성되어 있다. 여기에서 제 1 클럭 1 신호 라인(CK1_L1)은 클럭 발생부(500)로부터 클럭 1 신호(CK1)를 전달하며, 제 2 클럭 1 신호 라인(CK1_L2)은 제 1 클럭 1 신호 라인(CK1_L1)에 연결되어 다수의 시프트 레지스터(SR1 내지 SRn) 각각에 클럭 1 신호(CK1)를 전달한다.

클럭 2 신호 배선부는 제 1 및 제 2 클럭 2 신호 라인(CK2_L1, CK2_L2)으로 구성되어 있다. 여기에서 제 1 클럭 2 신호 라인(CK2_L1)은 클럭 발생부(500)로부터 클럭 2 신호(CK2)를 전달하며, 제 2 클럭 2 신호 라인(CK2_L2)은 제 1 클럭 2 신호 라인(CK2_L1)에 연결되어 다수의 시프트 레지스터(SR1 내지 SRn) 각각에 클럭 2 신호(CK2)를 전달한다.

도 4 및 도 5를 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 게이트 구동부(110)의 구동 신호 배선에 대해서 설명한다. 도 4는 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 구동 신호 전달 영역의 레이아웃(layout) 도면이다. 도 5는 도 4의 V-V'의 선에 따른 단면도이다.

제 1 직류 전압 신호 라인(VSS_L1), 제 1 클럭 1 신호 라인(CK1_L1) 및 제 1 클럭 2 신호 라인(CK2_L1)은 서로 평행하며 동일한 제 1 도전성 물질로 형성되며, 후술하는 제 2 도전성 물질보다 배선 저항이 적은 물질이 이용된다. 예를 들면 알루미늄/네오디뮴(Al/Nd) 등이 있다. 통상 제 1 직류 전압 신호 라인(VSS_L1), 제 1 클럭 1 신호 라인(CK1_L1) 및 제 1 클럭 2 신호 라인(CK2_L1)은 화면 표시부(101)의 게이트 라인(G1 내지 Gn)을 형성할 때 같이 형성한다.

제 3 직류 전압 신호 라인(VSS_L3), 제 2 클럭 1 신호 라인(CK1_L2) 및 제 2 클럭 2 신호 라인(CK2_L2)은 서로 평행하며 동일한 제 2 도전성 물질로 형성되며, 예를 들면 크롬/알루미늄(Cr/Al) 또는 몰리브덴/알루미늄(Mo/Al) 등이 이용된다. 통상 제 3 직류 전압 신호 라인(VSS_L3), 제 2 클럭 1 신호 라인(CK1_L2) 및 제 2 클럭 2 신호 라인(CK2_L2)은 화면 표시부(101)의 데이터 라인(D1 내지 Dm)을 형성할 때 같이 형성한다. 그리고 제 3 직류 전압 신호 라인(VSS_L3), 제 2 클럭 1 신호 라인(CK1_L2) 및 제 2 클럭 2 신호 라인(CK2_L2)의 일단은 각각 직류 전압 신호 브리지(VSS_B), 클럭 1 신호 브리지(CK1_B) 및 클럭 2 신호 브리지(CK2_B)를 통하여 제 1 직류 전압 신호 라인(VSS_L1), 제 1 클럭 1 신호 라인(CK1_L1) 및 제 1 클럭 2 신호 라인(CK2_L1)과 연결되며, 타단은 각 시프트 레지스터(SR1 내지 SRn)에 연결되어 있다. 제 1 직류 전압 신호 라인(VSS_L1), 제 1 클럭 1 신호 라인(CK1_L1) 및 제 1 클럭 2 신호 라인(CK2_L1)과 제 3 직류 전압 신호 라인(VSS_L3), 제 2 클럭 1 신호 라인(CK1_L2) 및 제 2 클럭 2 신호 라인(CK2_L2) 사이에는 게이트 절연막(I_1)이 위치하며, 제 3 직류 전압 신호 라인(VSS_L3), 제 2 클럭 1 신호 라인(CK1_L2) 및 제 2 클럭 2 신호 라인(CK2_L2)의 상부에는 보호막(I_2)이 위치하고 있다. 따라서 제 1 직류 전압 신호 라인(VSS_L1), 제 1 클럭 1 신호 라인(CK1_L1) 및 제 1 클럭 2 신호 라인(CK2_L1)과 제 3 직류 전압 신호 라인(VSS_L3), 제 2 클럭 1 신호 라인(CK1_L2) 및 제 2 클럭 2 신호 라인(CK2_L2)은 직접 접촉하지는 않는다.

제 1 클럭 1 신호 라인(CK1_L1)은 클럭 발생부(500)로부터 클럭 1 신호(CK1)를 전달하기 위한 것이다. 제 1 클럭 1 신호 콘택(CK1_C1)은 제 1 클럭 1 신호 라인(CK1_L1)으로부터 분지되어 형성되어 있으며, 제 2 클럭 1 신호 콘택(CK1_C2)과 클럭 1 신호 브리지(CK1_B)를 통하여 연결되어 있다. 여기에서 제 2 클럭 1 신호 콘택(CK1_C2)은 제 2 클럭 1 신호 라인(CK1_L2)으로부터 분지되어 형성되어 있다. 그리고 클럭 1 신호 브리지(CK1_B)는 투명 전극(예를 들면 ITO(Indium Tin Oxide) 전극 또는 IZO(Indium Zinc Oxide) 전극)으로 이루어져 있다.

제 1 클럭 2 신호 라인(CK2_L1)은 클럭 발생부(500)로부터 클럭 2 신호(CK2)를 전달하기 위한 것이다. 제 1 클럭 2 신호 콘택(CK2_C1)은 제 1 클럭 2 신호 라인(CK2_L1)으로부터 분지되어 형성되어 있으며, 제 2 클럭 2 신호 콘택(CK2_C2)과 클럭 2 신호 브리지(CK2_B)를 통하여 연결되어 있다. 여기에서 제 2 클럭 2 신호 콘택(CK2_C2)은 제 2 클럭 2 신호 라인(CK2_L2)으로부터 분지되어 형성되어 있다. 그리고 클럭 2 신호 브리지(CK2_B)는 클럭 1 신호 브리지(CK1_B)와 동일하게 투명 전극으로 이루어져 있다.

제 1 직류 전압 신호 라인(VSS_L1)은 클럭 발생부(500)로부터 직류 전압 신호(VSS)를 전달하기 위한 것으로, 상술한 것처럼 제 1 클럭 1 신호 라인(CK1_L1)이나 제 1 클럭 2 신호 라인(CK2_L1)에 비해서 많은 전류를 소모하기 때문에 접촉이 끊어지는 불량 발생 확률이 높다. 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판은 제 1 직류 전압 신호 라인(VSS_L1)에 연결되는 제 2 직류 전압 신호 라인(VSS_L2)을 구비한다.

여기에서, 제 2 직류 전압 신호 라인(VSS_L2)은 투명 전극으로 이루어진 직류 전압 신호 브리지(VSS_B)를 통하여 직류 전압 신호 콘택(VSS_C)과 연결되어 있으며, 직류 전압 신호 콘택(VSS_C)은 제 1 직류 전압 신호 라인(VSS_L1)으로부터 분지되어 형성되어 있다. 그리고 제 2 직류 전압 신호 라인(VSS_L2)은 제 3 직류 전압 신호 라인(VSS_L3)처럼 데이터 라인(D1 내지 Dm)을 형성할 때 같이 형성되어 데이터 라인(D1 내지 Dm)과 동일한 층에 형성되며, 제 3 직류 전압 신호 라인(VSS_L3)과 직접 연결되는 것이 바람직하다. 그러므로 제 2 직류 전압 신호 라인(VSS_L2)과 제 3 직류 전압 신호 라인(VSS_L3)은 동일한 도전성 물질인 제 2 도전성 물질로 형성되는 것이 바람직하다. 그럼으로써 별도의 공정을 추가하지 않고도 용이하게 제 2 직류 전압 신호 라인(VSS_L2)을 형성할 수 있다. 제 2 도전성 물질로는 상술한 것처럼, 크롬/알루미늄(Cr/Al) 또는 몰리브덴/알루미늄(Mo/Al) 등이 이용된다.

그리고 제 2 직류 전압 신호 라인(VSS_L2)을 통해서 직류 전압 신호(VSS)를 효과적으로 게이트 구동부(110)에 전달하기 위해서는, 제 2 직류 전압 신호 라인(VSS_L2)은 제 1 클럭 1 신호 라인(CK1_L1) 및 제 2 클럭 1 신호 라인(CK1_L2)과 절연되어 형성되어야만 하므로, 제 2 직류 전압 신호 라인(VSS_L2)은 제 1 직류 전압 신호 라인(VSS_L1)과 게이트 구동부(110) 사이에 형성되어 있는 제 1 클럭 1 신호 라인(CK1_L1) 사이에 형성되는 것이 바람직하다. 그럼으로써 제 1 클럭 1 신호 라인(CK1_L1) 및 제 2 클럭 1 신호 라인(CK1_L2)과 용이하게 절연하여 형성할 수 있다.

본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판은 제 1 직류 전압 신호 라인(VSS_L1)에 연결되는 제 2 직류 전압 신호 라인(VSS_L2)을 구비함으로써, 하나의 직류 전압 신호 브리지(VSS_B)에서 접촉 불량이 발생하더라도

제 2 직류 전압 신호 라인(VSS_L2)과 연결되어 있는 다른 직류 전압 신호 브리지(VSS_B)를 통해서 제 3 직류 전압 신호 라인(VSS_L3)으로 직류 전압 신호(VSS)를 전달할 수 있다. 따라서 직류 전압 신호 브리지(VSS_B)에 접촉 불량이 발생하더라도 각각의 시프트 레지스터(SR1 내지 SRn)로 직류 전압 신호(VSS)를 효과적으로 전달할 수 있다. 또한 제 2 직류 전압 신호 라인(VSS_L2)을 구비함으로써 배선 저항이 감소되어 각각의 시프트 레지스터(SR1 내지 SRn)로 직류 전압 신호(VSS)를 효과적으로 전달할 수 있다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

상기한 바와 같이 이루어진 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판은 외부로부터 인가되는 직류 전압 신호를 게이트 구동부에 전달하는 직류 전압 신호 라인의 불량을 효과적으로 억제할 수 있다.

또한 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판은 배선 저항이 감소되어 상기 직류 전압 신호를 게이트 구동부에 효과적으로 전달할 수 있다.

(57) 청구의 범위

청구항 1.

절연 기판;

상기 절연 기판 상에 다수의 게이트 라인 및 데이터 라인이 각각 행과 열 방향으로 형성되어 있으며, 상기 게이트 라인과 데이터 라인의 교차로 정의되는 영역에 각각 상기 게이트 라인 및 데이터 라인에 연결되어 있는 스위칭 소자 및 상기 스위칭 소자와 공통 전극 사이에 위치되는 액정 커패시터를 구비하는 다수의 화소들이 형성되어 있는 화면 표시부;

상기 다수의 게이트 라인에 순차적으로 게이트 신호를 제공하는 다수의 시프트 레지스터를 포함하는 게이트 구동부;

인가되는 데이터 신호에 따라 해당되는 계조 전압을 상기 다수의 데이터 라인으로 제공하는 데이터 구동부; 및

외부로부터 직류 전압 신호를 전달받는 제 1 직류 전압 신호 라인, 상기 제 1 직류 전압 신호 라인에 연결되어 있는 제 2 직류 전압 신호 라인 및 상기 제 2 직류 전압 신호 라인에 연결되어 상기 다수의 시프트 레지스터 각각에 상기 직류 전압 신호를 전달하는 제 3 직류 전압 신호 라인을 포함하는 직류 전압 신호 배선부를 포함하는 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 2.

제1항에 있어서,

상기 제 2 직류 전압 신호 라인은 상기 다수의 데이터 라인과 동일한 층에 형성되는 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 3.

제1항에 있어서,

상기 제 2 직류 전압 신호 라인과 상기 제 3 직류 전압 신호 라인은 동일한 도전성 물질로 형성되는 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 4.

제3항에 있어서,

상기 동일한 도전성 물질은 크롬/알루미늄(Cr/Al) 또는 몰리브덴/알루미늄(Mo/Al)인 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 5.

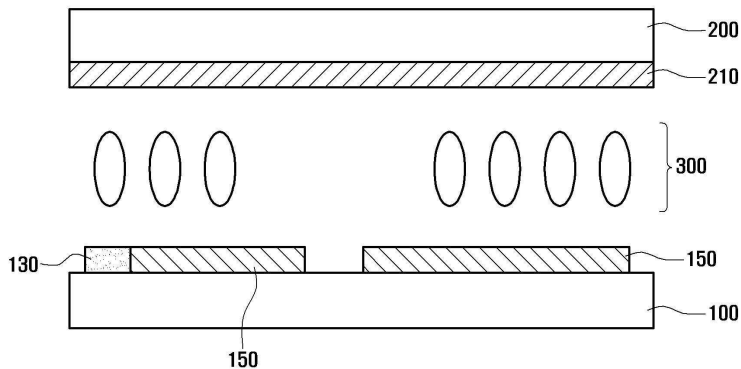
제1항에 있어서,

외부로부터 클럭 신호를 전달받는 클럭 신호 라인을 더 포함하며,

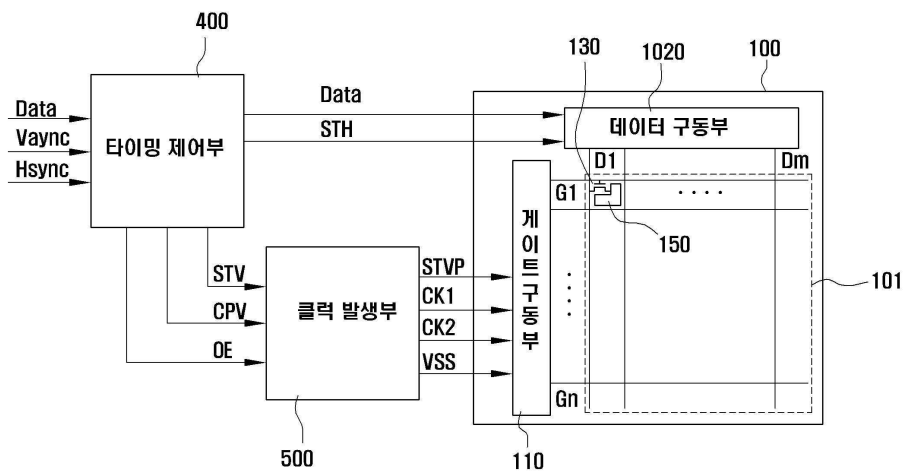
상기 클럭 신호 라인은 상기 제 2 직류 전압 신호 라인과 상기 게이트 구동부 사이에 형성되고, 상기 제 2 직류 전압 신호 라인과 절연되어 형성되는 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판.

도면

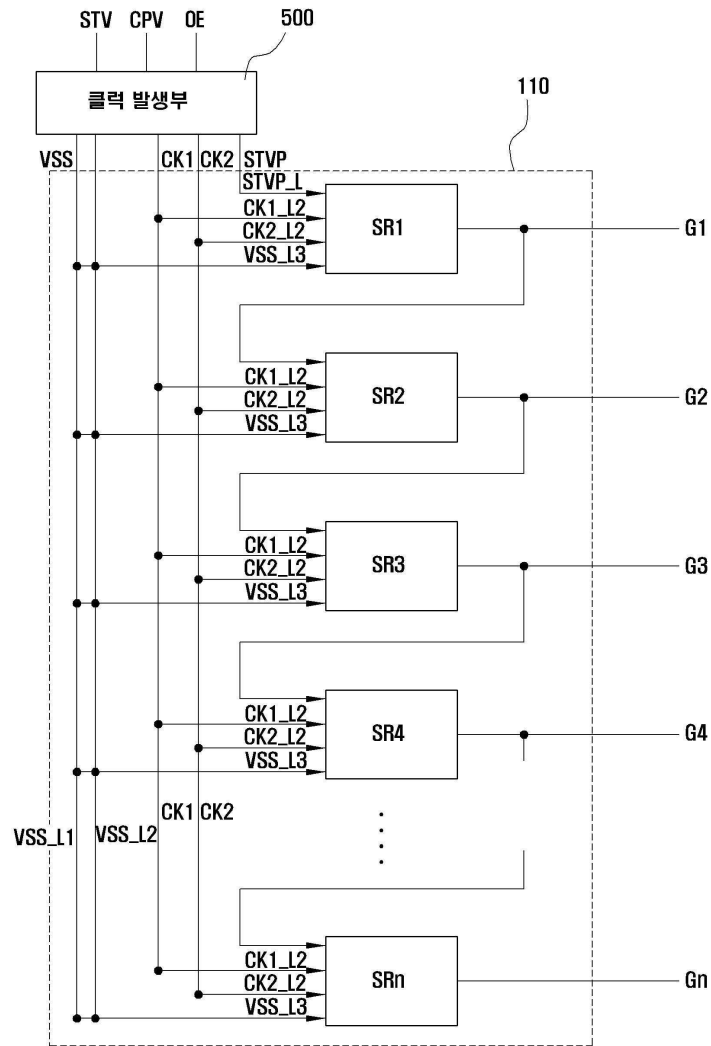
도면1



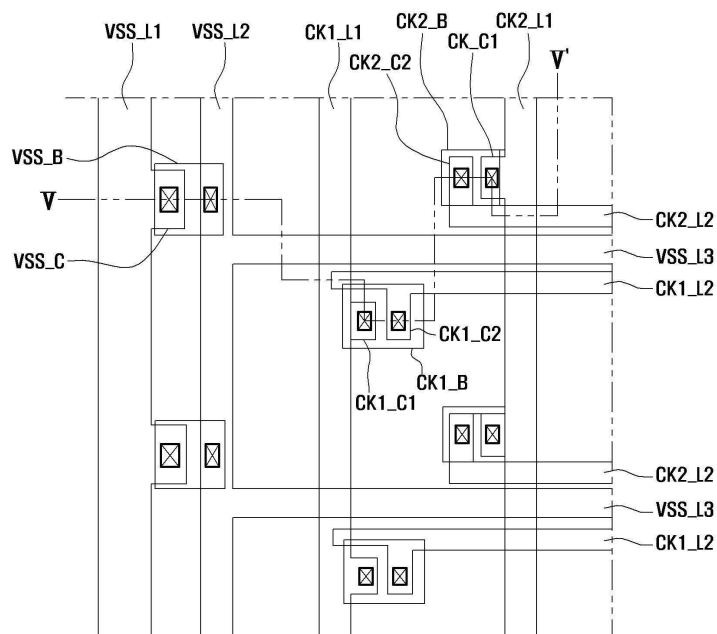
도면2



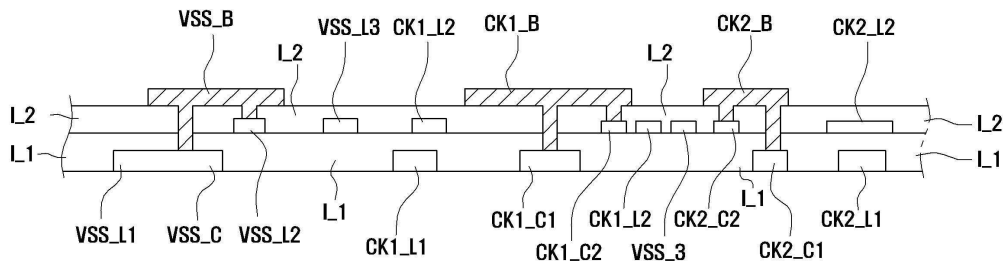
도면3



도면4



도면5



专利名称(译)	一种用于液晶显示器的薄膜晶体管基板		
公开(公告)号	KR1020060007949A	公开(公告)日	2006-01-26
申请号	KR1020040057578	申请日	2004-07-23
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	PARK HAENGWON 박행원 MOON SEUNGHWAN 문승환		
发明人	박행원 문승환		
IPC分类号	G02F1/133		
代理人(译)	JEONG , SANG BIN		
外部链接	Espacenet		

摘要(译)

薄膜晶体管; (LCD液晶显示器) , 可以有效地抑制用于传送被从外部施加上到栅极驱动的液晶显示装置中的直流电压信号的直流电压信号线的故障; 一个 (薄膜晶体管TFT) 基板。根据是绝缘衬底, 绝缘画面显示单元被形成在基板上的基板的本发明的一个实施例的薄膜晶体管液晶显示器, 包括多个移位的栅极驱动器寄存器提供在序列中的栅极信号, 数据驱动器和所述外连接到第一DC电压信号线的第二DC电压信号线和连接到第一DC电压信号线的第二DC电压信号线, 以在多个移位寄存器中的每一个处接收DC电压信号, 以及用于传输DC电压信号的第三DC电压信号线。3 指数方面 液晶显示器, 栅极驱动器, 直流电压信号

