



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월04일
 (11) 등록번호 10-1424274
 (24) 등록일자 2014년07월22일

(51) 국제특허분류(Int. Cl.)
 G02F 1/136 (2006.01)
 (21) 출원번호 10-2007-0141366
 (22) 출원일자 2007년12월31일
 심사청구일자 2012년12월12일
 (65) 공개번호 10-2009-0073427
 (43) 공개일자 2009년07월03일
 (56) 선행기술조사문헌
 KR1020040057798 A*
 KR1020050070344 A*
 KR100364949 B1
 KR1020060011414 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
 박문기
 경기 안산시 단원구 광덕서로 19, 131동 703호 (고잔동, 호수공원대림아파트)
 (74) 대리인
 특허법인로얄

전체 청구항 수 : 총 6 항

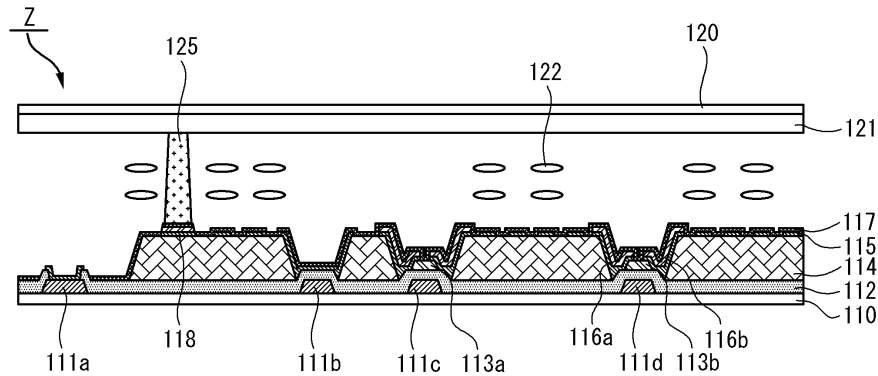
심사관 : 정구웅

(54) 발명의 명칭 액정표시장치 및 이의 제조방법

(57) 요약

본 발명은, 기판 및 상판; 기판의 일면에 위치하는 게이트 배선과 게이트 배선에 연결된 게이트; 게이트 배선 및 게이트 상에 위치하는 절연막; 절연막 상에 게이트 배선 및 게이트가 구분되도록 위치하는 컬러필터; 절연막 상에 위치하는 컬러필터 사이에 위치하는 반도체층과 반도체층에 접촉하는 소오스 및 드레인을 포함하는 트랜지스터; 게이트 배선과 교차하며 컬러필터 상에 위치하는 데이터 배선; 컬러필터의 상부에 위치하고 트랜지스터의 소오스 또는 드레인에 연결된 화소 전극; 상판의 일면에 위치하는 공통 전극; 및 컬러필터와 공통 전극 사이에 위치하는 스페이서를 포함하는 액정표시장치를 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

기관 및 상판;

상기 기관의 일면에 위치하는 게이트 배선과 상기 게이트 배선에 연결된 게이트;

상기 게이트 배선 및 상기 게이트 상에 위치하는 절연막;

상기 절연막 상에 위치하는 컬러필터;

상기 절연막 상에 위치하는 컬러필터 사이에 위치하는 반도체층과 상기 반도체층에 접촉하는 소오스 및 드레인 을 포함하는 트랜지스터;

상기 게이트 배선과 교차하며 상기 컬러필터 상에 위치하는 데이터 배선;

상기 컬러필터의 상부에 위치하고 상기 소오스 또는 드레인에 연결된 화소 전극;

상기 상판의 일면에 위치하는 공통 전극; 및

상기 컬러필터와 상기 공통 전극 사이에 위치하는 스페이서를 포함하되,

상기 소오스 및 상기 드레인은 상기 화소 전극 상에 위치하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 화소 전극, 상기 소오스 및 상기 드레인은,

상기 반도체층 및 상기 컬러필터 상에 연속 증착되고 선택적인 에칭에 의해 형성되는 액정표시장치.

청구항 3

제2항에 있어서,

상기 화소 전극의 잔류 분은,

상기 소오스 및 상기 드레인의 보조 전극인 액정표시장치.

청구항 4

삭제

청구항 5

삭제

청구항 6

기관과 상판을 준비하는 단계;

상기 기관의 일면에 게이트 배선과 상기 게이트 배선에 연결된 게이트를 형성하는 단계;

상기 게이트 배선과 상기 게이트 상에 절연막을 형성하고 상기 절연막 상에 반도체층을 형성하고 상기 반도체층 상에 제1포토레지스트를 형성하는 단계;

상기 제1포토레지스트를 패터하여 상기 절연막 상에 상기 반도체층을 섬 형태로 형성하는 단계;

상기 절연막 상에 상기 게이트 배선 및 상기 반도체층이 구분되도록 컬러필터를 형성하는 단계;

상기 게이트 배선, 상기 반도체층 및 상기 컬러필터 상에 제1금속 및 제2금속을 연속 증착하고 상기 제1금속 및 상기 제2금속 상에 제2포토레지스트를 형성하는 단계;

상기 제2포토레지스트를 선택적으로 패터하여 상기 제1금속의 일부는 상기 반도체층에 접촉하는 소오스 및 드레인 으로 형성하고 상기 제1금속의 남은 일부는 상기 컬러필터 상에 위치하는 데이터 배선으로 형성하며, 상기 제

2금속은 상기 컬러필터 상에 위치하는 화소 전극으로 형성하는 단계;
 상기 소오스, 드레인, 데이터 배선 및 화소 전극 상에 보호막을 형성하는 단계;
 상기 상판의 일면에 공통 전극을 형성하는 단계;
 상기 보호막 또는 상기 공통 전극 상에 스페이서를 형성하는 단계; 및
 상기 기판과 상기 상판 사이에 액정층을 배치하고 합착하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 7

제6항에 있어서,
 상기 화소 전극, 상기 소오스 및 상기 드레인은,
 상기 반도체층 및 상기 컬러필터 상에 연속 증착되고 선택적인 에칭에 의해 분리 형성되며,
 상기 소오스 및 상기 드레인은 상기 화소 전극의 잔류 분 상에 위치하는 액정표시장치의 제조방법.

청구항 8

제7항에 있어서,
 상기 화소 전극의 잔류 분은,
 상기 소오스 및 상기 드레인의 보조 전극인 액정표시장치의 제조방법.

청구항 9

삭제

청구항 10

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정표시장치 및 그의 제조방법에 관한 것이다.

배경기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정 표시장치(Liquid Crystal Display: LCD), 유기전계 발광소자(Organic Light Emitting Diodes: OLED) 및 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정 표시장치가 널리 사용되고 있다.

[0003] 여기서, 액정표시장치는 수광형 표시장치로 분류된다. 이러한 액정표시장치는 액정 패널의 하부에 위치하는 백라이트 유닛으로부터 광원을 제공받아 영상을 표현할 수 있다.

[0004] 액정표시장치는 컬러필터 기판과 어레이 기판으로 구성된다. 여기서, 컬러필터 기판은 투명한 기판의 일면에 화소 영역마다 이에 대응하여 형성되고, 어레이 기판은 게이트, 반도체층, 소오스 및 드레인을 포함하는 트랜지스터와 트랜지스터의 소오스 또는 드레인에 연결된 화소 전극이 형성된다.

[0005] 종래에는 컬러필터 기판과 어레이 기판 사이에 간격을 유지하는 스페이서를 구비하고 두 기판을 합착하고 합착시 오픈된 일부를 통해 액정층을 주입하고 오픈된 일부를 봉지하는 순서로 액정표시장치를 제작하였다.

[0006] 그러나, 종래 액정표시장치는 제작시 배선과 이에 연결된 소자를 형성하기 위해 공정시간(예를 들면, 마스크의 사용 개수)에 의한 로스가 크게 작용하여 생산 수율이 저하되고 경쟁력이 떨어지는 문제가 있었다. 또한, 종래

액정표시장치의 제작시, 개구율이 감소하고 트랜지스터의 오프 커런트(Off-Current) 및 이에 따른 웨이브 잡신호(wave noise)가 발생하여 표시품질이 저하되는 문제가 있어 이의 개선이 요구된다.

발명의 내용

해결 하고자하는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 마스크 사용 개수를 줄여 생산 수율을 향상시키고 제품의 경쟁력을 높일 수 있는 액정표시장치 및 이의 제조방법을 제공하는 것이다. 또한, 액정표시장치의 제작시 개구율이 감소하는 문제와 트랜지스터의 오프 커런트(Off-Current) 및 이에 따른 웨이브 잡신호(wave noise)가 발생하여 표시품질이 저하되는 문제를 해결하는 것이다.

과제 해결수단

[0008] 상술한 과제 해결 수단으로 본 발명은, 기관 및 상판; 기관의 일면에 위치하는 게이트 배선과 게이트 배선에 연결된 게이트; 게이트 배선 및 게이트 상에 위치하는 절연막; 절연막 상에 게이트 배선 및 게이트가 구분되도록 위치하는 컬러필터; 절연막 상에 위치하는 컬러필터 사이에 위치하는 반도체층과 반도체층에 접촉하는 소오스 및 드레인을 포함하는 트랜지스터; 게이트 배선과 교차하며 컬러필터 상에 위치하는 데이터 배선; 컬러필터의 상부에 위치하고 트랜지스터의 소오스 또는 드레인에 연결된 화소 전극; 상판의 일면에 위치하는 공통 전극; 및 컬러필터와 공통 전극 사이에 위치하는 스페이서를 포함하는 액정표시장치를 제공한다.

[0009] 화소 전극, 소오스 및 드레인은, 반도체층 및 컬러필터 상에 연속 증착되고 선택적인 에칭에 의해 형성되며, 소오스 및 드레인은 화소 전극의 잔류 분 상에 위치할 수 있다.

[0010] 화소 전극의 잔류 분은, 소오스 및 드레인의 보조 전극일 수 있다.

[0011] 트랜지스터는, 기관 상에 위치하는 게이트 배선에 연결된 게이트와, 게이트 상에 위치하는 절연막과, 절연막 상에 위치하는 반도체층과, 반도체층 상에 위치하며 데이터 배선에 연결된 소오스와, 소오스와 이격된 드레인을 포함할 수 있다.

[0012] 컬러필터는, 적색, 녹색 및 청색을 포함할 수 있다.

[0013] 한편, 다른 측면에서 본 발명은, 기관과 상판을 준비하는 단계; 기관의 일면에 게이트 배선과 게이트 배선에 연결된 게이트를 형성하는 단계; 게이트 배선과 게이트 상에 절연막을 형성하고 절연막 상에 반도체층을 형성하고 반도체층 상에 제1포토레지스트를 형성하는 단계; 제1포토레지스트를 패터닝하여 절연막 상에 반도체층을 섬 형태로 형성하는 단계; 절연막 상에 게이트 배선 및 반도체층이 구분되도록 컬러필터를 형성하는 단계; 게이트 배선, 반도체층 및 컬러필터 상에 제1금속 및 제2금속을 연속 증착하고 제1금속 및 제2금속 상에 제2포토레지스트를 형성하는 단계; 제2포토레지스트를 선택적으로 패터닝하여 제1금속의 일부는 반도체층에 접촉하는 소오스 및 드레인으로 형성하고 제1금속의 남은 일부는 컬러필터 상에 위치하는 데이터 배선으로 형성하며, 제2금속은 컬러필터 상에 위치하는 화소 전극으로 형성하는 단계; 소오스, 드레인, 데이터 배선 및 화소 전극 상에 보호막을 형성하는 단계; 상판의 일면에 공통 전극을 형성하는 단계; 보호막 또는 공통 전극 상에 스페이서를 형성하는 단계; 및 기관과 상판 사이에 액정층을 배치하고 합착하는 단계를 포함하는 액정표시장치의 제조방법을 제공한다.

[0014] 화소 전극, 상기 소오스 및 상기 드레인은, 반도체층 및 컬러필터 상에 연속 증착되고 선택적인 에칭에 의해 분리 형성되며, 소오스 및 드레인은 화소 전극의 잔류 분 상에 위치할 수 있다.

[0015] 화소 전극의 잔류 분은, 소오스 및 드레인의 보조 전극일 수 있다.

[0016] 트랜지스터는, 기관 상에 위치하는 게이트 배선에 연결된 게이트와, 게이트 상에 위치하는 절연막과, 절연막 상에 위치하는 반도체층과, 반도체층 상에 위치하며 데이터 배선에 연결된 소오스와, 소오스와 이격된 드레인을 포함할 수 있다.

[0017] 컬러필터는, 적색, 녹색 및 청색을 포함할 수 있다.

효 과

[0018] 본 발명은, 마스크 사용 개수를 줄여 생산 수율을 향상시키고 제품의 경쟁력을 높일 수 있는 액정표시장치 및 이의 제조방법을 제공하는 효과가 있다. 또한, 액정표시장치의 제작시 개구율이 감소하는 문제와 트랜지스터의 오프 커런트(Off-Current) 및 이에 따른 웨이브 잡신호(wave noise)가 발생하여 표시품질이 저하되는 문제를 해결하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0020] 도 1a는 본 발명의 일 실시예에 따른 액정표시장치의 분해 사시도 이고, 도 1b는 예지형 광원의 일 예시도이다.

[0021] 도 1a에 도시된 바와 같이, 액정표시장치는 광을 출사하는 광원(171)을 포함할 수 있다. 또한, 광원(171)으로부터 출사되는 광을 인도하는 광학필름층(176)을 포함할 수 있다. 광학필름층(176)은 광원(171) 상에 위치하는 확산판(172), 확산시트(173), 광학시트(174) 및 보호시트(175)를 포함할 수 있다.

[0022] 광원(171)의 경우 예를 들면, 냉음극관 형광램프(Cold Cathode Fluorescent Lamp: CCFL), 열음극관 형광램프(Hot Cathode Fluorescent Lamp: HCFL), 외부전극 형광램프(External Electrode Fluorescent Lamp: EEFL) 및 발광 다이오드(Light Emitting Diode: LED) 중 어느 하나를 선택할 수 있으나 이에 한정되지 않는다.

[0023] 또한, 광원(171)은 램프가 일 측면 외측에 위치하는 예지형, 램프가 양쪽 측면에 위치하는 듀얼형, 램프가 직선으로 다수 배열된 직하형 중 어느 하나를 선택할 수 있으나 이에 한정되지 않는다. 이와 같은 광원(171)은 인버터에 연결되어 전원을 공급받아 광을 출사할 수 있다.

[0024] 도 1a에 도시된 광원(171)은 직하형을 일례로 나타낸 것이다. 이와는 달리 도 1b를 참조하면, 예지형 광원(171)이 도시되어 있다. 도시된 바와 같은 예지형 광원(171)은 일 측면 외측에 램프(171a)와 램프(171a)로부터 출사된 광을 안내하는 도광판(171b)을 포함할 수 있으나 이에 한정되지 않는다.

[0025] 앞서 설명한 광학시트(174)의 경우, 예를 들면 도시된 바와 같이 프리즘 형상일 수 있으나, 렌티큘러 렌즈 마이크로 렌즈 등과 같은 형상으로 위치할 수도 있다. 이러한 광학시트(174)는 비드를 포함할 수도 있다.

[0026] 한편, 액정표시장치는 화상을 표시하는 액정패널(183) 및 광원(171)이 수납되는 상부 케이스(190) 및 하부 케이스(170)를 포함할 수 있다.

[0027] 여기서, 하부 케이스(170)는 광원(171)을 수납할 수 있다. 광원(171) 상에는 액정패널(183)이 일정 간격을 두고 위치할 수 있다. 액정패널(183) 및 광원(171)은 하부 케이스(170)와 체결되는 상부 케이스(190)에 의해 고정 및 보호될 수 있다.

[0028] 상부 케이스(190)의 상부 면에는 액정패널(183)의 화상 표시 영역을 노출시키는 개구부가 마련될 수 있다. 그리고 액정패널(183)과 광원(171) 사이에 위치하는 광학필름층(176)의 주변부가 안착 되는 몰드프레임(미도시)이 더 포함될 수도 있다.

[0029] 액정패널(183)은 상판(120)과, 트랜지스터와 컬러필터가 형성된 기관(110)이 액정을 사이에 두고 합착된 구조를 가질 수 있다. 이러한 액정패널(183)은 트랜지스터에 의해 독립적으로 구동되는 서브 픽셀이 매트릭스 형태로 배열되고, 서브 픽셀 각각이 공통 전극에 공급된 공통 전압과 트랜지스터를 통해 화소 전극에 공급된 데이터 신호와의 차전압에 따라 액정 배열을 제어하여 광 투과율을 조절함으로써 화상을 표시할 수 있다.

[0030] 또한, 액정패널(183)의 기관(110)에는 구동부(189)가 접속될 수 있다. 구동부(189)는 액정패널(183)의 데이터 배선과 게이트 배선을 각각 구동하기 위한 구동 칩(187)을 실장하여 기관(110)과 일측부가 접속된 다수의 필름 회로(186)와, 다수의 필름 회로(186)의 타측부와 접속된 인쇄 회로 기관(188)을 포함할 수 있다.

[0031] 구동 칩(187)을 실장한 필름 회로(186)는 COF(Chip On Film)나 TCP(Tape Carrier Package) 방식을 나타낸 것이다. 그러나 이와는 달리 구동 칩(187)은 COG(Chip On Glass) 방식으로 기관(110) 상에 직접 실장되거나, 트랜지

스터 형성 공정에서 기관(110) 상에 형성되어 내장될 수 있다.

- [0032] 한편, 앞서 설명한 액정패널(183)은 게이트 배선들을 통해 공급되는 스캔 신호와, 데이터 배선들을 통해 공급되는 데이터전압에 따라 각 서브 픽셀에 화상을 표시할 수 있다.
- [0033] 여기서, 스캔 신호는 1수평 시간 동안만 공급되는 게이트 하이 전압과, 나머지 기간 동안 공급되는 게이트 로우 전압이 교번되는 펄스 신호일 수 있으나 이에 한정되지 않는다.
- [0034] 서브 픽셀에 포함된 트랜지스터는 게이트 배선들로부터 게이트 하이 전압이 공급되는 경우 턴-온되어, 데이터 배선들로부터 인가되는 데이터전압을 액정층에 공급할 수 있다.
- [0035] 액정층은 데이터 배선들로부터 데이터 전압이 공급되는 화소 전극과, 공통 전압이 인가되는 공통 전극 사이에 형성될 수 있다.
- [0036] 이에 따라, 액정표시장치는 각 서브 픽셀의 트랜지스터가 턴-온되어 화소 전극으로 데이터 전압이 인가되면, 액정층에 데이터전압과 공통 전압의 차전압이 충전되면서 화상을 표시할 수 있다.
- [0037] 이와 반대로, 게이트 배선들로부터 게이트 로우 전압이 공급되는 경우, 트랜지스터는 턴-오프되면서 액정층에 충전된 데이터전압이 스토리지 커패시터에 의해 1프레임 기간 동안 유지할 수 있다.
- [0038] 이와 같이, 액정패널(183)은 게이트 배선들을 통해 공급되는 스캔 신호에 따라 상이한 동작을 반복할 수도 있다.
- [0039] 이하에서는, 도 1a의 "Z"영역의 확대도를 참조하여 본 발명의 일 실시예에 따른 액정표시장치의 서브 픽셀 구조에 대해 더욱 자세히 설명한다.
- [0040] 도 2는 도 1a의 "Z"영역을 확대하여 절단한 단면도이다.
- [0041] 도 2에 도시된 바와 같이, 액정표시장치는 기관(110) 및 상판(120)을 포함할 수 있다. 또한, 기관(110)의 일면에 일 방향으로 위치하는 게이트 배선(111b)과 게이트 배선(111b)에 연결된 게이트(111c, 111d)와 패드부(111a)를 포함할 수 있다. 게이트 배선(111b)과 게이트(111c, 111d)와 패드부(111a)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다.
- [0042] 또한, 게이트 배선(111b)과 게이트(111c, 111d)와 패드부(111a) 상에 위치하는 절연막(112)을 포함할 수 있다. 절연막(112)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x)을 사용할 수 있으나 이에 한정되지 않는다.
- [0043] 또한, 절연막(112) 상에 게이트 배선(111b)과 게이트(111c, 111d)와 패드부(111a)가 구분되도록 위치하는 컬러필터(114)를 포함할 수 있다. 컬러필터(114)는 적색, 청색 및 녹색을 포함할 수 있으나 이에 한정되지 않는다.
- [0044] 또한, 절연막(112) 상에서 컬러필터(114) 사이에 위치하는 반도체층(113a, 113b)을 포함할 수 있다. 반도체층(113a, 113b)은 순수 비정질 실리콘(a-Si:H)과 불순물이 포함된 비정질 실리콘(n+ a-Si:H)으로 형성할 수 있으나 이에 한정되지 않는다. 여기서, 반도체층(113a, 113b)은 섬 형태로 형성되어, 반도체층(113a, 113b)의 테일(tail)(또는 액티브 테일)에 의한 오프 커런트(Off-Current) 및 이에 따른 웨이브 잡신호(wave noise) 불량을 방지할 수 있으며, 테일 제거에 따른 개구율 향상 효과가 있을 수 있다.
- [0045] 또한, 반도체층(113a, 113b) 상에 접촉하는 소오스(116a) 및 드레인(116b)을 포함하는 트랜지스터를 포함할 수 있다. 트랜지스터는 기관(110) 상에 위치하는 게이트 배선(111b)에 연결된 게이트(111c, 111d)와, 게이트(111c, 111d) 상에 위치하는 절연막(112)과, 절연막(112) 상에 위치하는 반도체층(113a, 113b)과, 반도체층(113a, 113b) 상에 위치하며 데이터 배선(118)에 연결된 소오스(116a)와, 소오스(116a)와 이격된 드레인(116b)을 포함할 수 있다.
- [0046] 여기서, 소오스(116a) 및 드레인(116b)은 단일층 또는 다중층으로 이루어질 수 있으며, 소오스(116a) 및 드레인(116b)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 소오스(116a) 및 드레인(116b)이 다중층일 경우에는 몰리브덴-티타늄/구리, 몰리브덴/티타늄, 몰리브덴/알루미늄-네오디뮴의 2중층이거나, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루

어질 수 있다.

- [0047] 또한, 게이트 배선(111b)과 교차하며 컬러필터(114) 상에 위치하는 데이터 배선(118)을 포함할 수 있다. 여기서, 데이터 배선(118)이 형성될 때, 게이트 배선(111b)를 하부 전극으로 하는 커패시터 상부 전극이 형성될 수도 있다.
- [0048] 또한, 컬러필터(114)의 상부에 위치하고 트랜지스터의 소오스(116a) 또는 드레인(116b)에 연결된 화소 전극(115)을 포함할 수 있다. 화소 전극(115)은 소오스(116a) 및 드레인(116b) 전극보다 앞선 공정에 의해 형성될 수 있으며, 더욱 자세하게는 화소 전극(115)과 소오스(116a) 및 드레인(116b)이 연속 증착되어 선택적으로 패터닝됨으로써 각각 구분될 수 있다.
- [0049] 즉, 화소 전극(115), 소오스(116a) 및 드레인(116b)은, 반도체층(113a, 113b) 및 컬러필터(114) 상에 연속 증착되고 선택적인 에칭에 의해 형성되며, 소오스(116a) 및 드레인(116b)은 화소 전극(115)의 잔류 분 상에 위치할 수 있다. 여기서, 화소 전극(115)의 잔류 분은, 소오스(116a) 및 드레인(116b)의 보조 전극 역할을 할 수 있다.
- [0050] 한편, 위와 같이 화소 전극(115), 소오스(116a) 및 드레인(116b)은, 반도체층(113a, 113b) 및 컬러필터(114) 상에 연속 증착하고 선택적인 에칭을 하게 되면, 컬러필터(114) 상에 1차적인 보호막을 생략할 수 있는 효과가 있다.
- [0051] 또한, 소오스(116a) 및 드레인(116b)과 화소 전극(115)을 덮는 보호막(117)을 포함할 수 있다. 여기서, 보호막(117)은 실리콘 산화물 또는 실리콘 질화물 등의 무기물을 SOG(silicate on glass)법으로 형성할 수 있으나 이에 한정되지 않는다.
- [0052] 또한, 상판(120)의 일면에 위치하는 공통 전극(121)을 포함할 수 있다. 공통 전극(121)은 화소 전극(115)과 대향하도록 위치할 수 있다.
- [0053] 또한, 데이터 배선(118)의 상부에 위치하며 상판(120)에 위치하는 공통 전극(121)에 접촉하는 스페이서(125)를 포함할 수 있다. 스페이서(125)는 기관(110)과 상판(120)의 간격을 유지하는 역할을 할 수 있다.
- [0054] 또한, 기관(110)과 상판(120) 사이에 위치하는 액정층(122)을 포함할 수 있다. 액정층(122)은 합착된 기관(110)과 상판(120) 사이에 주입되는 방법에 의해 기관(110)과 상판(120) 사이에 위치할 수 있으나 이에 한정되지 않는다.
- [0055] 이하에서는, 본 발명의 일 실시예에 따른 액정표시장치의 제조방법에 대해 설명한다.
- [0056] 도 3a 내지 도 3h는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법을 개략적으로 나타낸 공정 단면도이다.
- [0057] 먼저, 액정표시장치의 제조하기에 앞서 기관과 상판을 준비하는 단계를 실시할 수 있다.
- [0058] 다음, 도 3a에 도시된 바와 같이, 기관(110)의 일면에 게이트 배선(111b)과 게이트 배선(111b)에 연결된 게이트(111c, 111d)를 형성하는 단계를 실시할 수 있다. 게이트 배선(111b)과 게이트(111c, 111d)를 형성할 때는 패드부(111a)를 함께 형성할 수 있다. 패드부(111a)는 게이트 배선(111b)에 연결된 게이트 패드부와 데이터 배선(미도시)에 연결된 데이터 패드부를 포함할 수 있다.
- [0059] 여기서, 게이트 배선(111b)과 게이트(111c, 111d)와 패드부(111a)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다.
- [0060] 다음, 도 3b에 도시된 바와 같이, 게이트 배선(111b)과 게이트(111c, 111d) 상에 절연막(112)을 형성하고 절연막(112) 상에 반도체층(113)을 형성하고 반도체층(113) 상에 제1포토리소그래피(PR1)를 형성하는 단계를 실시할 수 있다.
- [0061] 여기서, 반도체층(113)은 순수 비정질 실리콘(a-Si:H)과 불순물이 포함된 비정질 실리콘(n+ a-Si:H)으로 형성할 수 있으나 이에 한정되지 않는다.

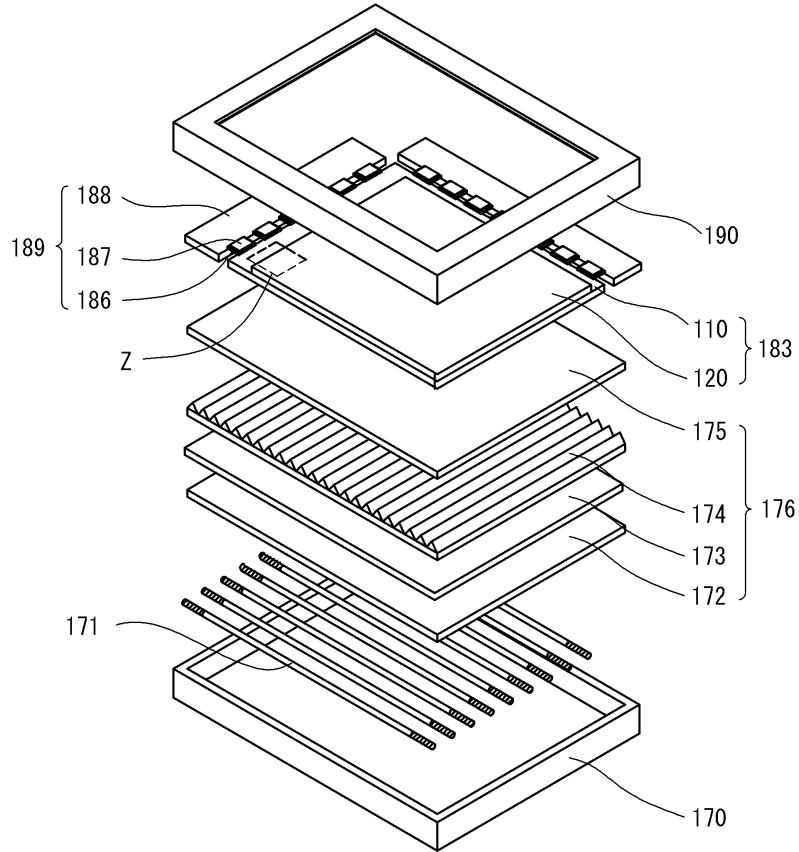
- [0062] 다음, 도 3b에 도시된 제1포토레지스트(PR1)를 패터하여 도 3c에 도시된 바와 같이, 절연막(112) 상에 반도체층(113a, 113b)을 섬 형태로 형성하는 단계를 실시할 수 있다.
- [0063] 패드부(111a)는 하프톤 마스크를 이용하여 절연막(112)과 반도체층(113a, 113b) 사이로 노출되도록하고, 반도체층(113a, 113b)을 섬 형태로 형성하면, 반도체층의 테일(tail)(또는 액티브 테일)에 의한 오프 커런트(Off-Current) 및 이에 따른 웨이브 잡신호(wave noise) 불량을 방지할 수 있으며, 테일 제거에 따른 개구율 향상 효과가 있을 수 있다.
- [0064] 다음, 도 3d에 도시된 바와 같이, 절연막(112) 상에 게이트 배선(111b) 및 반도체층(113a, 113b)이 구분되도록 컬러필터(114)를 형성하는 단계를 실시할 수 있다.
- [0065] 컬러필터(114)는 적색, 녹색 및 청색을 포함할 수 있으나 이에 한정되지 않는다. 다만, 컬러필터(114) 형성시 화소 영역마다 분리 형성하되, 이후 게이트 배선(111b) 상에는 커패시터의 상부 전극을 형성할 수 있도록 하고, 반도체층(113a, 113b) 상에는 금속이 접촉하도록 한다.
- [0066] 다음, 도 3e에 도시된 바와 같이, 게이트 배선(111b), 반도체층(113a, 113b) 및 컬러필터(114) 상에 제1금속(115) 및 제2금속(116)을 연속 증착하고 제1금속(115) 및 제2금속(116) 상에 제2포토레지스트(PR2)를 형성하는 단계를 실시할 수 있다.
- [0067] 여기서, 제1금속(115)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide)와 같은 투명 도전막으로 형성될 수 있으나 이에 한정되지 않는다.
- [0068] 여기서, 제2금속(116)은 단일층 또는 다중층으로 이루어질 수 있으며, 제2금속(116)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 제2금속(116)이 다중층일 경우에는 몰리브덴-티타늄/구리, 몰리브덴/티타늄, 몰리브덴/알루미늄-네오디뮴의 2중층이거나, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있으나 이에 한정되지 않는다.
- [0069] 다음, 도 3e에 도시된 제2포토레지스트(PR2)를 선택적으로 패터하여 도 3f에 도시된 바와 같이, 제1금속(115)의 일부는 반도체층(113a, 113b)에 접촉하는 소오스(116a) 및 드레인(116b)으로 형성하고 제1금속(115)의 남은 일부는 컬러필터(114) 상에 위치하는 데이터 배선(118)으로 형성하며, 제2금속(116)은 컬러필터(114) 상에 위치하는 화소 전극(116)으로 형성하는 단계를 실시할 수 있다.
- [0070] 여기서, 제1금속(115)은 하프톤 마스크를 이용하여 컬러필터(114) 상에 화소 전극(116)으로 구분되어 복수 위치하도록 형성할 수 있다. 여기서, 제2금속(116)은 제2포토레지스트(PR2)를 선택적으로 패터함에 따라 하부에 위치하는 게이트 배선(111b)과 대향하는 커패시터의 상부 전극으로 형성될 수 있다. 여기서, 데이터 배선(118)은 컬러필터(114) 상에 위치하는 제1금속(115)의 잔류 분 상에 위치할 수도 있다.
- [0071] 여기서, 화소 전극(116)은 소오스(116a) 및 드레인(116b) 전극보다 앞선 공정에 의해 형성될 수 있으며, 더욱 자세하게는 화소 전극(116)과 소오스(116a) 및 드레인(116b)이 연속 증착되어 선택적으로 패터됨으로써 각각 구분될 수 있다.
- [0072] 즉, 화소 전극(116), 소오스(116a) 및 드레인(116b)은, 반도체층(113a, 113b) 및 컬러필터(114) 상에 연속 증착되고 선택적인 에칭에 의해 형성되며, 소오스(116a) 및 드레인(116b)은 화소 전극(116)의 잔류 분 상에 위치할 수 있다. 여기서, 화소 전극(116)의 잔류 분은, 소오스(116a) 및 드레인(116b)의 보조 전극 역할을 할 수 있다.
- [0073] 한편, 위와 같이 화소 전극(116), 소오스(116a) 및 드레인(116b)은, 반도체층(113a, 113b) 및 컬러필터(114) 상에 연속 증착하고 선택적인 에칭을 하게 되면, 컬러필터(114) 상에 1차적인 보호막을 생략할 수 있으며 마스크 공정 1회를 생략하는 효과가 있다.

- [0092] 117: 보호막
- [0093] 121: 공통 전극

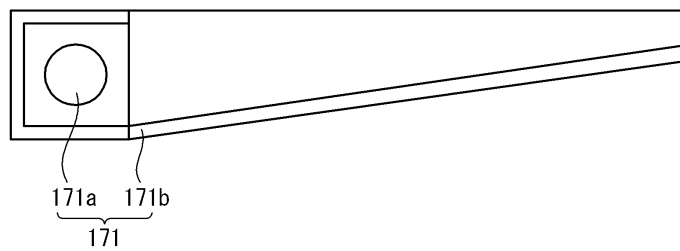
- 120: 상판
- 122: 액정층

도면

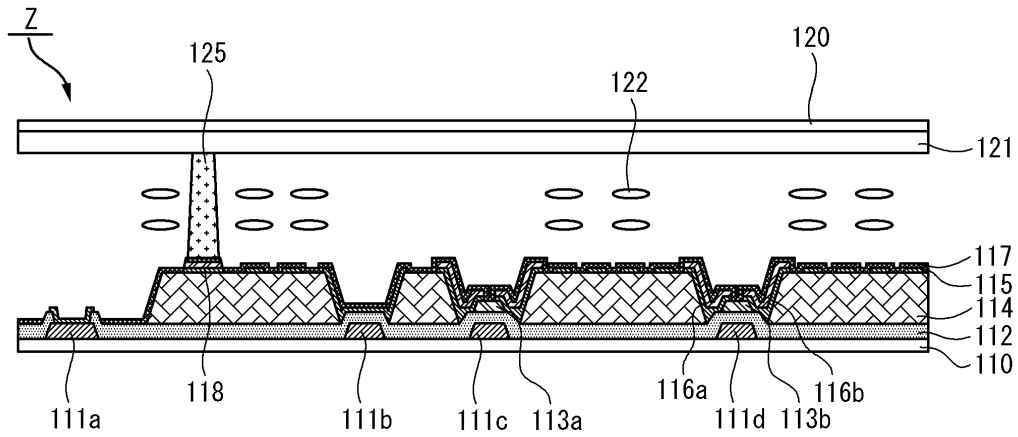
도면1a



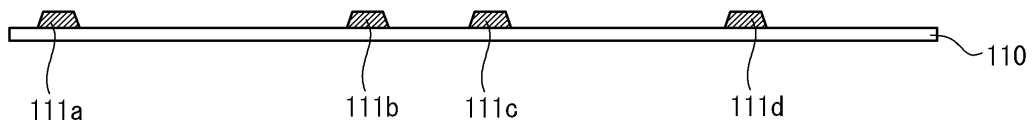
도면1b



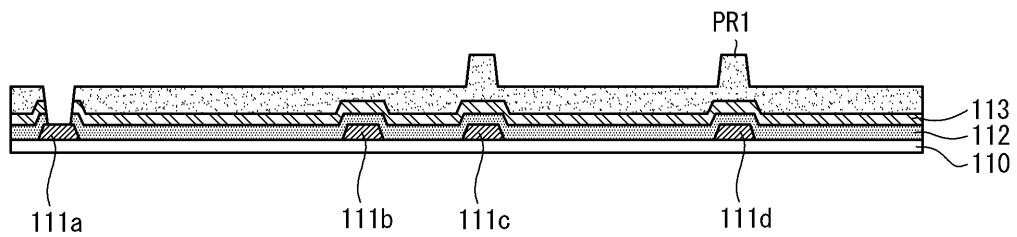
도면2



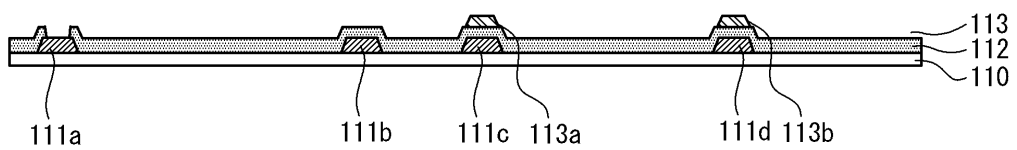
도면3a



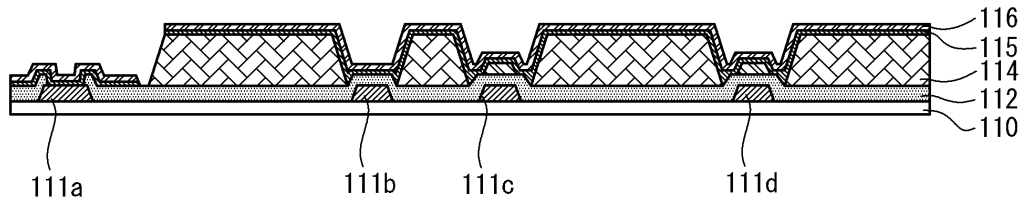
도면3b



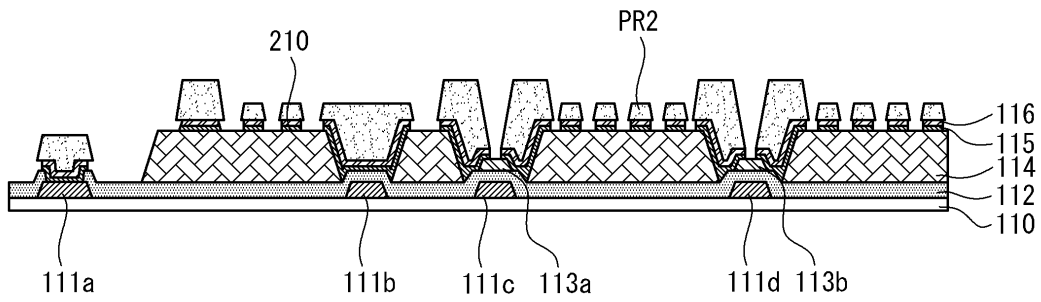
도면3c



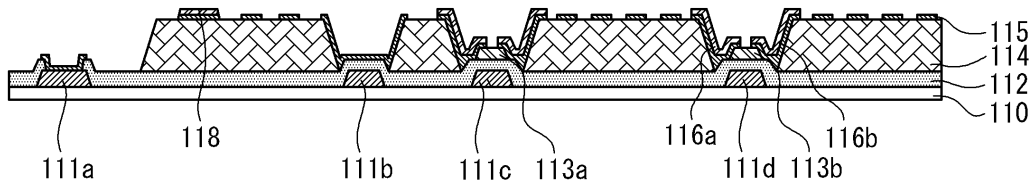
도면3d



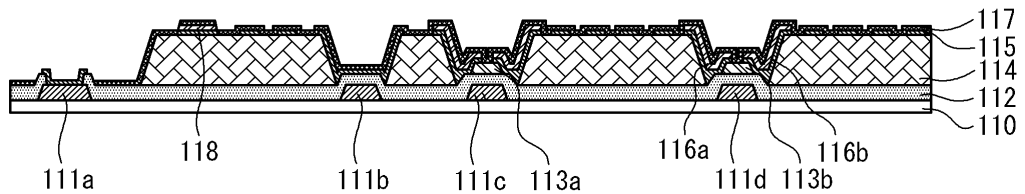
도면3e



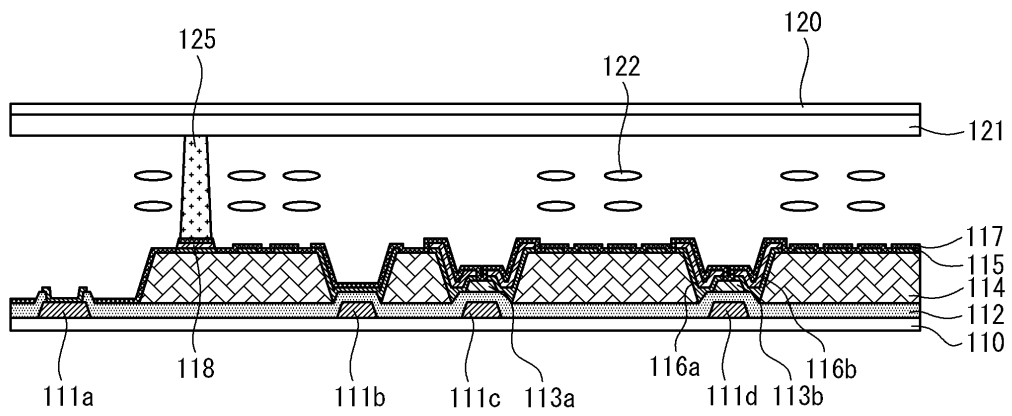
도면3f



도면3g



도면3h



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR101424274B1	公开(公告)日	2014-08-04
申请号	KR1020070141366	申请日	2007-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK MUN GI		
发明人	PARK, MUN GI		
IPC分类号	G02F1/136		
CPC分类号	G02F1/133514 G02F1/1343 G02F1/136286 G02F1/1368 G02F2001/136231		
其他公开文献	KR1020090073427A		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示器及其制造方法，以减少掩模使用次数，从而提高产量。半导体层 (113a, 113b) 位于滤色器 (114) 之间。源极 (116a) 和漏极 (116b) 与半导体层接触。半导体层形成为岛状。由岛状半导体防止由半导体层的尾部或有源尾部引起的截止电流和其波纹噪声的缺陷。根据去除尾部，获得改善的孔径效果。

