



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0061720
(43) 공개일자 2008년07월03일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2006-0136737

(22) 출원일자 2006년12월28일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이원호

경기 안양시 만안구 안양1동 주공뜨란채아파트
106-602

(74) 대리인

특허법인로알

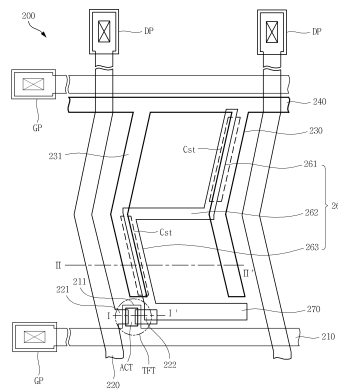
전체 청구항 수 : 총 18 항

(54) 액정 표시 장치용 어레이 기판

(57) 요약

화소 영역의 구조 설계 시 설계 자유도를 넓히고, 개구율을 향상시키며, 스토리지 커패시터를 효율적으로 구현할 수 있는 액정 표시 장치용 어레이 기판이 제공된다. 어레이 기판은 기판 상에 서로 교차 배열되어 화소 영역을 정의하는 제1 방향의 게이트 라인과 제2 방향의 데이터 라인, 박막 트랜지스터, 화소 영역 상에 제2 방향으로 형성되고, 한 번 이상 꺾어진 형상을 가지며, 공통 라인을 통해 서로 연결된 한 쌍의 공통 전극, 드레인 전극과 연결되도록 화소 영역 상에 배치되고, 한 쌍의 공통 전극과 절연되며, 한 쌍의 공통 전극과 평행하게 배치되어 내측 영역이 오버랩되는 상부 및 하부 패턴과 상부 및 하부 패턴을 연결하는 연결 패턴을 갖는 화소 전극을 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

기관 상에 제1 방향으로 배열된 게이트 라인;

상기 게이트 라인과 절연되며, 상기 게이트 라인과 서로 교차하도록 제2 방향으로 배열되어 화소 영역을 정의하는 데이터 라인;

상기 게이트 라인 및 데이터 라인이 교차하는 부분에 위치하고, 게이트 전극, 반도체층과 소스 및 드레인 전극을 갖는 박막 트랜지스터;

상기 화소 영역 상에 상기 제2 방향으로 형성되고, 한 번 이상 꺾어진 형상을 가지며, 공통 라인을 통해 서로 연결된 한 쌍의 공통 전극; 및

상기 드레인 전극과 연결되도록 상기 화소 영역 상에 배치되고, 상기 한 쌍의 공통 전극과 절연되며, 상기 한 쌍의 공통 전극과 평행하게 배치되어 내측 영역이 오버랩되는 상부 및 하부 패턴과 상기 상부 및 하부 패턴을 연결하는 연결 패턴을 갖는 화소 전극

을 포함하는 액정 표시 장치용 어레이 기판.

청구항 2

제1항에 있어서,

상기 한 쌍의 공통 전극은,

상기 화소 영역의 외곽에 형성된 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 3

제1항에 있어서,

상기 한 쌍의 공통 전극에 의해 상기 한 쌍의 공통 전극 사이에 위치하는 공간이 하나의 블록으로 정의되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 4

제1항에 있어서,

상기 한 쌍의 공통 전극 사이에 위치하는 홀수 개의 공통 전극을 더 포함하는 액정 표시 장치용 어레이 기판.

청구항 5

제4항에 있어서,

상기 한 쌍의 공통 전극 및 상기 홀수 개의 공통 전극에 의해 상기 한 쌍의 공통 전극 사이에 위치하는 공간이 짝수 개의 블록으로 정의되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 6

제1항에 있어서,

상기 한 쌍의 공통 전극 사이에 위치하는 짝수 개의 공통 전극을 더 포함하는 액정 표시 장치용 어레이 기판.

청구항 7

제6항에 있어서,

상기 한 쌍의 공통 전극 및 상기 짝수 개의 공통 전극에 의해 상기 한 쌍의 공통 전극 사이에 위치하는 공간이 홀수 개의 블록으로 정의되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 8

제1항에 있어서,

상기 화소 전극의 상기 상부 및 하부 패턴과 상기 한 쌍의 공통 전극이 오버랩되는 부분이 스토리지 커패시터를 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 9

제1항에 있어서,

상기 한 쌍의 공통 전극은,

상기 화소 전극의 상기 상부 및 하부 패턴과 오버랩되는 부분이 소정 폭만큼 인입되어 있는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 10

기판 상에 제1 방향으로 배열된 게이트 라인;

상기 게이트 라인과 절연되며, 상기 게이트 라인과 서로 교차하도록 제2 방향으로 배열되어 화소 영역을 정의하는 데이터 라인;

상기 게이트 라인 및 데이터 라인이 교차하는 부분에 위치하고, 게이트 전극, 반도체층과 소스 및 드레인 전극을 갖는 박막 트랜지스터;

상기 화소 영역 상에 상기 제2 방향으로 형성되며, 직선 형상을 가지며, 공통 라인을 통해 서로 연결된 한 쌍의 공통 전극; 및

상기 드레인 전극과 연결되도록 상기 화소 영역 상에 배치되고, 상기 한 쌍의 공통 전극과 절연되며, 상기 한 쌍의 공통 전극과 평행하게 배치되어 내측 영역이 오버랩되는 상부 및 하부 패턴과 상기 상부 및 하부 패턴을 연결하는 연결 패턴을 갖는 화소 전극

을 포함하는 액정 표시 장치용 어레이 기판.

청구항 11

제10항에 있어서,

상기 한 쌍의 공통 전극은,

상기 화소 영역의 외곽에 형성된 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 12

제10항에 있어서,

상기 한 쌍의 공통 전극에 의해 상기 한 쌍의 공통 전극 사이에 위치하는 공간이 하나의 블록으로 정의되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 13

제10항에 있어서,

상기 한 쌍의 공통 전극 사이에 위치하는 홀수 개의 공통 전극을 더 포함하는 액정 표시 장치용 어레이 기판.

청구항 14

제13항에 있어서,

상기 한 쌍의 공통 전극 및 상기 홀수 개의 공통 전극에 의해 상기 한 쌍의 공통 전극 사이에 위치하는 공간이 짝수 개의 블록으로 정의되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 15

제10항에 있어서,

상기 한 쌍의 공통 전극 사이에 위치하는 짝수 개의 공통 전극을 더 포함하는 액정 표시 장치용 어레이 기판.

청구항 16

제15항에 있어서,

상기 한 쌍의 공통 전극 및 상기 짝수 개의 공통 전극에 의해 상기 한 쌍의 공통 전극 사이에 위치하는 공간이 홀수 개의 블록으로 정의되는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 17

제10항에 있어서,

상기 화소 전극의 상기 상부 및 하부 패턴과 상기 한 쌍의 공통 전극이 오버랩되는 부분이 스토리지 커패시터를 형성하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

청구항 18

제10항에 있어서,

상기 한 쌍의 공통 전극은,

상기 화소 전극의 상기 상부 및 하부 패턴과 오버랩되는 부분이 소정 폭만큼 인입되어 있는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 액정 표시 장치에 관한 것으로, 더욱 상세하게는 액정 표시 장치용 어레이 기판에 관한 것이다.
- <14> 액정 표시 장치는 투명 절연 기판인 어레이 기판과 컬러 필터 기판 사이에 이방성 유전율을 갖는 액정층을 형성한 후, 액정층에 형성되는 전계의 세기를 조정하여 액정 물질의 분자 배열을 변경시키고, 이를 통하여 표시면인 컬러 필터 기판에 투과되는 빛의 양을 조절함으로써 원하는 화상을 표현하는 장치이다.
- <15> 도 1은 일반적인 액정 표시 장치의 구성도이다.
- <16> 종래의 액정 표시 장치는 도 1에 도시된 바와 같이, 일정한 간격을 두고 합착된 어레이 기판(100) 및 컬러 필터 기판(150)과 두 기판(100, 150) 사이에 형성된 액정층(170)으로 구성된다.
- <17> 어레이 기판(100)에는 화소 영역을 정의하기 위하여 일정한 간격을 갖고 일방향으로 배치되는 복수 개의 게이트 라인(110)과 게이트 라인(110)에 수직한 방향으로 배열되는 복수 개의 데이터 라인(120)이 형성되며, 각 화소 영역에는 화소 전극(130)이 형성된다.
- <18> 게이트 라인(110)과 데이터 라인(120)이 교차되는 부분에는 박막 트랜지스터(TFT)가 형성되며, 교차 부위에 위치한 박막 트랜지스터(TFT)가 게이트 라인(110)으로부터의 스캔 신호에 응답하여 데이터 라인(120)의 데이터 신호를 각 화소 전극(130)으로 인가한다.
- <19> 컬러 필터 기판(150)에는 화소 영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스(151)가 형성되고, 각 화소 영역에 대응되는 부분에는 색상을 표현하기 위한 R, G, B 컬러 필터층(152)이 형성된다. 컬러 필터층(152) 위에는 화상을 구현하기 위한 공통 전극(160) 등이 형성된다. 경우에 따라서는 공통 전극(160)이 어레이 기판(100)에 형성되기도 한다.
- <20> 이러한 구성을 갖는 액정 표시 장치는 화소 전극(130)과 공통 전극(160) 사이에 형성되는 전계에 의해 두 기판(100, 150) 사이에 형성된 액정층(170)이 배향되고, 액정층(170)의 배향 정도에 따라 액정층(170)을 투과하는 빛의 양을 조절하여 화상을 표현하게 된다.
- <21> 도 2는 종래의 어레이 기판의 평면도로서 공통 전극(131)과 화소 전극(141)이 모두 어레이 기판(100) 상에 형성

된 경우를 도시하고 있다.

- <22> 어레이 기관(100)은 행(Row)과 열(Column)을 이루며 매트릭스 형태로 배열되는 복수의 화소 영역을 포함하며, 하나의 화소 영역은 도 2에 도시된 것처럼, 서로 교차 배열되는 게이트 라인(110)과 데이터 라인(120)에 의해 정의된다.
- <23> 도 2를 참조하면, 가로 방향으로 게이트 라인(110)과 공통 라인(130)이 평행을 이루며 배치되고, 세로 방향으로 데이터 라인(120)이 게이트 라인(110) 및 공통 라인(130)과 수직을 이루도록 배열되어 있다.
- <24> 또한, 게이트 라인(110)으로부터 연장된 게이트 전극(111) 상에 반도체층(ACT)이 형성되고, 소스 전극(121) 및 드레인 전극(122)이 오버랩되어 박막 트랜지스터(TFT)를 이룬다.
- <25> 화소 영역 상에는 서로 평행을 이루는 공통 전극(131)과 화소 전극(141)이 복수 개 배열되어 액정층(170)의 배향을 제어하기 위한 수평 방향의 전계를 발생시킨다.
- <26> 보다 구체적으로, 공통 라인(130)으로부터 복수 개의 공통 전극(131)이 분기되고, 박막 트랜지스터(TFT)의 드레인 전극(122)에는 인출 라인(140)이 연결되어 인출 라인(140)으로부터 복수 개의 화소 전극(141)이 분기된다. 여기서, 공통 전극(131)과 화소 전극(141)은 서로 엇갈리게 구성되어 있다.
- <27> 그런데, 이러한 구조에서는, 화소 영역 내에 배치된 최외곽의 공통 전극(131) 사이에 화소 전극(141)이 삽입되므로, 최외곽의 공통 전극(131) 사이의 공간이 공통 전극(131)과 화소 전극(141)에 의해 4개의 블록(D1, D2, D3, D4)이 생성된다.
- <28> 또한, 공통 전극(131)이나 화소 전극(141)의 개수가 달라지는 경우에도, 블록의 개수는 2개, 4개, 6개 등 짝수 개로만 배치 가능하다.
- <29> 이와 같이, 블록의 짝수 배치만이 가능하므로, 모델에 따라 화소 영역의 가로 피치(Pitch)가 일정한 값으로 지정된 경우 등 특정한 설계 조건 하에서, 공통 전극(131)과 화소 전극(141) 간 간격이 확보되기 어렵고, 화소 영역의 외곽 영역(S1, S2)이 낭비되어 개구율이 저하된다.
- <30> 특히, 화소 영역의 피치가 작아지는 고해상도 모델이나 공통 전극(131)과 화소 전극(141)을 꺾인 형상으로 하여 시야각을 넓은 광시야각 모델의 경우, 이러한 설계 상의 제약이 더욱 커지는 문제점이 있다.
- <31> 또한, 스토리지 커패시터(Cst)를 확보하기 위하여 전단 게이트 라인(112)과 화소 전극(141) 사이의 오버랩 면적이나 화소 전극(141)에 연결된 인출 라인(140)과 공통 라인(130) 사이의 오버랩 면적을 일정 폭 이상 늘려 형성하게 되는데, 이러한 구조는 개구율 및 휘도 저하의 원인이 되고 있다.

발명이 이루고자 하는 기술적 과제

- <32> 따라서, 본 발명이 이루고자 하는 기술적 과제는 적절한 화소 영역의 구조를 통해 블록의 홀수 배치와 짝수 배치를 모두 가능하게 함으로써, 설계 자유도를 높이고, 개구율을 향상시킬 수 있는 액정 표시 장치용 어레이 기관을 제공하는 것이다.
- <33> 본 발명이 이루고자 하는 다른 기술적 과제는 개구율을 최대한 유지하면서 스토리지 커패시터의 커패시턴스를 확보할 수 있는 액정 표시 장치용 어레이 기관을 제공하는 것이다.
- <34> 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

- <35> 상기 기술적 과제를 달성하기 위한 본 발명의 일측면에 따른 액정 표시 장치용 어레이 기관은 기관 상에 제1 방향으로 배열된 게이트 라인과, 상기 게이트 라인과 절연되며, 상기 게이트 라인과 서로 교차하도록 제2 방향으로 배열되어 화소 영역을 정의하는 데이터 라인과, 상기 게이트 라인 및 데이터 라인이 교차하는 부분에 위치하고, 게이트 전극, 반도체층과 소스 및 드레인 전극을 갖는 박막 트랜지스터와, 상기 화소 영역 상에 상기 제2 방향으로 형성되고, 한 번 이상 꺾어진 형상을 가지며, 공통 라인을 통해 서로 연결된 한 쌍의 공통 전극과, 상기 드레인 전극과 연결되도록 상기 화소 영역 상에 배치되고, 상기 한 쌍의 공통 전극과 절연되며, 상기 한 쌍의 공통 전극과 평행하게 배치되어 내측 영역이 오버랩되는 상부 및 하부 패턴과 상기 상부 및 하부 패턴을 연

결하는 연결 패턴을 갖는 화소 전극을 포함한다.

- <36> 본 발명의 다른 측면에 따른 액정 표시 장치용 어레이 기판은 기판 상에 제1 방향으로 배열된 게이트 라인과, 상기 게이트 라인과 절연되며, 상기 게이트 라인과 서로 교차하도록 제2 방향으로 배열되어 화소 영역을 정의하는 데이터 라인과, 상기 게이트 라인 및 데이터 라인이 교차하는 부분에 위치하고, 게이트 전극, 반도체층과 소스 및 드레인 전극을 갖는 박막 트랜지스터와, 상기 화소 영역 상에 상기 제2 방향으로 형성되며, 직선 형상을 가지며, 공통 라인을 통해 서로 연결된 한 쌍의 공통 전극과, 상기 드레인 전극과 연결되도록 상기 화소 영역 상에 배치되고, 상기 한 쌍의 공통 전극과 절연되며, 상기 한 쌍의 공통 전극과 평행하게 배치되어 내측 영역이 오버랩되는 상부 및 하부 패턴과 상기 상부 및 하부 패턴을 연결하는 연결 패턴을 갖는 화소 전극을 포함한다.
- <37> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <38> 이하, 본 발명의 실시예들에 따른 액정 표시 장치용 어레이 기판에 대하여 첨부된 도면들을 참조하여 상세히 설명한다.
- <39> 도 3은 본 발명의 제1 실시예에 따른 어레이 기판의 평면도이고, 도 4는 도 3에 나타난 공통 전극의 구조이다.
- <40> 도 3을 참조하면, 본 발명의 제1 실시예에 따른 어레이 기판(200)은 매트릭스 형태로 배열된 복수의 화소 영역들로 이루어진다.
- <41> 각각의 화소 영역은 서로 교차 배치되면서 화소 영역을 정의하는 게이트 라인(210)과 데이터 라인(220), 게이트 라인(210)과 데이터 라인(220)에 각각 접속되는 게이트 패드부(GP)와 데이터 패드부(DP), 게이트 라인(210)과 데이터 라인(220)의 교차 지점에 위치한 박막 트랜지스터(TFT), 화소 영역 상에 배치되는 화소 전극(260)과 공통 전극(230, 231) 등을 포함한다.
- <42> 게이트 라인(210)이 어레이 기판(200) 상에 제1 방향(수평 방향)으로 배열되고, 데이터 라인(220)은 그와 교차되는 제2 방향(수직 방향)으로 배열되어 화소 영역을 정의하게 된다.
- <43> 박막 트랜지스터(TFT)는 게이트 라인(210)에 공급되는 스캔 신호에 응답하여 데이터 라인(220)으로 공급되는 데이터 신호를 화소 전극(260)으로 인가한다.
- <44> 화소 영역 상에 형성된 화소 전극(260)은 박막 트랜지스터 (TFT)의 드레인 전극(122)에 접속되어 충전된 데이터 신호에 의해 공통 전극(230, 231)과 전위 차를 발생시켜 수평 방향의 전계를 생성하게 된다.
- <45> 화소 영역의 외곽에는 한 쌍의 공통 전극(230, 231)이 서로 마주보면서 데이터 라인(220)과 평행을 이루도록 배열된다. 여기서, 한 쌍의 공통 전극(230, 231)은 게이트 라인(210)과 평행하게 배치된 공통 라인(240)을 통해 서로 연결되며, 한 번 이상 꺾어진 형상을 갖는다. 그리고, 한 쌍의 공통 전극(230, 231)에 의해 한 쌍의 공통 전극(230, 231) 사이에 위치하는 공간은 도 4와 같이 하나의 블록(B1)으로 정의된다.
- <46> 화소 전극(260)은 공통 전극(230, 231)과 절연되고, 인출 라인(270)을 통해 박막 트랜지스터(TFT)의 드레인 전극(222)과 전기적으로 접속되도록 구성된다. 이러한 화소 전극(260)은 한 쌍의 공통 전극(230, 231)과 평행하게 배치되고, 내측 영역이 한 쌍의 공통 전극(230, 231)과 오버랩(Overlap)되는 제2 방향의 상부 패턴(261) 및 하부 패턴(263), 상부 패턴(261)과 하부 패턴(263)을 연결하는 제1 방향의 연결 패턴(262)을 갖는다.
- <47> 도 3의 구조에 따르면, 좌측 공통 전극(231)과 화소 전극(260)의 상부 패턴(261), 우측 공통 전극(230)과 화소 전극(260)의 하부 패턴(263)은 서로 평행을 이루며, 중심부에서 한 번 꺾인 화소 영역의 구조를 형성한다.
- <48> 꺾인 구조로 인해, 화소 전극(260)의 상부 패턴(261) 및 하부 패턴(263)과 한 쌍의 공통 전극(230, 231) 사이의 블록(B1)은 도 4와 같이 액정 분자의 배열 방향이 서로 다른 2개의 도메인(Domain)(D1, D2)으로 나뉘어진다. 각 도메인(D1, D2) 내부에 위치하는 액정 분자의 배열 방향은 일정하다.
- <49> 화소 전극(260)과 공통 전극(230, 231)에 전압이 인가되면, 제1 도메인(D1)에 형성되는 전계와 제2 도메인(D2)에 형성되는 전계는 서로 다른 방향을 가지게 되며, 그에 따라 제1 도메인(D1)에 위치하는 액정 분자와 제2 도메인(D2)에 위치하는 액정 분자는 서로 다른 방향으로 배열된다.
- <50> 2개의 도메인(D1, D2)은 액정 분자의 배열 방향이 서로 다르기 때문에, 2개의 도메인(D1, D2)이 가지고 있는 시야각 특성도 서로 다르다. 따라서, 제1 도메인(D1)에 대해 시야각 특성이 저하되는 방향에 대해 제2 도메인

(D2)이 시야각 특성을 보상해 주며, 제2 도메인(D2)의 시야각 특성이 저하되는 방향에 대해서는 제1 도메인(D1)이 그것을 보상해 주게 되어, 전체적으로 시야각 특성이 향상된다.

- <51> 이러한 구조에서, 좌측 공통 전극(231)과 상부 패턴(261), 우측 공통 전극(230)과 하부 패턴(263)에 의해 블록(B1) 내에 수평 방향의 전계가 걸리면서 액정층의 액정 물질이 일정한 방향으로 배향된다.
- <52> 이와 같이, 화소 영역의 외곽에 배치된 한 쌍의 공통 전극(230, 231) 사이에 화소 전극(260)이 지그 재그(Zig-Zag) 형태로 삽입되어 하나의 블록(B1)을 형성하는 구조를 채용하면, 화질에 직접적으로 영향을 미치는 도메인(D1, D2)을 최대한 확보하고, 개구율을 높일 수 있다.
- <53> 또한, 이러한 형태의 화소 전극(260)이 복수 개로 늘어나면, 블록의 개수가 홀수, 짝수 모두로 설정될 수 있으므로, 설계 상 제약이 적어지고, 화소 영역의 크기가 달라져 설계 조건이 변하는 경우에도 개수에 관계없이 블록의 구성을 최적으로 설계할 수 있어 개구율 확보가 용이하다.
- <54> 한편, 화소 전극(260)의 상부 패턴(261) 및 하부 패턴(263)과 한 쌍의 공통 전극(230, 231)이 오버랩되는 부분은 게이트 절연막(201)(도 5 참조)스토리지 커패시터(Cst)를 형성하여, 화소 전극(260)으로 인가된 데이터 신호를 1 프레임 기간 동안(다음 데이터 신호가 인가될 때까지) 안정적으로 유지한다.
- <55> 이와 같이, 공통 전극(230, 231)을 이용한 스토리지 커패시터의 확보가 가능하고, 커패시터를 위해 게이트 라인(210)이나 공통 라인(240), 인출 라인(270)의 선폭을 확장할 필요가 없으므로, 개구율 및 휘도가 증가된다.
- <56> 화소 전극(260)과 공통 전극(230, 231)의 오버랩 면적은 공통 전극(230, 231)의 형상을 일부 변경하거나 화소 전극(260)의 형상을 일부 변경하여 조절한다.
- <57> 예를 들면, 공통 전극(230, 231)이 도 4의 (a)와 같은 형상을 갖는 경우, 화소 전극(260)의 상부 패턴(261)이나 하부 패턴(263)이 공통 전극(230, 231)과 오버랩되는 부분의 형태를 일부 변형하여 커패시터를 조절할 수 있다.
- <58> 마찬가지로, 화소 전극(260)의 형태를 그대로 두고, 공통 전극(230, 231)을 도 4의 (b)와 같은 형태로 설계하여, 오버랩 부분(R1, R2)의 폭을 조절함으로써 커패시터를 조절할 수 있다. 도 4의 (b)를 참조하면, 한 쌍의 공통 전극(230, 231)과 화소 전극(260)의 상부 패턴(261) 및 하부 패턴(263)이 오버랩되는 부분이 일정한 폭만큼 인입되어 있다.
- <59> 도 5는 도 3의 I-I', II-II' 라인을 나타낸 단면도이다.
- <60> 도 5를 참조하여 도 3의 수직 단면 구조를 살펴보면 다음과 같다.
- <61> 박막 트랜지스터(TFT)는 게이트 라인(210)에 접속된 게이트 전극(211), 데이터 라인(220)에서 연장된 소스 전극(221), 소스 전극(222)과 일정한 간격을 두고 마주보도록 위치하는 드레인 전극(222), 게이트 전극(211)과 중첩되면서 소스 전극(221)과 드레인 전극(222) 사이에 채널부를 형성하는 반도체층(ACT)을 구비한다.
- <62> 화소 전극(260)은 인출 라인(270)을 통해 박막 트랜지스터(TFT)의 드레인 전극(222)에 전기적으로 접속된다.
- <63> 반도체층(ACT)은 도핑되지 않은 비정질 실리콘 물질로 이루어지며, 반도체층(ACT)의 채널부를 제외한 영역에는 저항성 접촉층(ohmic contact layer)(OH)이 형성되어 소스 전극(221) 및 드레인 전극(222)과 반도체층(ACT)을 서로 결합한다.
- <64> 저항성 접촉층(OH)은 소스 전극(221) 및 드레인 전극(222)과 반도체층(ACT) 간의 계면에 위치하며, n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 실리콘의 물질로 이루어진다.
- <65> 게이트 라인(210)과 게이트 라인(210)으로부터 연장되는 게이트 전극(211)은 게이트 금속층을 이용해 패터닝되고, 데이터 라인(220), 소스 전극(221) 및 드레인 전극(222)은 소스/드레인 금속층을 이용해 패터닝된다.
- <66> 소스/드레인 금속층과 게이트 금속층 사이에는 게이트 절연막(201)이 형성되므로, 게이트 라인(210)과 데이터 라인(220)은 게이트 절연막(201)을 사이에 두고 서로 절연되게 교차된다.
- <67> 박막 트랜지스터(TFT)의 상부로는 실리콘 질화막(SiNx) 등의 물질로 이루어진 보호막(202)이 형성된다.
- <68> 화소 영역의 외곽에 배치되는 한 쌍의 공통 전극(230, 231)은 게이트 전극층을 이용해 형성되며, 게이트 전극(211)과 동일 평면 상에 배치된다.
- <69> 보호막(202) 상의 화소 전극(260)은 개구율 저하를 최소화할 수 있도록 ITO(indium tin oxide) 또는

IZO(indium zinc oxide) 등의 투명 도전 물질로 구성된다.

- <70> 우측 공통 전극(230)과 화소 전극(260)의 하부 패턴(263)은 도 5에 도시된 바와 같이, 일정한 간격을 두고 이격 배치되어 수평 방향의 전계를 형성하게 된다. 마찬가지로, 서로 마주보는 좌측 공통 전극(231)과 화소 전극(260)의 상부 패턴(261) 간에도 수평 방향의 전계가 형성되어 액정 분자의 배향을 제어한다.
- <71> 도 6은 본 발명의 제2 실시예에 따른 어레이 기관의 평면도이고, 도 7은 도 6의 블록을 나타낸 도면이다.
- <72> 어레이 기관(300)은 화소 영역의 최외곽에 위치하는 한 쌍의 공통 전극(230, 231) 사이에 형성된 홀수 개(1, 3, 5 등)의 공통 전극(310)을 더 포함하며, 도 6에서는 1개의 공통 전극(310)이 더 형성된 경우를 예시하고 있다.
- <73> 한 쌍의 공통 전극(230, 231)과 홀수 개(1, 3, 5 등)의 공통 전극(310)에 의해 한 쌍의 공통 전극(230, 231) 사이에 위치하는 공간은 짝수 개(2, 4, 6 등)의 블록(B1, B2 등)으로 구분된다.
- <74> 또한, 한 쌍의 공통 전극(230, 231) 사이에 짝수 개(2, 4, 6 등)의 공통 전극(310)이 더 배치되면, 한 쌍의 공통 전극(230, 231)과 그 사이에 배치된 짝수 개(2, 4, 6 등)의 공통 전극(310)에 의해 한 쌍의 공통 전극(230, 231) 사이에 위치하는 공간이 홀수 개(1, 3, 5 등)의 블록으로 정의된다.
- <75> 다른 구성요소는 본 발명의 제1 실시예와 동일하므로, 이에 대한 상세한 설명은 생략한다.
- <76> 이와 같이, 화소 영역의 피치나 전극 간 간격 등의 설계 조건이 정해진 경우, 블록의 개수를 홀수나 짝수로 자유롭게 배치함으로써, 설계 자유도를 높이고, 화소 영역의 외곽 부분까지 최대한 활용하여 개구율을 확보할 수 있다.
- <77> 도 8은 본 발명의 제3 실시예에 따른 어레이 기관의 평면도이고, 도 9는 도 8의 블록을 나타낸 도면이다.
- <78> 도 8을 참조하면, 본 발명의 제3 실시예에 따른 어레이 기관(400)은 게이트 라인(410)과 데이터 라인(420), 스위칭 소자인 박막 트랜지스터(TFT), 화소 영역 상에 형성된 한 쌍의 공통 전극(430, 431)과 화소 전극(460)을 포함한다.
- <79> 게이트 라인(410)과 데이터 라인(420)은 서로 절연되며, 제1 방향 및 제2 방향으로 서로 교차 배열되어 화소 영역을 정의한다.
- <80> 박막 트랜지스터(TFT)는 게이트 라인(410)과 데이터 라인(420)의 교차 지점에 형성되며, 게이트 전극(411), 반도체층(ACT), 소스 전극(421) 및 드레인 전극(422)을 갖는다.
- <81> 데이터 라인(410)과 평행을 이루며 제2 방향으로 형성된 한 쌍의 공통 전극(430, 431)은 직선 형상을 가지며, 제1 방향으로 배치된 공통 라인(440)을 통해 서로 연결된다. 이러한 한 쌍의 공통 전극(430, 431)은 화소 영역이 양측 외곽에 서로 마주보도록 배치되며, 한 쌍의 공통 전극(430, 431) 사이에 위치하는 공간을 하나의 블록(B1)으로 정의한다.
- <82> 화소 전극(460)은 박막 트랜지스터(TFT)의 드레인 전극(422)에 전기적으로 접촉되고, 한 쌍의 공통 전극(430, 431)과 절연되도록 구성되며, 상부 패턴(461)과 하부 패턴(463), 연결 패턴(462)을 구비한다.
- <83> 상부 패턴(461)과 하부 패턴(463)은 일부 영역이 화소 영역 양측에 배치된 공통 전극(430, 431)과 각각 오버랩되며, 연결 패턴(462)을 통해 서로 연결된다.
- <84> 도시되지는 않았으나, 한 쌍의 공통 전극(430, 431) 사이에는 홀수 개 또는 짝수 개의 공통 전극이 더 배치될 수 있다.
- <85> 외곽의 두 공통 전극(430, 431) 사이에 홀수 개의 공통 전극이 더 형성되는 경우, 두 공통 전극(430, 431) 사이의 공간은 짝수 개의 블록으로 구분되고, 짝수 개의 공통 전극이 더 형성되는 경우, 두 공통 전극(430, 431) 사이의 공간은 홀수 개의 블록으로 구분된다.
- <86> 화소 전극(460)의 상부 패턴(461) 및 하부 패턴(463)과 외곽의 두 공통 전극(430, 431)이 오버랩되는 부분은 스토리지 커패시터(Cst)를 형성하게 되며, 두 공통 전극(430, 431)과 화소 전극(460)이 오버랩되는 부분의 면적을 조절하여 커패시턴스를 제어할 수 있다. 예를 들면, 좌측 공통 전극(431)과 화소 전극(460)의 하부 패턴(463)이 오버랩되는 부분, 우측 공통 전극(430)과 화소 전극(460)의 상부 패턴(461)이 오버랩되는 부분에서, 공통 전극(430, 431)이나 화소 전극(460)의 폭을 원하는 커패시턴스에 따라 일정 정도 인입시키거나 돌출시켜 겹치는 면적을 줄이거나 늘릴 수 있다.

<87> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.

<88> 따라서, 이상에서 기술한 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이므로, 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 하며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

발명의 효과

<89> 상기한 바와 같이 이루어진 본 발명에 따른 액정 표시 장치용 어레이 기판은 적절한 화소 영역의 구조를 통해 블록의 홀수 배치와 짝수 배치를 모두 가능하게 함으로써, 설계 자유도를 높이고, 개구율을 향상시킬 수 있다.

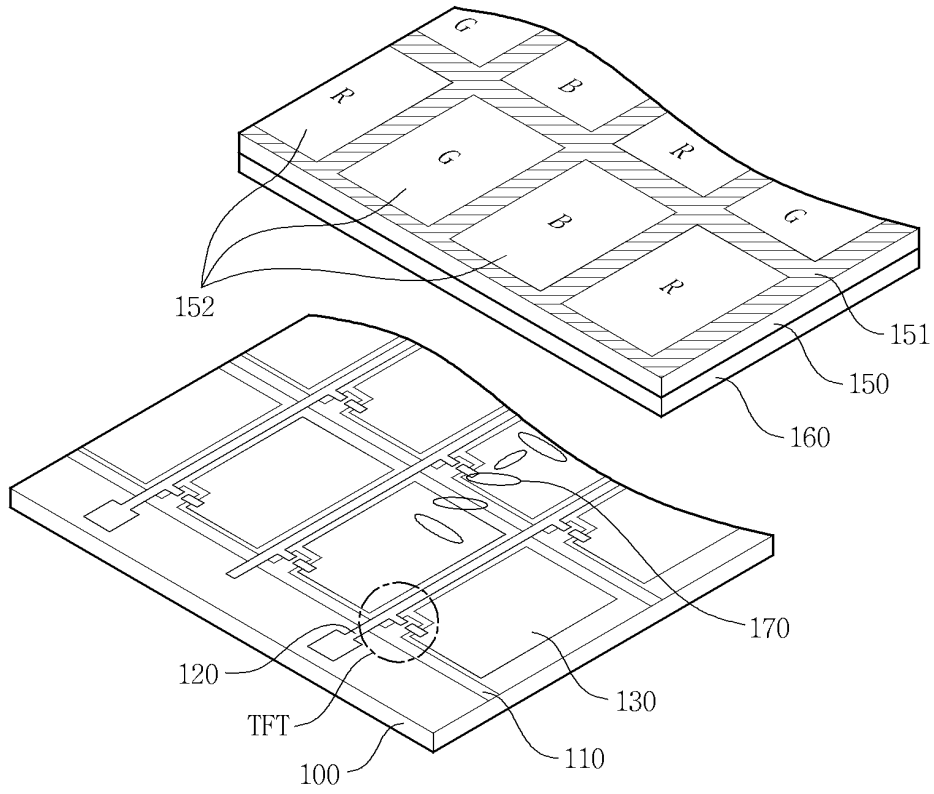
<90> 또한, 본 발명에 따른 액정 표시 장치용 어레이 기판은 개구율 저하를 최소화하면서 스토리지 커패시터의 커패시턴스를 확보할 수 있다.

도면의 간단한 설명

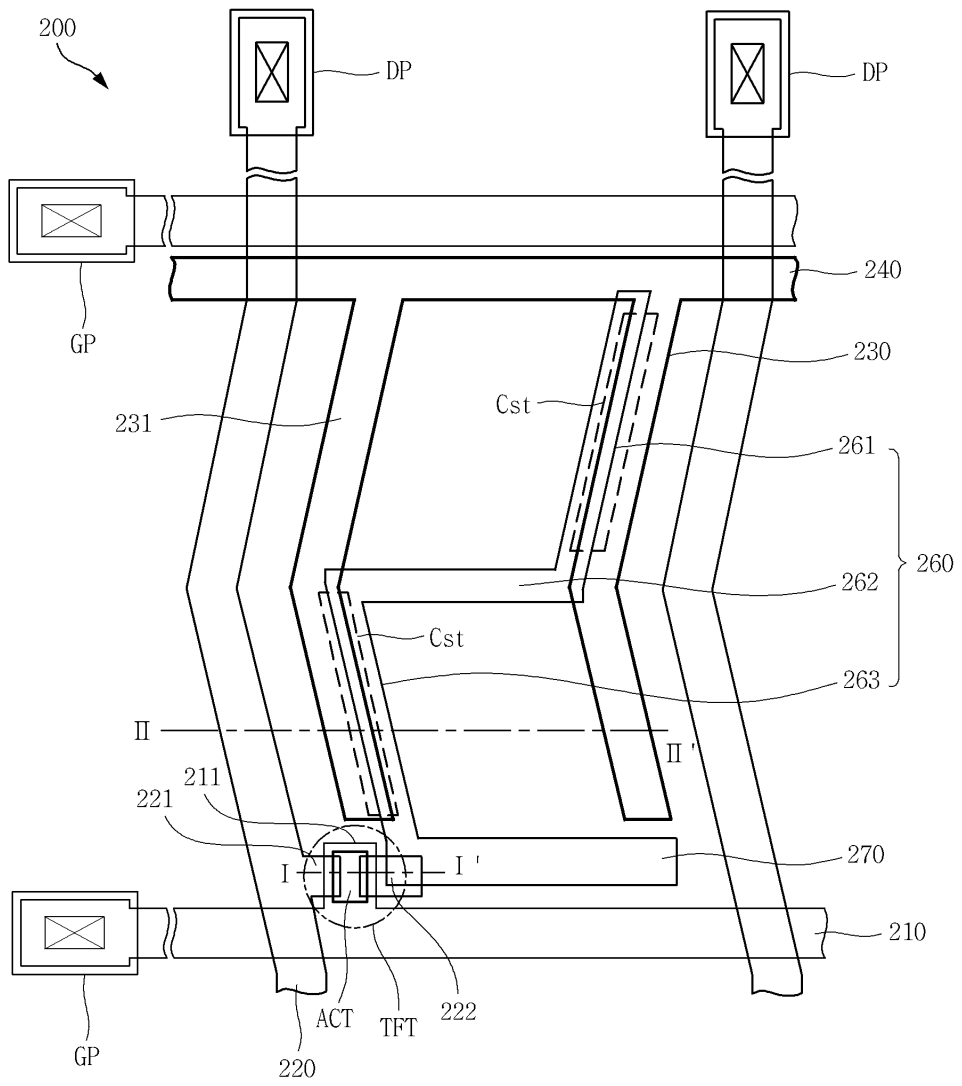
- <1> 도 1은 일반적인 액정 표시 장치의 구성도이다.
- <2> 도 2는 종래의 어레이 기판의 평면도이다.
- <3> 도 3은 본 발명의 제1 실시예에 따른 어레이 기판의 평면도이다.
- <4> 도 4는 도 3에 나타난 공통 전극의 구조이다.
- <5> 도 5는 도 3의 I-I', II-II' 라인을 나타낸 단면도이다.
- <6> 도 6은 본 발명의 제2 실시예에 따른 어레이 기판의 평면도이다.
- <7> 도 7은 도 6의 블록을 나타낸 도면이다.
- <8> 도 8은 본 발명의 제3 실시예에 따른 어레이 기판의 평면도이다.
- <9> (도면의 주요부분에 대한 부호의 설명)
- <10> 200, 400: 어레이 기판 210, 410: 게이트 라인
- <11> 220, 420: 데이터 라인 230, 231, 310, 430, 431: 공통 전극
- <12> 260, 460: 화소 전극 TFT: 박막 트랜지스터

도면

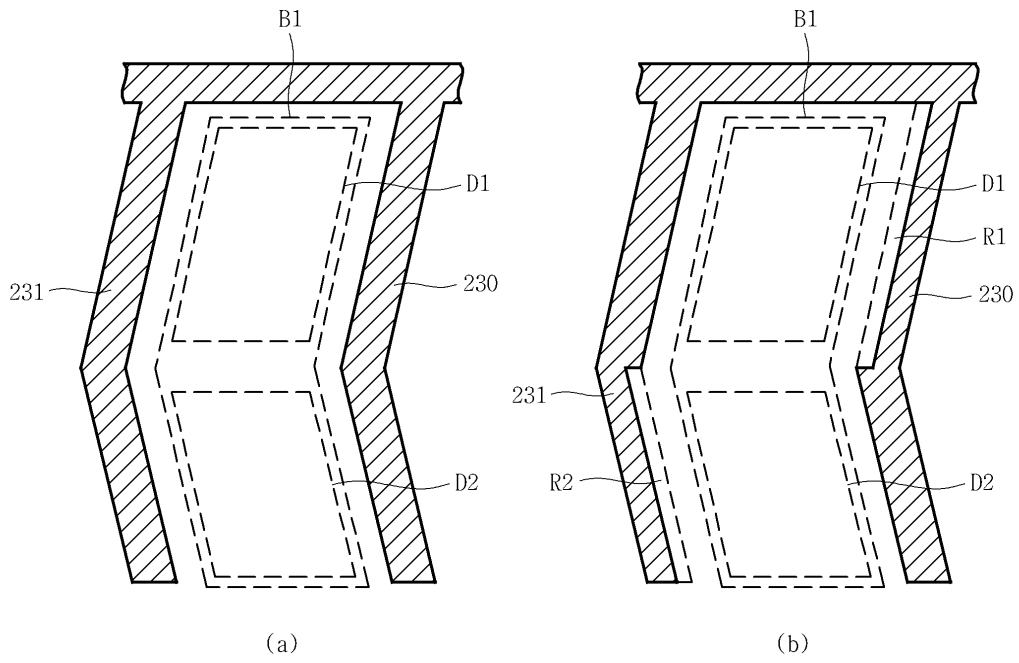
도면1



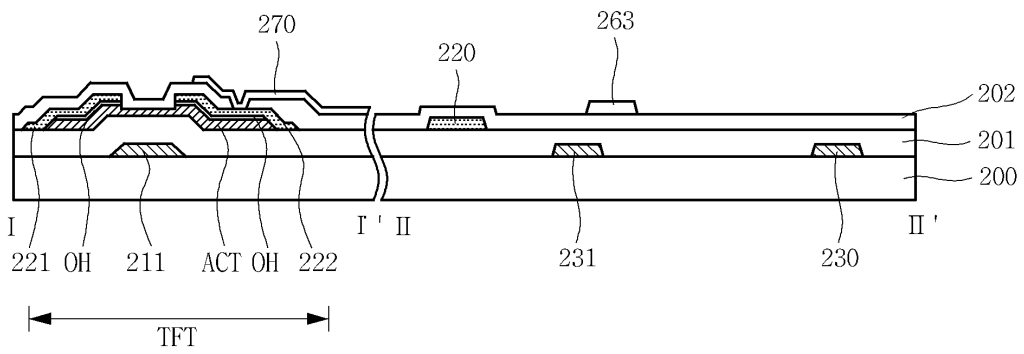
도면3



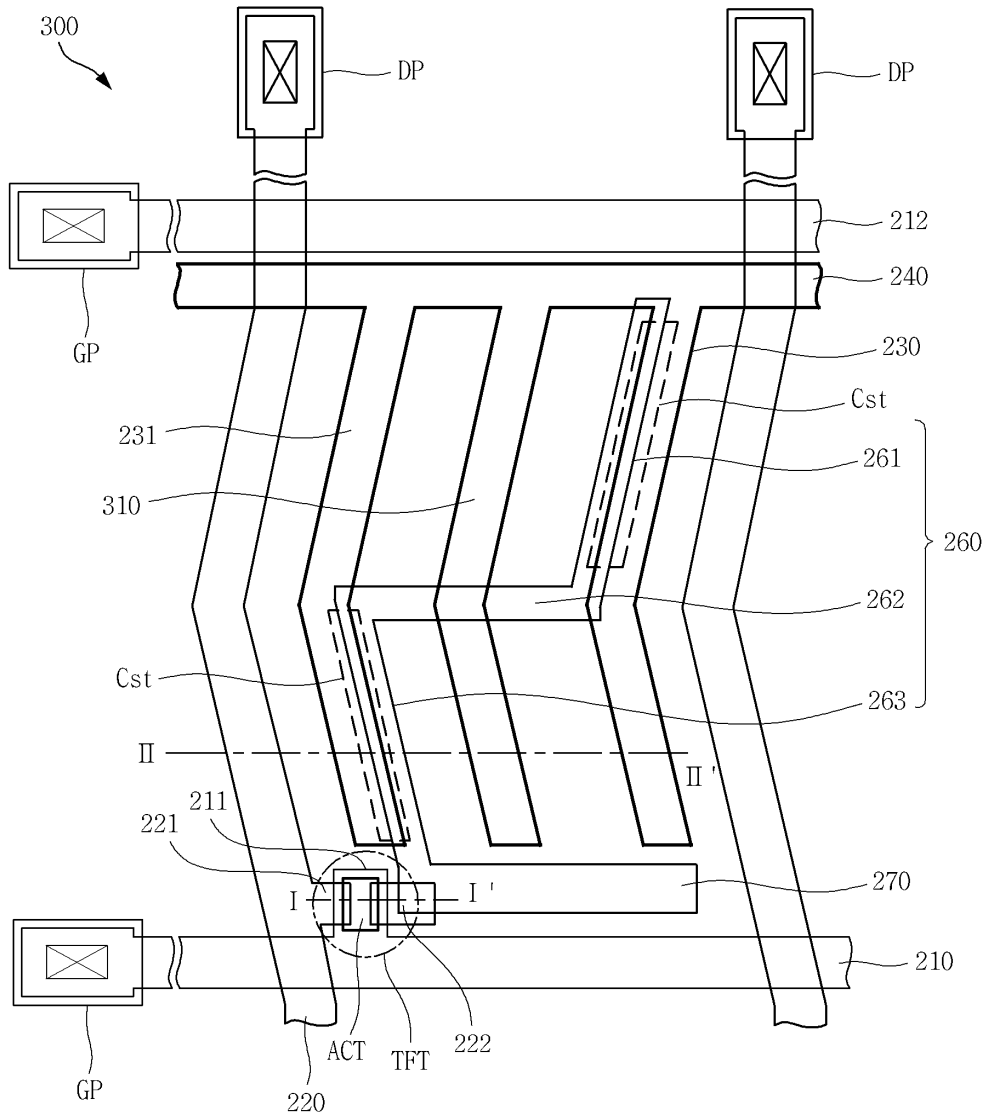
도면4



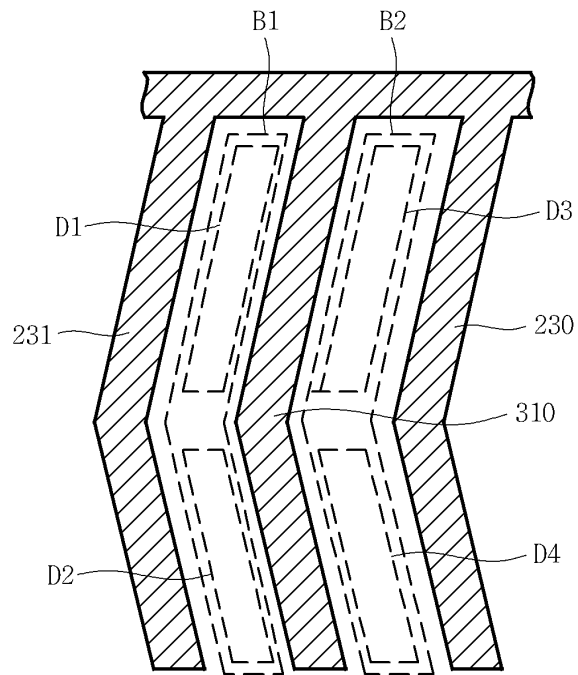
도면5



도면6



도면7



专利名称(译)	一种用于液晶显示器的阵列基板		
公开(公告)号	KR1020080061720A	公开(公告)日	2008-07-03
申请号	KR1020060136737	申请日	2006-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE WON HO		
发明人	LEE, WON HO		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134363 G02F1/136213 G02F1/136286 G02F1/1368 H01L29/786		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器阵列面板，其扩大了像素区域的建筑设计中的设计自由度，并且改善了孔径比并且可以实现存储电容。阵列面板具有破碎的形状，只要它获得它就形成在第一方向的栅极线上，该第一方向的栅极线限定了基板上的像素区域，它变成具有第二方向的间同立构和数据线的薄膜晶体管，以及具有第二方向的像素区域。并且，只要通过公共线连接，就包括对的公共电极和像素电极。像素电极布置在像素区域上以连接到漏电极并且其与一对公共电极绝缘并且具有用于将下面的图案和上部以及下面的图案与一对公共连接的连接图案。电极。液晶显示器，阵列面板和平面切换。

