



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0055325  
(43) 공개일자 2008년06월19일

(51) Int. Cl.

G02F 1/1368 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0128504

(22) 출원일자 2006년12월15일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김정범

경기 용인시 기흥구 동백동 C2-1 서해그랑블 260  
7동 1301호

(74) 대리인

김용인, 박영복

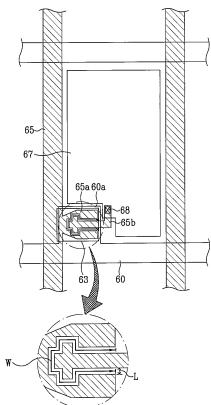
전체 청구항 수 : 총 9 항

(54) 박막트랜지스터 및 이를 구비한 액정표시장치

### (57) 요 약

본 발명은 W/L비를 크게 하고, 수직 크로스 토크를 개선하기에 알맞은 박막트랜지스터 및 이를 구비한 액정표시장치를 제공하기 위한 것으로, 이와 같은 목적을 달성하기 위한 박막 트랜지스터는 기판 상에 일방향으로 형성된 게이트전극과; 상기 게이트전극을 포함한 상기 기판 상에 형성된 게이트절연막과; 상기 게이트전극 상부에 오버랩되어 형성된 반도체층과; 상기 게이트전극의 상부에 오버랩되어 절곡부를 갖으며, 절곡부의 내측에 복수개의 요철을 갖는 소스 전극과; 상기 소스 전극과 일정 간격 이격되어 상기 소스 전극의 절곡부 내측의 요철부에 맞물리게 돌출부를 갖고 상기 절곡부 내에 삽입 배치된 드레인 전극을 포함함을 특징으로 한다.

**대표도** - 도6



## 특허청구의 범위

### 청구항 1

기판 상에 일방향으로 형성된 게이트전극과;

상기 게이트전극을 포함한 상기 기판 상에 형성된 게이트절연막과;

상기 게이트전극 상부에 오버랩되어 형성된 반도체층과;

상기 게이트전극의 상부에 오버랩되어 절곡부를 갖으며, 절곡부의 내측에 복수개의 요철을 갖는 소스 전극과;

상기 소스 전극과 일정 간격 이격되어 상기 소스 전극의 절곡부 내측의 요철부에 맞물리게 돌출부를 갖고 상기 절곡부 내에 삽입 배치된 드레인 전극을 포함함을 특징으로 하는 박막 트랜지스터.

### 청구항 2

제 1 항에 있어서,

상기 소스 전극은 적어도 하나의 절곡부를 갖음을 특징으로 하는 박막 트랜지스터.

### 청구항 3

제 1 항에 있어서,

상기 소스 전극의 절곡부는 ' $\subset$ '자형이나 '역 $\subset$ '자형이나 ' $\in$ '자형이나 '역 $\in$ '자형으로 구성되는 것을 더 포함함을 특징으로 하는 박막 트랜지스터.

### 청구항 4

교차 배열되어 화소영역을 정의하는 게이트라인 및 데이터라인과;

상기 게이트라인과 데이터라인의 교차부에 구성되며, 상기 게이트라인에 접속된 게이트전극과, 절곡부를 갖고 상기 절곡부 내에 복수개의 요철을 갖고 형성된 소스 전극과, 상기 소스 전극의 요철부에 맞물리도록 돌출부를 갖고 상기 절곡부내에 삽입 배치된 드레인 전극을 구비하여 구성되는 박막 트랜지스터와;

상기 박막 트랜지스터의 드레인 전극에 접속되어 상기 화소영역에 형성된 화소전극을 포함하여 구성됨을 특징으로 하는 액정표시장치.

### 청구항 5

제 4 항에 있어서,

상기 소스 전극은 적어도 하나의 절곡부를 갖음을 특징으로 하는 액정표시장치.

### 청구항 6

제 4 항에 있어서,

상기 소스 전극의 절곡부는 ' $\subset$ '자형이나 '역 $\subset$ '자형이나 ' $\in$ '자형이나 '역 $\in$ '자형으로 구성되는 것을 더 포함함을 특징으로 하는 액정표시장치.

### 청구항 7

제 4 항에 있어서,

상기 소스 전극의 절곡부는 상기 게이트 라인과 평행하거나 수직한 방향으로 구성됨을 특징으로 하는 액정표시장치.

### 청구항 8

제 4항에 있어서,

상기 반도체층은 상기 소스 전극, 상기 드레인 전극과 상기 데이터라인의 하부에 구성되는 것을 더 포함함을 특

정으로 하는 액정표시장치.

## 청구항 9

제 4 항에 있어서,

상기 액정표시장치는 상기 화소영역에 상기 데이터라인과 평행하게 형성된 공통전극과, 상기 공통전극들 사이에 상기 화소전극이 배열되는 횡전계 방식 액정표시장치를 더 포함함을 특징으로 하는 액정표시장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 액정표시장치에 대한 것으로, 특히 W/L비를 크게 하고, 이에 의해서 수직 크로스 토크를 개선하기에 알맞은 박막트랜지스터 및 이를 구비한 액정표시장치에 관한 것이다.
- <18> 정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display)등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.
- <19> 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전, 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.
- <20> 이와 같이 액정표시장치가 여러 분야에서 화면 표시장치로서의 역할을 하기 위해 여러 가지 기술적인 발전이 이루어졌음에도 불구하고 화면 표시장치로서 화상의 품질을 높이는 작업은 상기 장점과 배치되는 면이 많이 있다.
- <21> 따라서, 액정표시장치가 일반적인 화면 표시장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저 소비전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고품위 화상을 얼마나 구현할 수 있는가에 발전의 관건이 걸려 있다고 할 수 있다.
- <22> 이와 같은 액정표시장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정 패널은 공간을 갖고 합착된 제 1, 제 2 유리 기판과, 상기 제 1, 제 2 유리 기판 사이에 주입된 액정층으로 구성된다.
- <23> 이하, 첨부 도면을 참조하여 일반적인 액정표시장치의 구성에 대하여 설명하면 다음과 같다.
- <24> 도 1은 일반적인 TN 액정표시장치의 일부를 나타낸 분해 사시도이다.
- <25> 일반적인 TN 액정표시장치는 도 1에 도시한 바와 같이, 일정 공간을 갖고 합착된 하부기판(1) 및 상부기판(2)과, 상기 하부기판(1)과 상부기판(2) 사이에 주입된 액정층(3)으로 구성되어 있다.
- <26> 보다 구체적으로 설명하면, 상기 하부기판(1)은 화소영역(P)을 정의하기 위하여 일정한 간격을 갖고 일방향으로 복수개의 게이트 라인(4)이 배열되고, 상기 게이트 라인(4)에 수직한 방향으로 배열되어 화소영역(P)을 정의하도록 일정한 간격을 갖고 복수개의 데이터 라인(5)이 배열되며, 상기 게이트 라인(4)과 데이터 라인(5)이 교차하여 정의되는 각 화소영역(P)에는 화소전극(6)이 형성되고, 상기 각 게이트 라인(4)과 데이터 라인(5)이 교차하는 부분에 박막 트랜지스터(T)가 형성되어 있다.
- <27> 그리고 상기 상부기판(2)은 상기 화소영역(P)을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층(7)과, 컬러 색상을 표현하기 위한 R,G,B 컬러 필터층(8)과, 화상을 구현하기 위한 공통전극(9)이 형성되어 있다.
- <28> 상기 화소전극(6)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속을 사용한다.
- <29> 전술한 바와 같이 구성되는 액정표시장치는 상기 화소전극(6)상에 위치한 액정층(3)이 상기 박막 트랜지스터

(T)로부터 인가된 신호에 의해 배향되고, 상기 액정층(3)의 배향 정도에 따라 액정층(3)을 투과하는 빛의 양을 조절하는 방식으로 화상을 표현할 수 있다.

- <30> 전술한 바와 같은 액정패널은 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하며, 상부기판(2)의 공통전극(9)이 접지역할을 하게 되어 정전기로 인한 액정 셀의 파괴를 방지할 수 있다.
- <31> 상기와 같은 액정표시장치는 스테터 구동에서는 화소마다 독립적으로 구동하기 때문에 다른 화소의 신호전압에 영향을 거의 받지 않지만, 라인 어드레싱(line addressing) 구동에서는 인접화소의 정보에 따라서 신호가 왜곡되는 크로스토크(cross-talk)가 발생할 수 있다.
- <32> 일반적으로 상기 크로스토크는 수평 크로스토크와 수직 크로스토크로 구분된다. 수평 크로스토크는 공통전극과 소스전극 간의 캐패시터 커플링(capacitor coupling)을 그 원인으로 하고 수직 크로스토크는 소스전극과 드레인 전극간의 정전용량을 그 원인으로 한다.
- <33> 상기에서 수직 크로스토크는 TFT LCD의 채널 길이 대 채널폭의 비(W/L)를 크게 하면 줄일 수 있는데, 도 1과 같은 일반적인 채널구조 만으로는 소스전극과 드레인전극간의 정전용량을 늘리는데 한계가 있다.
- <34> 이에, 수직 크로스토크를 개선시키기 위한 액정표시장치의 구조 개선이 필요한 실정이다.

### 발명이 이루고자 하는 기술적 과제

- <35> 본 발명은 상기와 같은 문제를 해결하기 위하여 안출한 것으로, 본 발명의 목적은 W/L비를 크게 하고, 수직 크로스 토크를 개선하기에 알맞은 박막트랜지스터 및 이를 구비한 액정표시장치를 제공하는데 있다.

### 발명의 구성 및 작용

- <36> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 박막 트랜지스터는 기판 상에 일방향으로 형성된 게이트전극과; 상기 게이트전극을 포함한 상기 기판 상에 형성된 게이트절연막과; 상기 게이트전극 상부에 오버랩되어 형성된 반도체층과; 상기 게이트전극의 상부에 오버랩되어 절곡부를 갖으며, 절곡부의 내측에 복수개의 요철을 갖는 소스 전극과; 상기 소스 전극과 일정 간격 이격되어 상기 소스 전극의 절곡부 내측의 요철부에 맞물리게 돌출부를 갖고 상기 절곡부 내에 삽입 배치된 드레인 전극을 포함함을 특징으로 한다.
- <37> 상기 소스 전극은 적어도 하나의 절곡부를 갖으며, 상기 소스 전극의 절곡부는 ' $\subset$ '자형이나 ' $\cap$ '자형이나 ' $\in$ '자형이나 ' $\cap\in$ '자형으로 구성되는 것을 더 포함한다.
- <38> 상기 구성을 갖는 박막 트랜지스터를 구비한 본 발명에 따른 액정표시장치는, 교차 배열되어 화소영역을 정의하는 게이트라인 및 데이터라인과; 상기 게이트라인과 데이터라인의 교차부에 구성되며, 상기 게이트라인에 접속된 게이트전극과, 절곡부를 갖고 상기 절곡부 내에 복수개의 요철을 갖고 형성된 소스 전극과, 상기 소스 전극의 요철부에 맞물리도록 돌출부를 갖고 상기 절곡부내에 삽입 배치된 드레인 전극을 구비하여 구성되는 박막 트랜지스터와; 상기 박막 트랜지스터의 드레인 전극에 접속되어 상기 화소영역에 형성된 화소전극을 포함하여 구성됨을 특징으로 한다.
- <39> 상기 소스 전극은 적어도 하나의 절곡부를 갖고 있으며, 상기 소스 전극의 절곡부는 ' $\subset$ '자형이나 ' $\cap$ '자형이나 ' $\in$ '자형이나 ' $\cap\in$ '자형으로 구성되는 것을 더 포함한다.
- <40> 그리고, 상기 소스 전극의 절곡부는 상기 게이트 라인과 평행하거나 수직한 방향으로 구성된다.
- <41> 상기 반도체층은 상기 소스 전극, 상기 드레인 전극과 상기 데이터라인의 하부에 구성되는 것을 더 포함한다.
- <42> 상기 액정표시장치는 상기 화소영역에 상기 데이터라인과 평행하게 형성된 공통전극과, 상기 공통전극들 사이에 상기 화소전극이 배열되는 획전계 방식 액정표시장치로 구성되는 것을 더 포함한다.
- <43> 상술한 바와 같이, 액정표시장치는 소스전극과 드레인전극 간의 정전용량의 부족에 의해서 수직 크로스토크가 발생할 수 있고, 이를 개선시키기 위한 액정표시장치의 박막 트랜지스터의 구조 개선이 필요한 실정이다.
- <44> 이하에서는 본 발명에 적용하기 위한 액정표시장치의 구성에 대하여 설명하기로 한다.
- <45> 도 2는 본 발명을 적용하기 위한 액정표시장치의 평면 구성도이다.
- <46> 본 발명을 적용하기 위한 액정표시장치는 도 2에 도시한 바와 같이, 기판 상에 일방향으로 배열된 게이트라인

(10)과, 상기 게이트라인(10)의 일측에서 돌출 형성된 게이트전극(10a)과, 상기 게이트라인(10)과 교차 배열되어 화소영역을 정의하는 데이터라인(15)과, 상기 게이트라인(10)과 데이터라인(15)의 교차 부분에 구성되며 'C'자형의 채널을 갖도록 구성된 박막 트랜지스터(TFT)와, 상기 박막 트랜지스터의 드레인 전극(15b)에 접속되도록 화소영역에 형성된 화소전극(17a)으로 구성된다.

<47> 그리고, 상기 박막 트랜지스터(TFT)는 게이트 라인(10)의 일측에서 돌출 형성된 게이트 전극(10a)과, 상기 게이트전극(10a)의 상부에 오버랩 형성된 반도체층(13)과, 데이터 라인(15)의 일측에서 돌출 형성된 소스 전극(15a)과 상기 소스 전극(15a)과 일정 간격 이격된 드레인전극(15b)으로 구성된다.

<48> 상기에서 드레인전극(15b)은 드레인 콘택홀(18)을 통해서 화소 전극(17a)과 접속된다.

<49> 상기 반도체층(13)은 게이트 전극(10a)에 공급되는 게이트 전압에 의해 소스 전극(15a)과 드레인 전극(15b) 사이에 도통 채널을 형성하기 위한 것이다.

<50> 그리고, 도면에는 도시되지 않았지만, 상기에서 게이트라인(10) 및 게이트전극(10a)을 포함한 기판상에는 게이트절연막(미도시)이 더 구비되어 있고, 상기 반도체층(13)과 소스 전극(15a) 사이 및 반도체층(13)과 드레인 전극(15b)의 사이에는 저항을 줄이기 위한 오믹 콘택층(미도시)이 더 구비되어 있다.

<51> 이러한, 상기 박막 트랜지스터는 게이트 라인(10)으로부터 게이트 신호를 인가 받아서 온/오프가 결정되며, 상기 데이터 라인(15)으로부터 전달된 데이터 신호를 선택적으로 화소 전극(17a)에 공급한다.

<52> 상기 화소 전극(17a)은 데이터 라인(15)과 게이트 라인(10)이 교차 배열되어 정의된 화소 영역에 위치하며, 광투과율이 높은 투명 전도성 물질로 이루어진다.

<53> 여기서, 상기 박막 트랜지스터는 'C'자형의 채널 구조를 갖도록 절곡되어 있는데, 이와 같은 채널 구조는, 데이터 라인(15)으로부터 돌출된 소스 전극(15a)을 게이트 라인(10)과 평행하게 'C'자형으로 절곡하여 형성한다.

<54> 그리고, 상기 드레인 전극(15b)을 상기 절곡된 소스 전극(15a)과 일정 간격 이격되도록 그 내측에 삽입하여 위치시킨다.

<55> 그러나, 상기와 같이 'C'자형의 채널을 갖도록 박막 트랜지스터를 구성하였다고 해도, 상기의 구조만으로는 상기 제한적인 박막 트랜지스터의 면적에다가 소스 전극과 드레인전극 간의 정전용량을 늘려서 수직 크로스토크를 개선시키는데 한계가 있다.

<56> 다시 말해서, 상기 액정표시장치에서는 박막 트랜지스터의 채널 길이(L)의 조정을 통해서만 채널 길이 대 채널 폭의 비(W/L)를 설계 할 수 있는데, 이때 채널 길이(L)는 대략  $5.5\mu m$ 가 한계치이기 때문에 설계자의 설계 설정을 선택할 수 있는 범위가 작다. 또한, W/L 값이 작기 때문에 온 전류(Ion)값이 작아서 충분한 차아짐이 이루어 지지 않으므로 수직 크로스토크를 유발시킬 우려가 있다.

<57> 이에 따라서, 이하, 본 발명에서는 동일한 면적에다가 박막 트랜지스터를 구성할 경우, 소스 전극과 드레인 전극간의 정전용량을 늘리기에 알맞은 박막 트랜지스터 및 이를 포함한 액정표시장치에 대하여 첨부 도면을 참조하여 설명하기로 한다.

<58> 도 3 내지 도 5는 본 발명의 실시예에 따른 박막 트랜지스터의 평면도이다.

<59> 도 6 내지 도 8은 본 발명의 제 1 실시예에 따른 액정표시장치의 평면 구성도이고, 도 9는 본 발명의 제 2 실시 예에 따른 액정표시장치의 평면 구성도이며, 도 10은 본 발명의 제 3 실시예에 따른 액정표시장치의 평면 구성도이다.

<60> 먼저, 본 발명의 실시예에 따른 박막 트랜지스터는, 도 3에 도시한 바와 같이, 기판(미도시) 상에 일방향으로 게이트전극(30)이 형성되어 있고, 상기 게이트전극(30)을 포함한 상기 기판 상에 게이트절연막(미도시)이 형성되어 있으며, 상기 게이트전극(30) 상부에 오버랩되도록 반도체층(31)이 패턴되어 있다.

<61> 그리고, 상기 게이트전극(30)의 일측 상부방향에 오버랩되어 절곡부를 갖으며, 절곡부의 내부에 복수개의 요철을 갖는 소스 전극(32a)이 구성되어 있다.

<62> 도 3에서는 소스 전극(32a)이 'C'자형으로 절곡되어 있고, 그 절곡부 내부의 상, 하부와 측부에 각각 1개씩 3개의 요부가 구성된 예를 제시하였다.

<63> 그리고, 상기 소스 전극(32a)과 일정 간격 이격되어 절곡부에 삽입 배치되어 있으며, 소스 전극(32a)의 절곡부

내측의 요부에 대응되는 부분에 복수개의 돌출부를 갖고 드레인 전극(32b)이 형성되어 있다.

<64> 상기와 같이 구성하면, 동일 면적에 소스 전극(32a)과 드레인 전극(32b)을 형성하였다고 해도, 소스 전극(32a)의 절곡부 내측의 요철과, 이에 맞물리도록 돌출부를 갖고 형성된 드레인 전극(32b)으로 인해서 채널 길이(L) 대 채널 폭(W)의 비(W/L)를 증가시킬 수 있다.

<65> 상기 도 3에서는 소스 전극(32a)이 ' $\subset$ '자형의 절곡부를 갖고 내측에 3개의 요부를 갖는 구성예를 제시하여 설명하였으나, 이는 하나의 실시예일 뿐, 본 발명을 한정하기 위한 것이 아니며, 상기 소스 전극(32a)은 동일 면적에 설계 가능한 다양한 절곡부를 구성하고 그 내측에 복수개의 요철을 갖도록 구성시킬 수 있고, 상기 소스 전극과 일정 간격 이격되게 소스 전극의 요철에 맞추어 돌출부를 갖는 드레인 전극을 구성시킬 수 있다.

<66> 예를 들면, 상기 소스 전극의 절곡부는 ' $\subset$ '자형이나 ' $\cap$ '자형이나 ' $\in$ '자형이나 ' $\cap\in$ '자형으로도 구성할 수 있고, 각 절곡부는 내측에 복수개의 요철을 갖을 수 있으며, 드레인 전극은 소스 전극과 일정 간격 이격되게 소스 전극의 요철에 맞추어 돌출 구성시킬 수 있다.

<67> 다음에, 상기 구성중 소스 전극이 ' $\subset$ '자형으로 형성되었을 때, 요철의 수에 따른 박막 트랜지스터의 다른 일예를 도면을 참조하여 설명하기로 한다.

<68> 도 4에 도시된 바와 같이, 기판(미도시) 상에 일방향으로 게이트전극(40)이 형성되어 있고, 상기 게이트전극(40)을 포함한 상기 기판 상에 게이트절연막(미도시)이 형성되어 있으며, 상기 게이트전극(40) 상부에 오버랩 되도록 반도체층(41)이 패턴되어 있다.

<69> 그리고, 상기 게이트전극(40)의 일측 상부 방향에서 오버랩되어  $\subset$ 자형의 절곡부를 갖으며, 절곡부 내부에 복수 개의 요철을 갖는 소스 전극(42a)이 구성되어 있다. 이때 도 4에서는 상,하측에 각각 2개씩 4개의 요부와 측면에 1개의 요부가 구성된 예를 제시하였다.

<70> 그리고, 상기 소스 전극(42a)과 일정 간격 이격되어 절곡부에 삽입되어 있으며, 소스 전극(42a)의 절곡부 내측의 요부에 대응되는 부분에 복수개의 돌출부를 갖도록 드레인 전극(42b)이 형성되어 있다.

<71> 상기와 같이 구성하면, 동일 면적에 소스 전극(42a)과 드레인 전극(42b)을 형성하였다고 해도, 소스 전극(42a)의 절곡부의 내측의 요철과, 이에 맞물려서 형성된 드레인 전극(42b)으로 인해서 채널 길이(L) 대 채널 폭(W)의 비(W/L)를 더욱 증가시킬 수 있다.

<72> 상술한 바와 같이, 도 4에서는 소스 전극(42a)이 ' $\subset$ '자형의 절곡부를 갖고 내측에 5개의 요부를 갖는 구성예를 제시하여 설명하였다.

<73> 다음에, 박막 트랜지스터의 또 다른 구성예를 첨부 도면을 참조하여 설명하면, 도 5에 도시한 바와 같이, 기판(미도시) 상에 일방향으로 게이트전극(50)이 형성되어 있고, 상기 게이트전극(50)을 포함한 상기 기판 상에 게이트절연막(미도시)이 형성되어 있으며, 상기 게이트전극(50) 상부에 오버랩되도록 반도체층(51)이 패턴되어 있다.

<74> 그리고, 상기 게이트전극(50)의 일측 상부에 오버랩되어  $\subset$ 자형의 절곡부를 갖으며, 절곡부의 내부에 복수개의 요철을 갖는 소스 전극(52a)이 구성되어 있다. 이때 도 5에서는 상,하측에 각각 3개씩 6개의 요부와 측면에 1개의 요부가 구성된 예를 제시하였다.

<75> 그리고, 상기 소스 전극(52a)과 일정 간격 이격되어 절곡부에 삽입되어 있으며, 소스 전극(52a)의 절곡부의 내측의 요부에 대응되는 부분에 복수개의 돌출부를 갖도록 드레인 전극(52b)이 형성되어 있다.

<76> 상기와 같이 구성하면, 동일 면적에 소스 전극(52a)과 드레인 전극(52b)을 형성하였다고 해도, 소스 전극(52a)의 절곡부 내측의 요철과, 이에 맞물려서 형성된 드레인 전극(52b)으로 인해서 채널 길이(L) 대 채널 폭(W)의 비(W/L)를 도 4에서 보다도 증가시킬 수 있다.

<77> 정리하면, 상기 도 5에서는 소스 전극(52a)이 ' $\subset$ '자형의 절곡부를 갖고 내측에 7개의 요부를 갖는 구성예를 제시하여 설명하였다.

<78> 상기에서와 같이, 동일 면적에 박막 트랜지스터를 구성할 때, 채널부는 차지하는 면적이 한정되어 있는데, 상기와 같이, 소스 전극의 절곡된 내부에 요철을 형성하고, 상기 요철에 맞물리게 돌출부를 갖는 드레인 전극을 형성하면, 설계자의 의도대로 채널 폭(W) 및 TFT 특성을 유도할 수 있으며, 적은 면적에서도 큰 채널 폭(W)을 얻을 수 있다.

- <79> 상기와 같이 채널 길이 대 채널 폭의 비(W/L)를 크게 하면 채널을 통해 이동하는 전하의 이동도가 우수해지므로 TFT의 구동 특성이 향상된다.
- <80> 다음에, 상기와 같은 박막 트랜지스터를 구비한 액정표시장치의 구성에 대하여 설명하기로 한다.
- <81> 먼저, 본 발명의 제 1 실시예에 따른 액정표시장치는, 도 6에 도시한 바와 같이, 기판상에 일방향으로 배열된 게이트라인(60)과, 상기 게이트라인(60)의 일측에서 돌출 형성된 게이트전극(60a)과, 상기 게이트라인(60)과 교차 배열되어 화소영역을 정의하는 데이터라인(65)과, 상기 게이트라인(60)과 데이터라인(65)의 교차 부분에 형성되며, 절곡된 요철 채널을 구비한 박막 트랜지스터(TFT)와, 상기 박막 트랜지스터의 드레인 전극(65b)에 접속되도록 화소영역에 형성된 화소전극(67)으로 구성된다.
- <82> 상기 박막 트랜지스터(TFT)는 게이트 라인(60)에 접속된 게이트 전극(60a)과, 상기 게이트전극(60a)의 일상부에 오버랩 형성된 반도체층(63)과, 데이터 라인(65)에 접속된 소스 전극(65a) 및 드레인 콘택홀(68)을 통해 화소 전극(67)에 접속된 드레인 전극(65b)으로 구성된다.
- <83> 상기 반도체층(63)은 게이트 전극(60a)에 공급되는 게이트 전압에 의해 소스 전극(65a)과 드레인 전극(65b) 사이에 도통 채널을 형성하기 위한 것이다.
- <84> 그리고, 도면에는 도시되지 않았지만, 상기에서 게이트라인(60) 및 게이트전극(60a)을 포함한 기판상에는 게이트절연막(미도시)이 더 구비되어 있고, 상기 반도체층(63)과 소스 전극(65a) 사이 및 반도체층(63)과 드레인 전극(65b)의 사이에는 저항을 줄이기 위한 오믹 콘택층(미도시)이 더 구비되어 있다.
- <85> 이러한, 상기 박막 트랜지스터는 게이트 라인(60)으로부터의 게이트 신호에 응답하여 상기 데이터 라인(65)으로부터의 데이터 신호를 선택적으로 화소 전극(67)에 공급한다.
- <86> 상기 화소 전극(67)은 데이터 라인(65)과 게이트 라인(60)에 의해 분할된 화소 영역에 위치하며 광투과율이 높은 투명 전도성 물질로 이루어진다.
- <87> 예를 들면, 화소 전극(67)은 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide: ITZO)과 같은 투명 전도성 물질로 구성한다.
- <88> 상기에서 소스 전극(65a)은 상기 게이트전극(60)의 일측 상부에 오버랩되어  $\square$ 자형의 절곡부를 갖으며, 절곡부의 내부에 복수개의 요철을 갖고 구성되어 있으며, 드레인 전극(65b)은 상기 소스 전극(65a)과 일정 간격 이격되어 절곡부에 삽입 배치되어 있으며, 소스 전극(65a)의 절곡부의 내측의 요부에 대응되는 부분에 복수개의 돌출부를 갖도록 구성되어 있다. 즉, 드레인 전극(65b)은 소스 전극(65a)의 절곡부의 내측의 요철에 맞물리도록 구성되어 있다.
- <89> 상기와 같이 구성하면, 동일 면적에 소스 전극(65a)과 드레인 전극(65b)을 형성하였다고 해도, 소스 전극(65a)의 절곡부의 내측의 요철과, 이에 맞물려서 형성된 드레인 전극(65b)으로 인해서 채널 길이(L) 대 채널 폭(W)의 비(W/L)를 증가시킬 수 있다.
- <90> 상기에서 소스 전극(65a)의 절곡부는 게이트 라인(60)과 평행 또는 수직하게 절곡시켜 구성시킬 수 있다.
- <91> 도 6에는 박막 트랜지스터의 소스 전극(65a)이  $\square$ 자형의 절곡부를 갖고 내측에 3개의 요부를 갖는 도 3의 박막 트랜지스터의 구성예를 제시하여 설명하였으나, 이는 일실시예일 뿐, 본 발명을 한정하기 위한 것이 아니며, 상기 소스 전극(65a)은 동일 면적에 설계 가능한 다양한 절곡부를 구성하고, 그 내측에 복수개의 요철을 갖도록 구성시킬 수 있고, 상기 소스 전극의 요철에 맞물리는 돌출부를 갖는 드레인 전극(65b)을 구성시킬 수 있다.
- <92> 예를 들어서, 본 발명의 제 1 실시예에 따른 액정표시장치는, 도 7과 도 8에 도시한 바와 같이, 박막 트랜지스터의 소스 전극(75a, 85)의 절곡부가 복수개의 요철을 갖도록 형성하고, 상기 요철에 맞물리는 돌출부를 갖는 드레인 전극(75b, 85b)을 구성시킬 수 있다.
- <93> 상기 도 7과 도 8에 제시된 액정표시장치는, 박막 트랜지스터의 소스 전극과 드레인 전극이 각각 도 4와 도 5에 제시한 박막 트랜지스터의 구성을 가졌다는 것을 제외하고는 도 6에 제시된 액정표시장치와 그 구성이 동일하므로, 이하 생략하기로 한다.
- <94> 상기에서와 같이 채널 길이 대 채널 폭의 비(W/L)를 크게 하면 채널을 통해 이동하는 전하의 이동도가 우수해지고, 상대적으로 게이트전극에 적은 전압을 인가하여도 데이터 라인을 통해 인가되는 데이터 신호를 화소 전극으

로 공급할 수 있다.

<95> 다음에, 본 발명의 제 2 실시예에 따른 액정표시장치에 대하여 설명하면 다음과 같다.

<96> 먼저, 도 9에 도시한 바와 같이, 기판상에 일방향으로 배열된 게이트라인(90)과, 상기 게이트라인(90)의 일측에서 돌출 형성된 게이트전극(90a)과, 상기 게이트라인(90)과 교차 배열되어 화소영역을 정의하는 데이터라인(95)과, 상기 게이트라인(90)과 데이터라인(95)의 교차 부분에, 절곡된 요철 채널을 갖도록 구성된 박막 트랜지스터(TFT)와, 상기 박막 트랜지스터의 드레인 전극(95b)에 접속되도록 화소영역에 형성된 화소전극(97)으로 구성된다.

<97> 그리고, 상기 박막 트랜지스터는 게이트 라인(90)에 접속된 게이트 전극(90a)과, 데이터 라인(95)에 접속된 소스 전극(95a) 및 드레인 콘택홀(98)을 통해 화소 전극(97)에 접속된 드레인 전극(95b)으로 구성된다.

<98> 상기 반도체층(93)은 소스 전극(95a), 드레인 전극(95b) 및 데이터라인(95)의 하부에 구성되어 있다.

<99> 그리고, 도면에는 도시되지 않았지만, 상기에서 게이트라인(90) 및 게이트전극(90a)을 포함한 기판상에는 게이트절연막(미도시)이 더 구비되어 있고, 상기 반도체층(93)과 소스 전극(95a) 사이 및 반도체층(93)과 드레인 전극(95b)의 사이에는 저항을 줄이기 위한 오믹 콘택층(미도시)이 더 구비되어 있다.

<100> 이러한, 상기 박막 트랜지스터는 게이트 라인(90)으로부터의 게이트 신호에 응답하여 상기 데이터 라인(95)으로부터의 데이터 신호를 선택적으로 화소 전극(97)에 공급한다.

<101> 상기 화소 전극(97)은 데이터 라인(95)과 게이트 라인(90)에 의해 분할된 화소 영역에 위치하며 광투과율이 높은 투명 전도성 물질로 이루어진다.

<102> 상기에서 소스 전극(95a)은 상기 게이트전극(90)의 일측 상부에 오버랩되어  $\subset$ 자형의 절곡부를 갖으며, 절곡부의 내부에 복수개의 요철을 갖고 구성되어 있으며, 드레인 전극(95b)은 상기 소스 전극(95a)과 일정 간격 이격되어 절곡부에 삽입되어 있으며, 소스 전극(95a)의 절곡부 내측의 요부에 대응되는 부분에 복수개의 돌출부를 갖도록 구성되어 있다. 즉, 드레인 전극(95b)은 소스 전극(95a)의 절곡부 내측의 요철에 맞물리도록 돌출부를 갖고 구성되어 있다.

<103> 상기와 같이 구성하면, 동일 면적에 소스 전극(95a)과 드레인 전극(95b)을 형성하였다고 해도, 소스 전극(95a)의 절곡부 내측의 요철과, 이에 맞물려서 형성된 드레인 전극(95b)으로 인해서 채널 길이(L) 대 채널 폭(W)의 비(W/L)를 증가시킬 수 있다.

<104> 상기에서 소스 전극(95a)의 절곡부는 게이트 라인(90)과 평행 또는 수직하게 절곡시켜 구성시킬 수 있다.

<105> 도 9에는 박막 트랜지스터의 소스 전극(95a)이 ' $\subset$ '자형의 절곡부를 갖고 내측에 3개의 요부를 갖는 도 3의 박막 트랜지스터의 구성예를 제시하여 설명하였으나, 이는 일실시예일 뿐, 본 발명을 한정하기 위한 것이 아니다.

<106> 예를 들어서, 본 발명의 제 2 실시예에 따른 액정표시장치는, 박막 트랜지스터의 소스 전극을 동일 면적에 설계 가능한 다양한 절곡부를 갖도록 구성하고, 그 내측에 복수개의 요철을 갖도록 구성시킬 수 있고, 상기 요철에 맞물리도록 돌출부를 갖는 드레인 전극(95b)을 구성시키며, 반도체층(93)이 소스 전극(95a)과 드레인 전극(95b) 및 데이터라인(95)의 하부에 형성되도록 구성시킬 수 있다.

<107> 한편, 상술한 바와 같은 구조를 갖는 박막 트랜지스터의 구성은, 횡전계 방식의 액정표시장치에도 적용 가능함에, 도면을 참조하여 그 일예를 설명하면 다음과 같다.

<108> 도 10에 도시한 바와 같이, 투명한 하부기판(미도시)상에 화소영역을 정의하기 위하여 일정한 간격을 갖고 일방향으로 복수개의 게이트 라인(111)이 배열되고, 상기 게이트 라인(111)과 수직한 방향으로 일정한 간격을 갖고 일방향으로 복수개의 데이터 라인(113)이 배열된다.

<109> 그리고 상기 게이트 라인(111)과 데이터 라인(113)이 교차되어 화소영역을 정의하고, 각 교차영역에 박막 트랜지스터(TFT1)가 형성된다.

<110> 여기서 상기 박막 트랜지스터는 상기 게이트 라인(111)으로부터 돌출되어 형성되는 게이트 전극(111a)과, 게이트전극(111a)을 포함한 하부기판 전면에 형성된 게이트 절연막과, 상기 게이트 전극(111a) 상측의 게이트 절연막위에 형성되는 반도체층(112)과, 상기 데이터 라인(113)으로부터 돌출되어 절곡부를 갖으며, 절곡부의 내측에 복수개의 요철을 갖는 소스 전극(113a)과, 상기 소스 전극(113a)의 절곡부 내에 일정 간격 이격 형성되며, 소스 전극(113a)의 요철에 맞물리는 돌출부가 구비된 드레인 전극(113b)으로 구성된다.

- <111> 또한, 상기 게이트라인(111)과 동일층상에 공통배선(111b)과 공통전극(111c)이 형성되어 있는데, 이때 공통배선(111b)은 게이트라인(111)과 평행하게 화소영역을 가로지르도록 형성되고, 공통전극(111c)은 데이터라인(113)과 평행하게 한 화소영역에 복수개가 형성되어 있다.
- <112> 이때 공통전극(111c)은 공통배선(111b)을 기준으로 상하 대칭적으로 배열되며, 서로 연결되어 있다.
- <113> 그리고 상기 데이터라인(113)을 포함한 하부기판 전면에 보호막(미도시)이 형성되어 있다.
- <114> 그리고 상기 게이트 라인(111)과 데이터 라인(113)이 교차하여 정의되는 화소영역에는 상기 공통전극(111c)과 평행하게, 일정 간격으로 공통전극(111c)들 사이에 화소전극(113c)이 배열되어 있다. 이때, 화소전극(113c)도 상기 공통배선(111b)을 기준으로 상하 대칭되게 배열된다.
- <115> 상기에서, 상기 화소전극(113c)은 박막트랜지스터(예 : TFT1)의 드레인전극(113b)과 일체로 형성된다.
- <116> 그리고 상기 화소전극(113c)과 일체로 형성되며, 상기 공통배선(111b)의 일영역에 스토리지 전극(113d)이 형성되어 있다. 즉, 스토리지 구조는 스토리지 온 콤온(Storage On Common) 구조로 구성되어 있다.
- <117> 상기에서 소스 전극(113a)은 'C' 형상의 절곡부를 갖는다.
- <118> 상기 도 10의 구성을 갖는 액정표시장치는 횡전계 방식의 액정표시장치의 일예를 나타낸 것일 뿐, 본 발명을 한정하기 위한 것이 아니며, 박막 트랜지스터의 소스 전극이 동일 면적에 설계 가능한 절곡부를 갖고, 절곡부의 내측에 복수개의 요철을 갖으며, 상기 소스 전극의 요철에 맞물리도록 돌출부를 갖고 드레인 전극이 구성되는 것을 제외하고는 다양한 구성을 갖는 횡전계 방식 액정표시장치에 적용시킬 수 있다.
- <119> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.
- <120> 따라서, 본 발명의 기술 범위는 상기 실시예에 기재된 내용으로 한정되는 것이 아니라, 특히 청구의 범위에 의하여 정해져야 한다.

### 발명의 효과

- <121> 상기와 같은 본 발명에 따른 박막 트랜지스터 및 액정표시장치는 다음과 같은 효과가 있다.
- <122> 첫째, 소스 전극이 절곡부를 갖도록 하고, 절곡부의 내측에 복수개의 요철을 형성하며, 소스 전극 내측의 요철과 맞물리게 돌출부를 갖는 드레인 전극을 소스 전극의 절곡부 내에 배치하면, 동일 면적에 채널 길이 대 채널 폭의 비(W/L)를 크게 할 수 있다.
- <123> 이에 따라서, 채널을 통해 이동하는 전하의 이동도가 우수해지므로 박막 트랜지스터의 구동 특성을 향상시킬 수 있다.
- <124> 둘째, 채널 길이 대 채널 폭의 비(W/L)를 크게 할 수 있으므로, 채널을 통해 이동하는 전하의 이동도가 우수해지므로, 액정표시장치의 구동 특성도 향상시킬 수 있다.
- <125> 셋째, 채널 길이 대 채널 폭의 비(W/L)를 크게 할 수 있음으로, 온 전류(Ion)가 증가되어 충분한 픽셀 차아장을 통하여 수직 크로스토크를 개선시킬 수 있다.

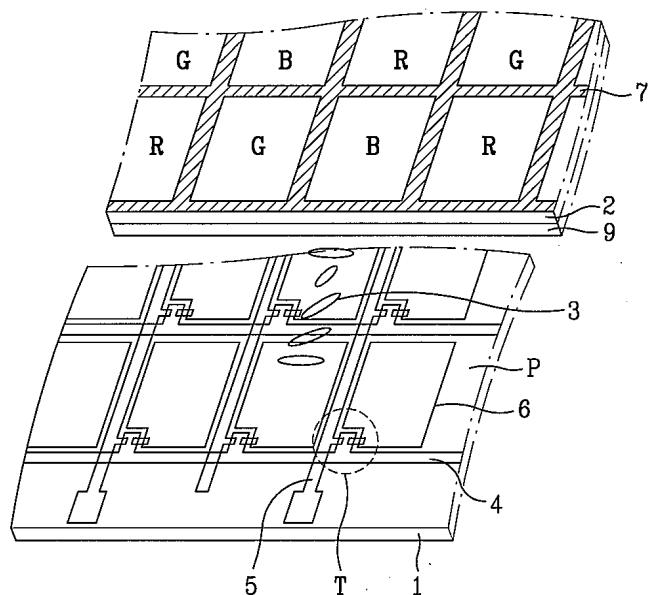
### 도면의 간단한 설명

- <1> 도 1은 일반적인 TN 액정표시장치의 일부를 나타낸 분해 사시도
- <2> 도 2는 본 발명을 적용하기 위한 액정표시장치의 평면 구성도
- <3> 도 3 내지 도 5는 본 발명의 실시예에 따른 박막트랜지스터의 평면도
- <4> 도 6 내지 도 8은 본 발명의 제 1 실시예에 따른 액정표시장치의 평면 구성도
- <5> 도 9는 본 발명의 제 2 실시예에 따른 액정표시장치의 평면 구성도
- <6> 도 10은 본 발명의 제 3 실시예에 따른 액정표시장치의 평면 구성도
- <7> \* 도면의 주요 부분에 대한 부호의 설명 \*
- <8> 30, 40, 50, 60a, 70a, 80a, 90a, 111a : 게이트전극

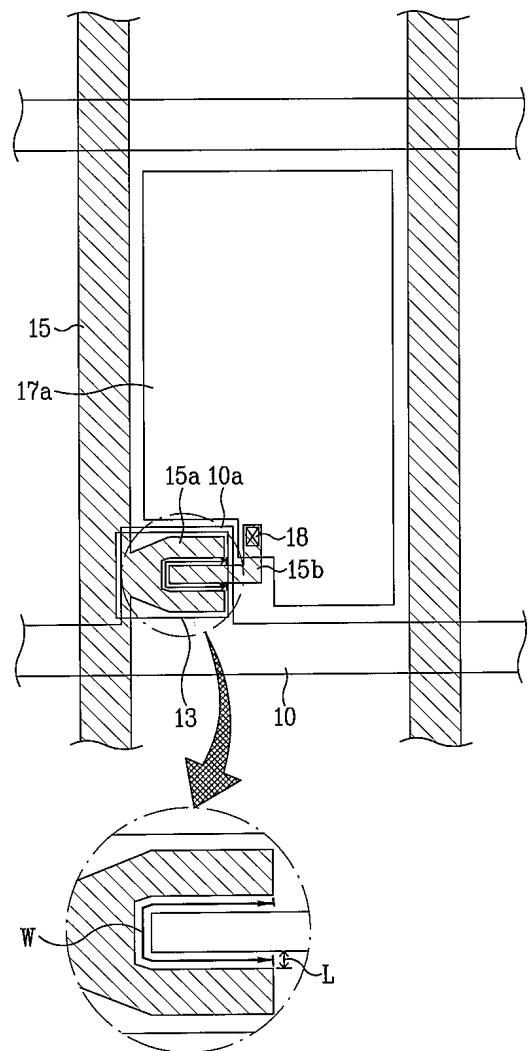
- <9> 31, 41, 51, 63, 73, 83, 93, 112 : 반도체층
- <10> 32a, 42a, 52a, 65a, 75a, 85a, 95a, 113a : 소스전극
- <11> 32b, 42b, 52b, 65b, 75b, 85b, 95b, 113b : 드레인전극
- <12> 60, 70, 80, 90, 111 : 게이트라인
- <13> 65, 75, 85, 95, 113 : 데이터라인
- <14> 67, 77, 87, 97, 113c : 화소전극
- <15> 68, 78, 88, 98 : 드레인 콘택홀
- <16> 111b : 공통배선 113d : 스토리지 전극

## 도면

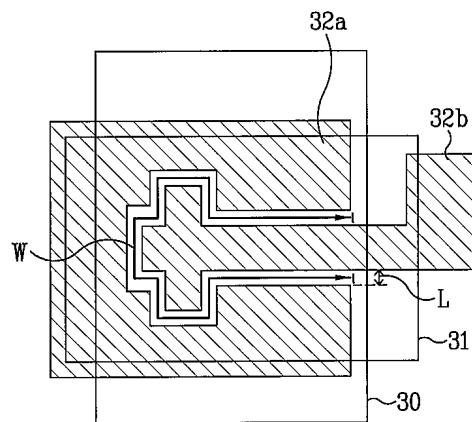
도면1



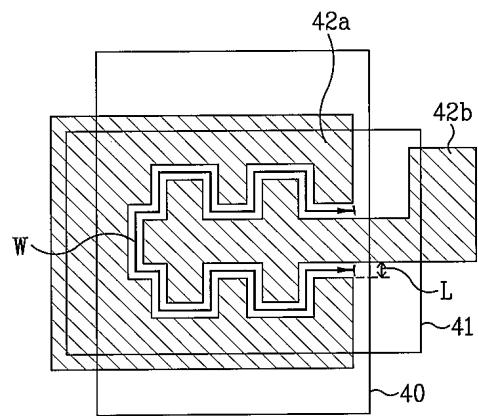
도면2



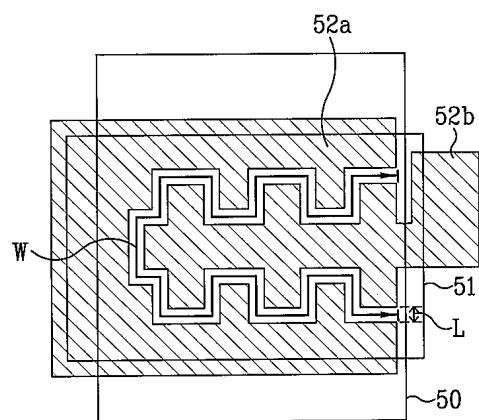
도면3



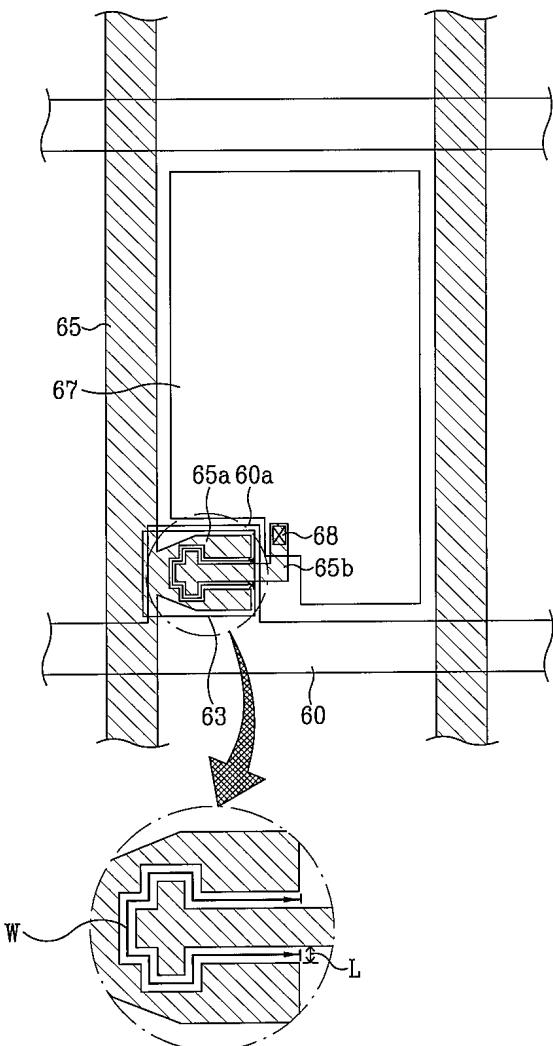
도면4



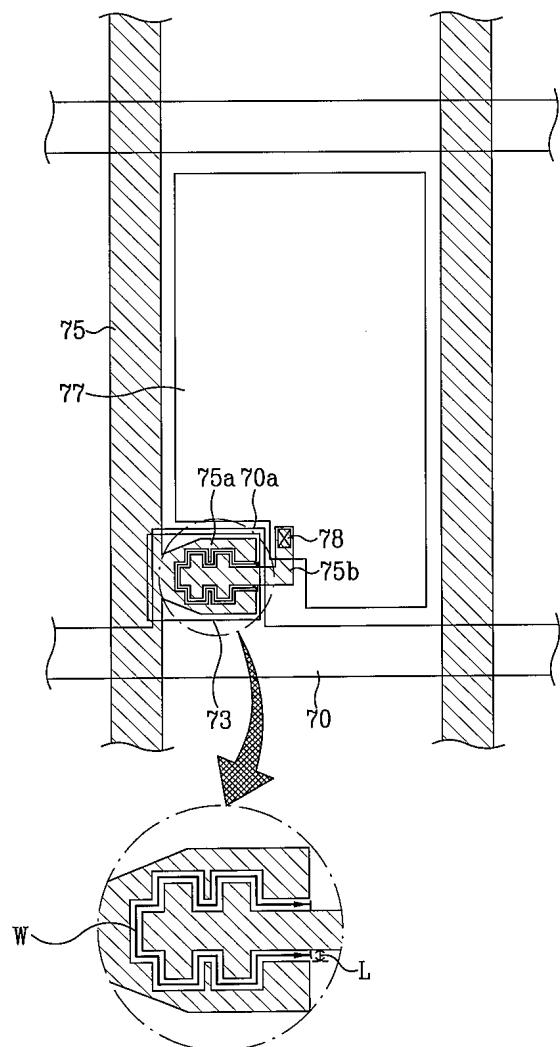
도면5



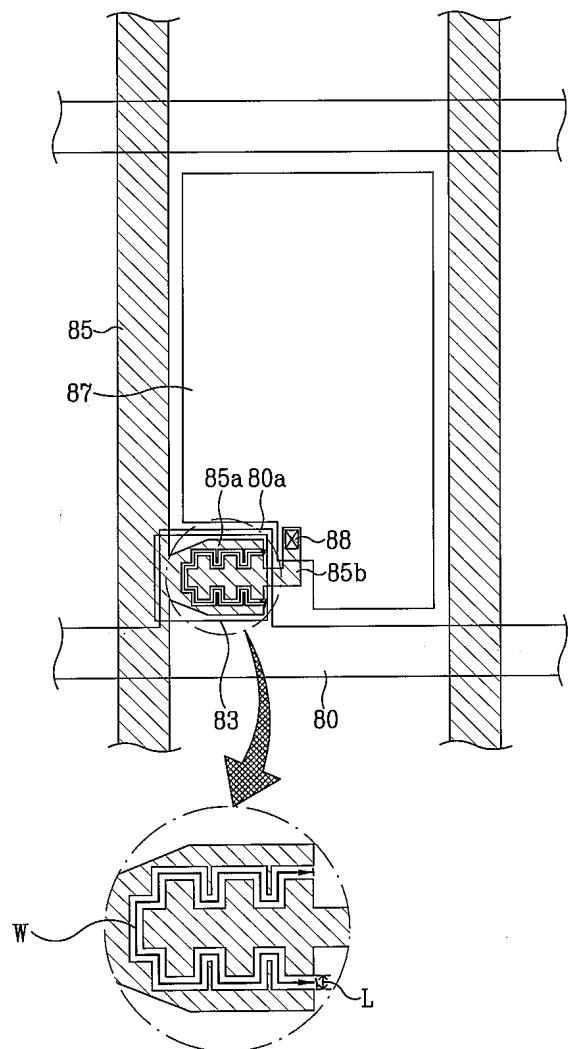
도면6



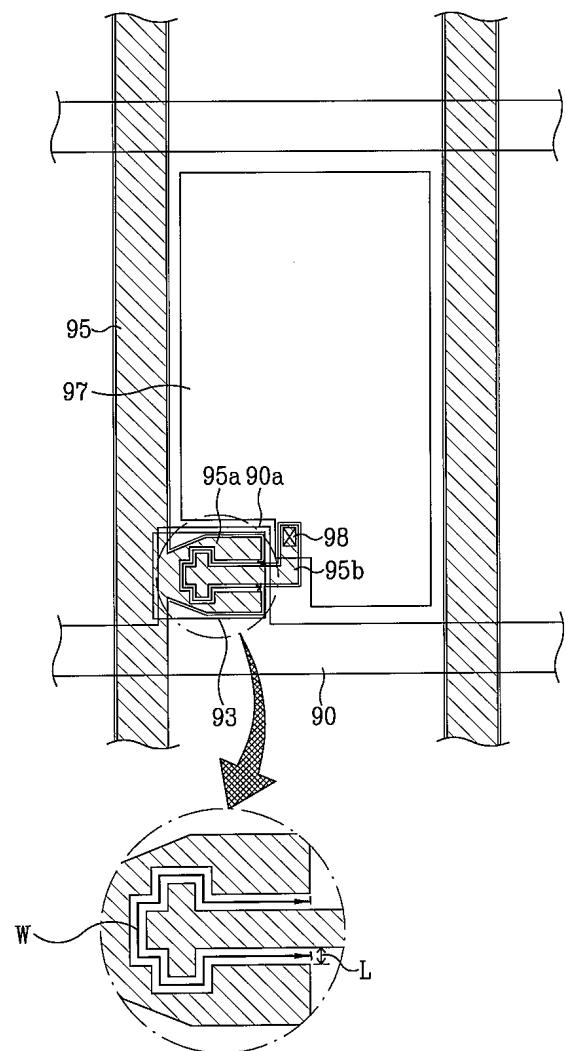
도면7



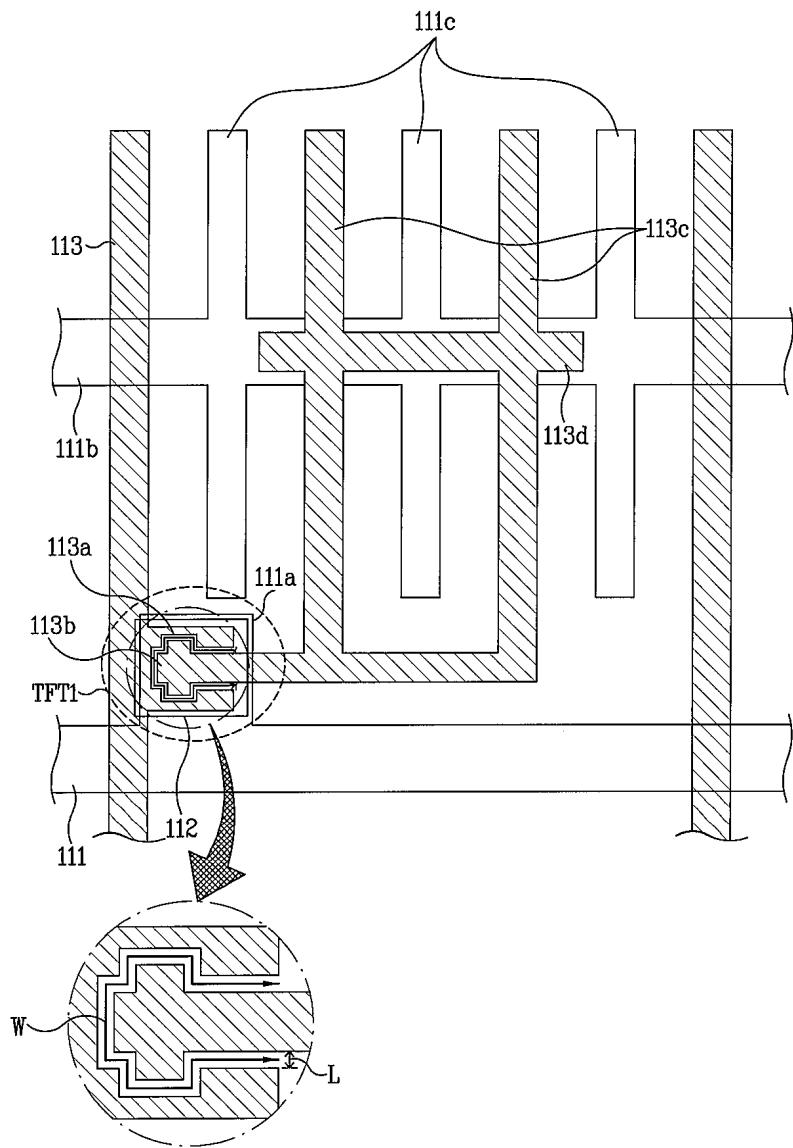
도면8



도면9



도면10



专利名称(译)	薄膜晶体管和具有该薄膜晶体管的液晶显示装置		
公开(公告)号	<a href="#">KR1020080055325A</a>	公开(公告)日	2008-06-19
申请号	KR1020060128504	申请日	2006-12-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JUNG BUM		
发明人	KIM,JUNG BUM		
IPC分类号	G02F1/1368 G02F1/136		
CPC分类号	G02F1/1368 G02F1/134363 G02F1/136286 G02F2201/121 G02F2201/123		
代理人(译)	金勇 年轻的小公园		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

本发明提供一种薄膜晶体管和具有该薄膜晶体管的液晶显示装置，其适于提高W/L比并改善垂直串扰。用于实现上述目的的薄膜晶体管在一个方向上形成栅电极；形成在包括栅电极的基板上的栅极绝缘膜；在栅电极上形成半导体层；源极电极与栅极电极的上部重叠并具有弯曲部分，源极电极在弯曲部分的内侧具有多个凸起和凹陷；并且，漏电极与源电极隔开预定距离，漏电极插入弯曲部分，该突起具有与源电极的弯曲部分内的凹凸部分接合的突出部分。

