



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0076148
G02F 1/1343 (2006.01) (43) 공개일자 2007년07월24일

(21) 출원번호 10-2006-0005191
(22) 출원일자 2006년01월18일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김동규
경기 용인시 풍덕천2동 삼성5차아파트 523동 1305호
정지영
충남 천안시 쌍용동 월봉벽산태영아파트 102동 602호

(74) 대리인 조희원

전체 청구항 수 : 총 12 항

(54) 액정 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 신호 라인의 입력단 부근에서 발생하는 화이트쉬현상을 방지할 수 있는 액정 표시 장치 및 그 제조 방법을 제공하는 것이다.

본 발명에 따른 액정 표시 장치는 표시 영역에 위치하는 다수의 게이트 라인 및 데이터 라인과; 상기 다수의 게이트 라인 및 데이터 라인의 교차부에 위치하는 박막트랜지스터와; 상기 박막트랜지스터와 접속된 다수의 액정 캐패시터와; 상기 액정 캐패시터 각각에 충전된 전압을 유지하는 스토리지 캐패시터를 포함하며, 상기 표시 영역 중 상기 게이트 라인 및 데이터 라인의 입력부로부터 표시 영역의 1/2지점까지 위치하는 상기 액정 캐패시터 및 스토리지 캐패시터 중 적어도 어느 하나의 용량값은 점진적으로 작아지는 것을 특징으로 한다.

대표도

도 2

특허청구의 범위

청구항 1.

표시 영역에 위치하는 다수의 게이트 라인 및 데이터 라인과;

상기 다수의 게이트 라인 및 데이터 라인의 교차부에 위치하는 박막트랜지스터와;

상기 박막트랜지스터와 접속된 다수의 액정 캐패시터와;

상기 액정 캐패시터 각각에 충전된 전압을 유지하는 스토리지 캐패시터를 포함하며,

상기 표시 영역 중 상기 게이트 라인 및 데이터 라인의 입력부로부터 표시 영역의 1/2지점까지 위치하는 상기 액정 캐패시터 및 스토리지 캐패시터 중 적어도 어느 하나의 용량값은 점진적으로 작아지는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 다수의 액정 캐패시터 각각은

상기 박막트랜지스터와 접속된 화소 전극과;

상기 화소 전극과 액정을 사이에 두고 형성되며 상기 화소 전극과 수직 전계를 이루는 공통 전극을 포함하며,

상기 화소 전극 및 공통 전극 중 적어도 하나에는 상기 액정의 배열 방향을 조정하기 위한 슬릿 형태의 도메인 규제 수단이 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제 2 항에 있어서,

상기 화소 전극은

상기 박막트랜지스터와 접속된 제1 화소 전극과;

상기 박막트랜지스터와 커플링 캐패시터를 통해 접속되어 상기 제1 화소 전극에 공급된 비디오 신호와 다른 비디오 신호가 공급된 제2 화소 전극을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제 1 항에 있어서,

상기 다수의 액정 캐패시터 각각은

상기 박막트랜지스터와 접속된 화소 전극과;

상기 화소 전극과 액정을 사이에 두고 형성되며 상기 화소 전극과 수평 전계를 이루는 공통 전극을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 스토리지 캐패시터는

상기 화소 전극과 스토리지 전극이 적어도 한 층이 절연막을 사이에 두고 중첩되어 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제 1 항 및 제 5 항 중 어느 한 항에 있어서,

상기 게이트 라인의 입력부인 패널의 좌측 및 우측 중 적어도 어느 한 일측부터 표시 영역의 1/4~1/2지점까지 위치하는 상기 액정 캐패시터 및 스토리지 캐패시터 중 적어도 어느 하나의 용량값은 점진적으로 작아지는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제 6 항에 있어서,

상기 게이트 라인의 입력부인 패널의 좌측 및 우측부 중 적어도 어느 하나로부터 표시 영역의 1/4~1/2지점까지 위치하는 상기 스토리지 전극의 면적은 점진적으로 줄어드는 것을 특징으로 하는 액정 표시 장치.

청구항 8.

제 6 항에 있어서,

상기 게이트 라인의 입력부인 패널의 좌측 및 우측부 중 적어도 어느 하나로부터 표시 영역의 1/4~1/2지점까지 위치하는 상기 화소 전극과 비중첩되는 커플링 전극의 면적은 점진적으로 줄어드는 것을 특징으로 하는 액정 표시 장치.

청구항 9.

표시 영역에 위치하는 다수의 게이트 라인 및 데이터 라인의 교차부에 위치하는 박막트랜지스터를 형성하는 단계와;

상기 박막트랜지스터와 접속된 다수의 액정 캐패시터를 형성하는 단계와;

상기 액정 캐패시터 각각에 충전된 전압을 유지하는 스토리지 캐패시터를 형성하는 단계를 포함하며,

상기 표시 영역 중 상기 게이트 라인 및 데이터 라인의 입력부로부터 표시 영역의 1/2지점까지 위치하는 상기 액정 캐패시터 및 스토리지 캐패시터 중 적어도 어느 하나의 용량값은 점진적으로 작아지는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 10.

제 9 항에 있어서,

상기 게이트 라인의 입력부인 패널의 좌측 및 우측 중 적어도 어느 한 일측부터 표시 영역의 1/4~1/2지점까지 위치하는 상기 액정 캐패시터 및 스토리지 캐패시터 중 적어도 어느 하나의 용량값은 점진적으로 작아지는 것을 특징으로 하는 액정 표시 장치의 제조방법.

청구항 11.

제 9 항 및 제 10 항 중 어느 한 항에 있어서,

상기 게이트 라인의 입력부인 패널의 좌측 및 우측부 중 적어도 어느 하나로부터 표시 영역의 1/4~1/2지점까지 위치하는 상기 스토리지 전극의 면적은 점진적으로 줄어드는 것을 특징으로 하는 액정 표시 장치의 제조방법.

청구항 12.

제 9 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 게이트 라인의 입력부인 패널의 좌측 및 우측부 중 적어도 어느 하나로부터 표시 영역의 1/4~1/2지점까지 위치하는 상기 화소 전극과 비중첩되는 커플링 전극의 면적은 점진적으로 줄어드는 것을 특징으로 하는 액정 표시 장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치 및 그 제조 방법에 관한 것으로, 특히 신호 라인의 입력단 부근에서 발생하는 화이트쉬현상을 방지할 수 있는 액정 표시 장치 및 그 제조 방법에 관한 것이다.

통상, 액정 표시 장치(Liquid Crystal Display; LCD)는 전계에 따라 유전 이방성을 갖는 액정의 광투과율을 조절하여 화상을 표시하게 된다. 이러한 액정 표시 장치는 게이트 라인(GL)과 데이터 라인(DL)의 교차로 구분된 서브 화소 영역마다 형성된 액정셀이 형성된 액정 표시 패널과, 액정 표시 패널을 구동하는 구동 회로를 구비한다.

이러한 액정 표시 장치가 고해상도 및 대형화될수록 게이트 라인은 그 길이가 증가되어 RC시정수도 증가된다. 이로 인해, 게이트 라인의 입력단으로부터 멀어질수록 게이트 신호는 위치에 따라 편차가 발생되어 킥백 전압도 화면의 위치에 따라 다르게 나타난다. 여기서, 킥백 전압은 게이트 신호가 변동될 때 순간적으로 떨어지는 화소 전압 신호의 변동치이다. 구체적으로, 게이트 라인의 입력단인 액정 표시 패널의 좌측부에서는 RC지연량이 작아 킥백 전압이 상대적으로 큰 반면에 액정 표시 패널의 중앙부 및 우측부에서는 RC지연량이 커 킥백 전압이 상대적으로 작다. 특히, 액정셀에 충전된 정극성 화소 전압 신호에 대한 킥백 전압은 액정셀에 충전된 부극성 화소 전압 신호에 대한 킥백 전압에 비해 상대적으로 작다. 이에 따라, 액정 표시 패널이 좌측부에 위치하는 액정셀에 충전되는 화소 전압 신호의 실효치는 액정 표시 패널의 중앙부 및 우측부에 위치하는 액정셀에 충전되는 화소 전압 신호의 실효치보다 크다. 이러한 화소 전압 신호의 실효치의 차이로 인하여 노멀 블랙(Normal Black : NB) 모드로 액정 표시 장치를 구현할 경우 액정 표시 패널의 좌측부(A)는 도 1에 도시된 바와 같이 액정 표시 패널의 중앙부 및 우측부에 비해 밝게 보이는 화이트쉬(whitish)현상이 나타나는 문제점이 있다.

특히, 이러한 문제점은 트위스틱 네마틱 모드에 비해 저계조에서 단위 전압 변동당 밝기 변화가 큰 멀티-도메인 수직 정렬(Multi-domain Vertical Alignment : VA) 모드나 수평 전계(In-Plane Switching : IPS) 모드에서 심각하게 나타난다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 신호 라인의 입력단 부근에서 발생하는 화이트쉬를 방지할 수 있는 액정 표시 장치 및 그 제조 방법을 제공하는 것이다.

발명의 구성

상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 액정 표시 장치는 표시 영역에 위치하는 다수의 게이트 라인 및 데이터 라인과; 상기 다수의 게이트 라인 및 데이터 라인의 교차부에 위치하는 박막트랜지스터와; 상기 박막트랜지스터와 접속

된 다수의 액정 캐패시터와; 상기 액정 캐패시터 각각에 충전된 전압을 유지하는 스토리지 캐패시터를 포함하며, 상기 표시 영역 중 상기 게이트 라인 및 데이터 라인의 입력부로부터 표시 영역의 1/2지점까지 위치하는 상기 액정 캐패시터 및 스토리지 캐패시터 중 적어도 어느 하나의 용량값은 점진적으로 작아지는 것을 특징으로 한다.

여기서, 상기 다수의 액정 캐패시터 각각은 상기 박막트랜지스터와 접속된 화소 전극과; 상기 화소 전극과 액정을 사이에 두고 형성되며 상기 화소 전극과 수직 전계를 이루는 공통 전극을 포함하며, 상기 화소 전극 및 공통 전극 중 적어도 하나에는 상기 액정의 배열 방향을 조정하기 위한 슬릿 형태의 도메인 규제 수단이 형성되는 것을 특징으로 한다.

그리고, 상기 화소 전극은 상기 박막트랜지스터와 접속된 제1 화소 전극과; 상기 박막트랜지스터와 커플링 캐패시터를 통해 접속되어 상기 제1 화소 전극에 공급된 비디오 신호와 다른 비디오 신호가 공급된 제2 화소 전극을 포함하는 것을 특징으로 한다.

한편, 상기 다수의 액정 캐패시터 각각은 상기 박막트랜지스터와 접속된 화소 전극과; 상기 화소 전극과 액정을 사이에 두고 형성되며 상기 화소 전극과 수평 전계를 이루는 공통 전극을 포함하는 것을 특징으로 한다.

여기서, 상기 스토리지 캐패시터는 상기 화소 전극과 스토리지 전극이 적어도 한 층이 절연막을 사이에 두고 중첩되어 형성되는 것을 특징으로 한다.

그리고, 상기 게이트 라인의 입력부인 패널의 좌측 및 우측 중 적어도 어느 한 일측부터 표시 영역의 1/4~1/2지점까지 위치하는 상기 액정 캐패시터 및 스토리지 캐패시터 중 적어도 어느 하나의 용량값은 점진적으로 작아지는 것을 특징으로 한다.

또는 상기 게이트 라인의 입력부인 패널의 좌측 및 우측부 중 적어도 어느 하나로부터 표시 영역의 1/4~1/2지점까지 위치하는 상기 스토리지 전극의 면적은 점진적으로 줄어드는 것을 특징으로 한다.

또는 상기 게이트 라인의 입력부인 패널의 좌측 및 우측부 중 적어도 어느 하나로부터 표시 영역의 1/4~1/2지점까지 위치하는 상기 화소 전극과 비중첩되는 커플링 전극의 면적은 점진적으로 줄어드는 것을 특징으로 한다.

상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 액정 표시 장치의 제조방법은 표시 영역에 위치하는 다수의 게이트 라인 및 데이터 라인의 교차부에 위치하는 박막트랜지스터를 형성하는 단계와; 상기 박막트랜지스터와 접속된 다수의 액정 캐패시터를 형성하는 단계와; 상기 액정 캐패시터 각각에 충전된 전압을 유지하는 스토리지 캐패시터를 형성하는 단계를 포함하며, 상기 표시 영역 중 상기 게이트 라인 및 데이터 라인의 입력부로부터 표시 영역의 1/2지점까지 위치하는 상기 액정 캐패시터 및 스토리지 캐패시터 중 적어도 어느 하나의 용량값은 점진적으로 작아지는 것을 특징으로 한다.

상기 기술적 과제 외에 본 발명의 다른 기술적 과제 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

도 2는 본 발명에 따른 액정 표시 패널을 나타내는 회로도이다.

도 2를 참조하면, 본 발명에 따른 액정 표시 패널은 게이트라인들(GL)과, 게이트 라인들(GL)과 접속된 데이터 라인들(DL)과, 데이터라인들(DL)의 교차로 마련되는 영역마다 박막트랜지스터(TFT)와, 그 박막트랜지스터(TFT)와 접속된 제1 및 제2 액정 캐패시터들(Clc1, Clc2)과, 액정 캐패시터들(Clc1, Clc2)과 병렬로 접속된 스토리지 캐패시터(Cst)가 표시 영역에 형성된다.

게이트 라인들(GL1 내지 GLn) 각각은 도 3에 도시된 바와 같이 박막 트랜지스터(TFT)의 게이트 전극(106)과 접속되어 박막트랜지스터(TFT)의 게이트 전극(106)에 스캔 신호를 공급한다.

데이터 라인들(DL1 내지 DLm) 각각은 게이트 라인들(GL) 각각과 교차하여 화소 영역을 마련한다. 이러한 데이터 라인들(DL)은 박막트랜지스터(TFT)의 소스 전극(108)과 접속되어 박막트랜지스터(TFT)의 소스 전극(108)에 비디오 신호를 공급한다.

박막트랜지스터(TFT)는 게이트 라인(GL)의 스캔 신호에 응답하여 데이터 라인(DL) 상의 비디오 신호가 제1 및 제2 액정 캐패시터(Clc1, Clc2) 각각의 화소 전극(122)에 충전되어 유지되게 한다. 이를 위해, 박막 트랜지스터(TFT)는 도 3 및 도

4에 도시된 바와 같이 게이트 라인(GL)과 접속된 게이트 전극(106), 데이터 라인(DL)과 접속된 소스 전극(108), 제1 및 제2 액정 캐패시터(Clc1, Clc2) 각각의 제1 및 제2 화소 전극(122A, 122B)과 접속된 드레인 전극(110), 소스 및 드레인 전극(108, 110) 사이의 채널을 형성하는 반도체층(114, 116)을 포함한다.

제1 액정 캐패시터(Clc1)는 도 5에 도시된 바와 같이 박막트랜지스터(TFT)와 접속된 제1 화소전극(122A)과, 그 제1 화소전극(122A)과 액정을 사이에 두고 상부 기관(111) 상에 형성되며 제1 화소 전극(122A)과 전계를 이루는 공통전극(146)으로 구성된다.

제2 액정 캐패시터(Clc2)는 도 5에 도시된 바와 같이 커패시터(Ccp)를 통해 박막트랜지스터(TFT)와 접속된 제2 화소전극(122B)과, 그 제2 화소전극(122B)과 액정을 사이에 두고 상부 기관(111) 상에 형성되며 제2 화소 전극(122B)과 전계를 이루는 공통 전극(146)으로 구성된다. 여기서, 제2 화소 전극(122B)은 제1 화소 전극(122A)과 제1 도메인 규제 수단(138)을 사이에 두고 소정 간격으로 이격되어 형성되므로 커패시터(Ccp)를 통해 박막트랜지스터(TFT)와 접속된다. 이 제2 화소 전극(122B)과 커패시터(Ccp)를 이루는 커패시터 전극(128)은 박막트랜지스터(TFT)의 드레인 전극(110)과 접속되며 화소전극(122)과 일부 비중첩되어 형성된다. 이러한 커패시터(Ccp)를 통해 박막트랜지스터(TFT)와 접속되는 제2 화소 전극(122B)에는 제1 액정셀(Clc1)의 제1 화소 전극(122A)에 공급되는 비디오 신호보다 낮은 비디오 신호가 인가된다. 이에 따라, 제2 액정 캐패시터(Clc2)가 위치하는 표시 영역에서는 저계조를 구현하며 제1 액정 캐패시터(Clc1)들의 위치하는 표시 영역에서는 고계조를 구현하므로 액정 표시 장치는 고계조와 저계조의 조합으로 표현되어 시인성이 향상된다.

한편, 제1 및 제2 액정셀의 공통 전극(146)에는 슬릿 형태의 제2 도메인 규제 수단(148)이 제1 도메인 규제 수단(138)들 사이에 형성된다. 이러한 제1 및 제2 도메인 규제 수단(138, 148)의 가장자리에서 발생하는 프린지 전계(fringe electric field)를 이용하여 액정셀들의 액정 분자는 여러 방향으로 배열된다.

이러한 제1 및 제2 액정셀(Clc1, Clc2)은 박막 트랜지스터(TFT)를 통해 공급된 비디오 신호와 공통 전압(VCOM)과의 차 전압을 충전하고 충전된 전압에 따라 액정을 구동하여 광투과율을 조절하게 된다.

스토리지 캐패시터(Cst)는 게이트 절연막(112) 및 보호막(118)을 사이에 두고 중첩되는 제1 화소 전극(122A)과 스토리지 전극(124)으로 형성되어 액정셀들(Clc1, Clc2)에 충전된 전압을 안정적으로 유지시킨다. 여기서, 스토리지 전극(124)은 게이트 라인(102)과 나란하게 형성된 스토리지 라인(126)으로부터 데이터 라인(DL)과 나란하게 화소 영역으로 돌출되어 형성된다.

한편, 본 발명에 따른 액정 표시 패널은 게이트 라인(GL)의 입력부와 인접한 표시 영역의 좌측부, 즉 표시 영역의 입력부로부터 표시 영역의 1/4~1/2지점까지 위치하는 각 화소의 총 부하용량이 순차적으로 감소하게 된다. 여기서, 총 부하용량은 액정 캐패시터(Clc) 및 스토리지 캐패시터(Cst)는 표시 영역의 좌측부에서 표시 영역의 1/4~1/2지점으로 갈수록 순차적으로 감소된다. 이 때, 액정 캐패시터(Clc)와 스토리지 캐패시터(Cst)의 비율은 일정하게 유지하여야 한다. 이는 스토리지 캐패시터(Cst)만 변경시키면 액정 캐패시터(Clc)와 스토리지 캐패시터(Cst)의 비율이 각 계조마다 다를 경우 플리커나 DC 잔류성 잔상 등이 발생하게 되기 때문이다.

이에 따라, 스토리지 캐패시터(Cst)를 이루는 스토리지 전극(124)의 A영역은 도 6에 도시된 바와 같이 표시 영역의 좌측부로부터 표시 영역의 1/4~1/2영역까지 점진적으로 줄어든다(Cst1>Cst2>Cst3>Cst4>...). 예를 들어, 1680×RGB×1050의 해상도를 가지는 액정 표시 패널의 경우, 액정 표시 패널의 좌측부로부터 1/3까지 스토리지 전극(124)의 A영역은 순차적으로 줄어든다. 즉, R,G,B 서브 화소로 이루어진 560의 화소들의 스토리지 전극(124)의 A영역은 순차적으로 줄어들게 된다. 이 때, 스토리지 전극(124)의 A영역은 약 0.25~0.5 μ m씩 순차적으로 줄어들게 된다.

그리고, 저계조를 표현하는 제2 액정 캐패시터(Clc2)를 이루는 제2 화소 전극(122B)과 커패시터(Ccp)를 통해 접속된 커패시터 전극(128) 중 제2 화소 전극과 비중첩되는 커패시터 전극(128)의 B영역은 도 7에 도시된 바와 같이 표시 영역의 좌측부로부터 표시 영역의 1/4~1/2영역까지 점진적으로 줄어든다(PXL1>PXL2>PXL3>...). 예를 들어, 1680×RGB×1050의 해상도를 가지는 액정 표시 패널의 경우, 액정 표시 패널의 좌측부로부터 1/3까지 커패시터 전극(128)의 B영역은 순차적으로 줄어든다. 즉, R,G,B 서브 화소로 이루어진 560의 화소들의 커패시터 전극(128)의 B영역은 순차적으로 줄어들게 된다. 이 때, 커패시터 전극(128)의 B영역은 제2 액정 캐패시터(Clc2)를 이루는 제2 화소 전극(122B)과 커패시터 전극(128)의 면적이 스토리지 캐패시터(Cst)를 이루는 스토리지 전극(124)에 비해 훨씬 넓기 때문에 스토리지 전극(124)의 감소량보다 작은 약 0.5~1 μ m씩 순차적으로 줄어들게 된다.

이와 같이, 본 발명의 제1 실시 예에 따른 액정 표시 장치는 킥백 전압과 반비례하는 스토리지 캐패시터 및 액정 캐패시터가 표시 영역의 좌측부로부터 표시 영역의 1/4~1/2영역까지 점진적으로 줄어든다. 이에 따라, 본 발명의 제1 실시 예에 따른 액정 표시 장치는 표시 영역의 전 영역에서 킥백 전압이 유사하므로 표시 영역의 좌측부의 화이트쉬 현상이 방지된다.

도 8은 본 발명의 제2 실시 예에 따른 액정 표시 장치를 나타내는 평면도이다.

도 8에 도시된 본 발명의 제2 실시 예에 따른 액정 표시 장치는 도 3에 도시된 액정 표시 장치와 대비하여 화소 전극과 공통 전극 사이에 수평 전계가 형성되는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.

화소 전극(122)은 게이트 전극(106), 소스 전극(108) 및 드레인 전극(110)을 포함하는 박막트랜지스터와 접속되며 액정을 사이에 두고 공통 전극(146)과 나란하게 형성된다.

공통 전극은 화소 전극이 형성된 기판 상에 화소 전극과 나란하게 형성된다. 이러한 공통 전극은 개구율을 높이기 위해 투명 도전성 물질로 형성되며 게이트 라인과 나란하게 형성된 공통 라인(170)과 제2 콘택홀(172)을 통해 접속된다.

이러한 공통 전극과 화소 전극은 액정을 사이에 두고 형성되어 액정 캐패시터를 이룬다. 이러한 액정 캐패시터는 박막 트랜지스터(TFT)를 통해 공급된 비디오 신호와 공통 전압(VCOM)과의 차전압을 충전하고 충전된 전압에 따라 액정을 구동하여 광투과율을 조절하게 된다.

스토리지 캐패시터(Cst)는 적어도 한 층의 절연막을 사이에 두고 중첩되는 스토리지 라인(174)과 드레인 전극(110)으로 형성되어 액정 캐패시터에 충전된 전압을 안정적으로 유지시킨다. 여기서, 스토리지 라인(174)은 게이트 라인(102)과 나란하게 형성되고 게이트 라인(102)과 동일 금속으로 형성된다. 드레인 전극(110)은 스토리지 라인(174)과 게이트 절연막(112)을 사이에 두고 중첩되며 화소 전극(122)과 제1 콘택홀(120)을 통해 접속된다.

여기서, 본 발명의 제2 실시 예에 따른 수평 전계형 액정 표시 장치는 각 서브화소에서 액정 캐패시터가 차지하는 비율이 스토리지 캐패시터가 차지하는 비율에 비해 무시할 정도로 작다. 이에 따라, 본 발명의 제2 실시 예에 따른 수평 전계형 액정 표시 장치는 스토리지 캐패시터의 용량값을 그 형성 위치에 따라 조절한다. 즉, 스토리지 캐패시터의 용량값은 게이트 라인(GL)의 입력부와 인접한 표시 영역의 좌측부, 즉 표시 영역의 입력부로부터 표시 영역의 1/4~1/2지점까지 순차적으로 감소하게 된다.

구체적으로, 스토리지 캐패시터(Cst)를 이루는 스토리지 전극(124)인 드레인 전극의 C영역은 도 9에 도시된 바와 같이 표시 영역의 좌측부로부터 표시 영역의 1/4~1/2영역까지 점진적으로 줄어든다(Cst1>Cst2>Cst3>Cst4>...). 예를 들어, 1680×RGB×1050의 해상도를 가지는 액정 표시 패널의 경우, 액정 표시 패널의 좌측부로부터 1/3까지 드레인 전극(110)의 C영역은 순차적으로 줄어든다. 즉, R,G,B 서브 화소로 이루어진 560의 화소들의 드레인 전극(110)의 C영역은 순차적으로 줄어들게 된다. 이 때, 드레인 전극(110)의 C영역은 약 0.25~0.5 μ m씩 순차적으로 줄어들게 된다.

이와 같이, 본 발명의 제2 실시 예에 따른 액정 표시 장치는 킥백 전압과 반비례하는 스토리지 캐패시터의 용량값이 표시 영역의 좌측부로부터 표시 영역의 1/4~1/2영역까지 점진적으로 줄어든다. 이에 따라, 본 발명의 제2 실시 예에 따른 액정 표시 장치는 표시 영역의 전 영역에서 킥백 전압이 유사하므로 표시 영역의 좌측부의 화이트쉬 현상이 방지된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정 표시 장치 및 그 제조 방법은 킥백 전압과 반비례하는 스토리지 캐패시터 및 액정 캐패시터 중 적어도 어느 하나의 용량값이 표시 영역의 좌측부로부터 표시 영역의 1/4~1/2영역까지 점진적으로 줄어든다. 이에 따라, 본 발명에 따른 액정 표시 장치 및 그 제조 방법은 표시 영역의 전 영역에서 킥백 전압이 유사하므로 표시 영역의 좌측부의 화이트쉬(Whitish) 현상이 방지된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 종래 액정 표시 장치의 화이트쉬(Whitish)현상을 설명하기 위한 도면이다.

도 2는 본 발명의 제1 실시 예에 따른 액정 표시 장치를 나타내는 회로도이다.

도 3은 도 2에 도시된 액정 표시 장치의 박막트랜지스터 기판을 나타내는 평면도이다.

도 4는 도 3에서 선 "I - I'"를 따라 절취한 박막트랜지스터 기판을 나타내는 단면도이다.

도 5는 액정을 사이에 두고 대향하는 도 4에 도시된 박막트랜지스터 기판과 칼라필터 기판을 나타내는 단면도이다.

도 6은 도 3에 도시된 스토리지 전극의 감소량을 설명하기 위한 도면이다.

도 7은 도 3에 도시된 커플링 전극의 감소량을 설명하기 위한 도면이다.

도 8은 본 발명의 제2 실시 예에 따른 액정 표시 장치를 나타내는 평면도이다.

도 9는 도 8에 도시된 스토리지 전극인 드레인 전극의 감소량을 설명하기 위한 도면이다.

< 도면의 주요 부분에 대한 부호의 설명 >

GL : 게이트 라인 DL : 데이터라인

101 : 기판 106 : 게이트 전극

108 : 소스전극 110 : 드레인전극

112 : 게이트 절연막 114 : 활성층

116 : 오믹접촉층 118 : 보호막

120,172 : 콘택홀 122 : 화소 전극

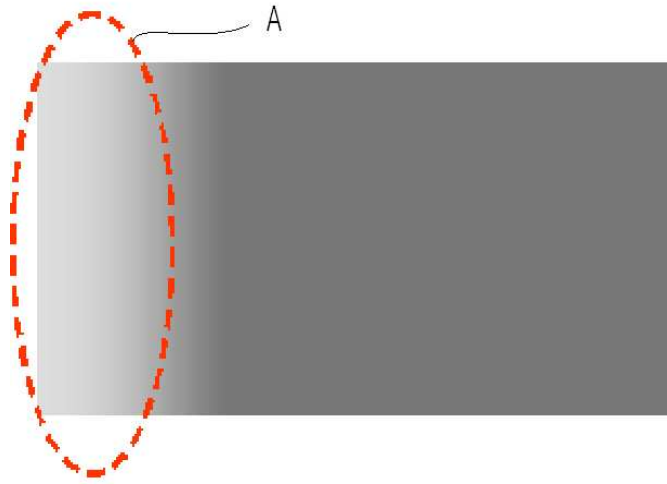
124 : 스토리지 전극 126,174 : 스토리지 라인

128 : 커플링 전극 146 : 공통 전극

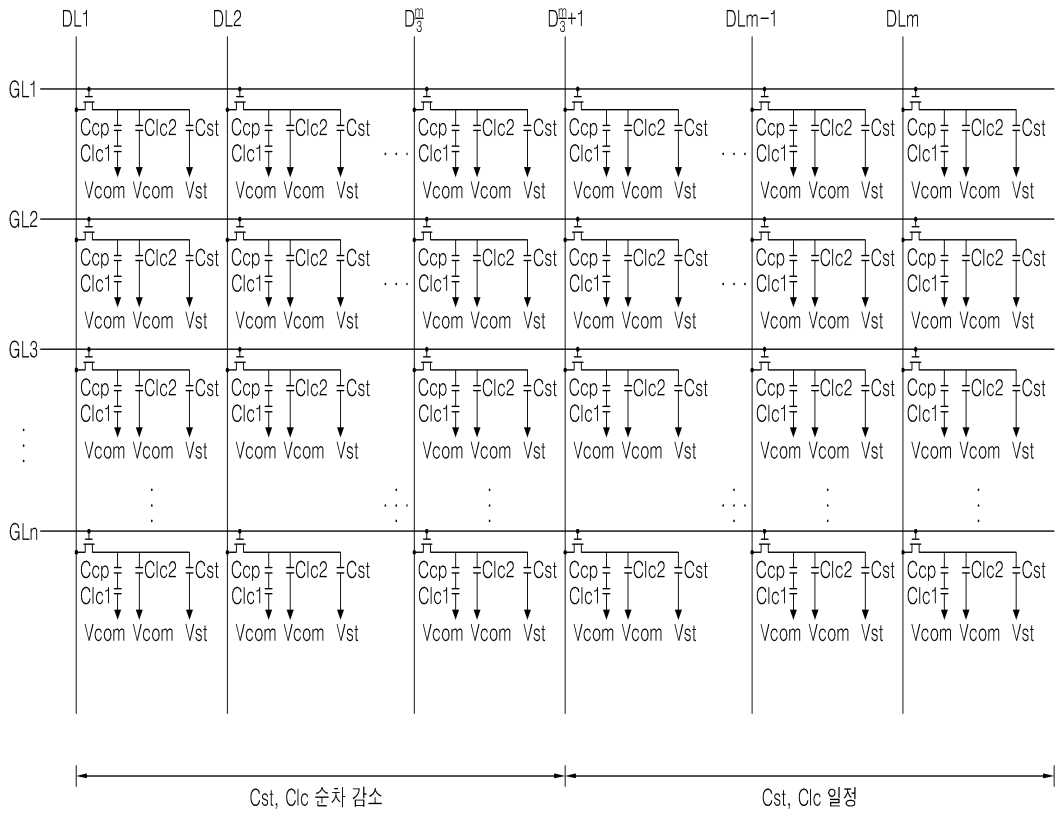
170 : 공통 라인

도면

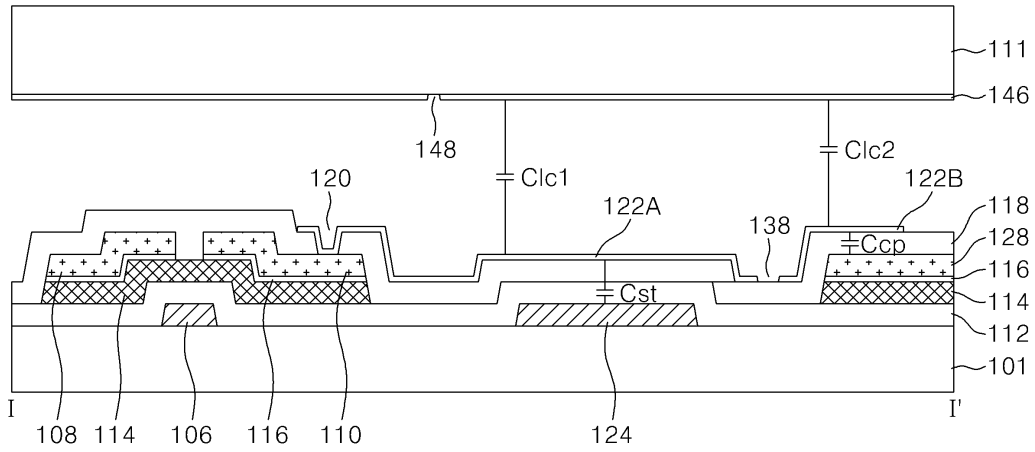
도면1



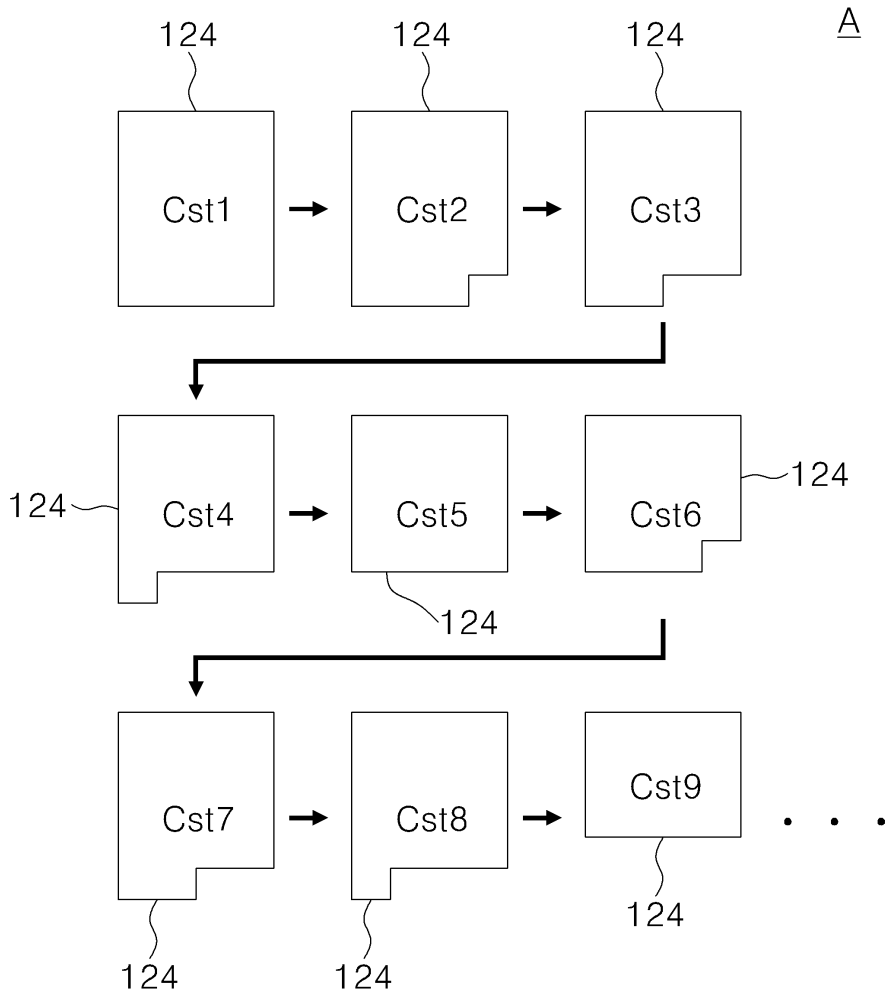
도면2



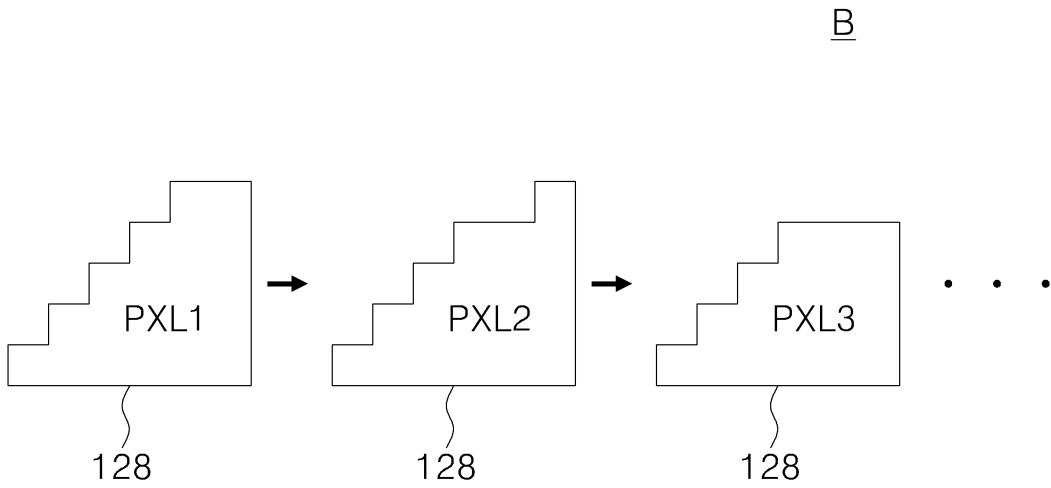
도면5



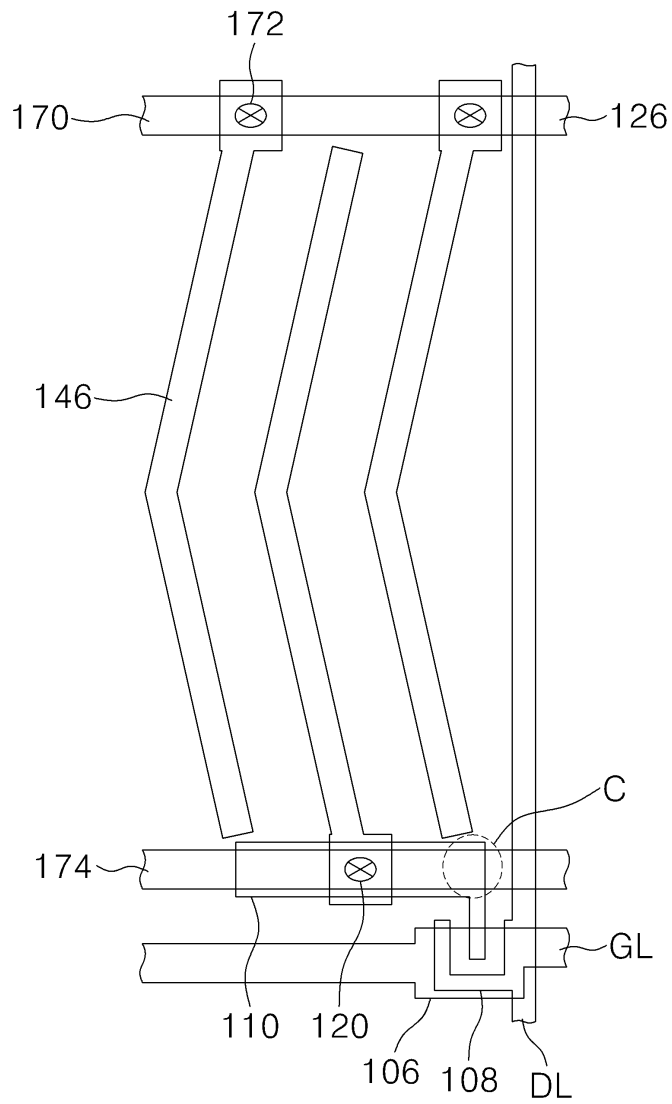
도면6



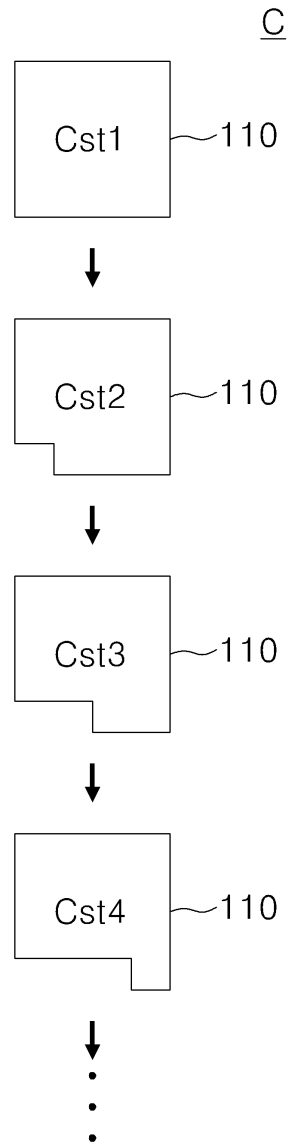
도면7



도면8



도면9



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020070076148A	公开(公告)日	2007-07-24
申请号	KR1020060005191	申请日	2006-01-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM DONG GYU 김동규 JEONG JI YOUNG 정지영		
发明人	김동규 정지영		
IPC分类号	G02F1/1343		
CPC分类号	E01C5/005 E01C9/004 E01C2201/02 E01C2201/16		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋, 云何		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器及其制造方法，用于防止在信号线的输入端附近产生***现象。根据本发明的液晶显示器包括薄膜晶体管，位于多条栅极线和位于显示区域中的数据线的交叉点，多条栅极线和数据线与多个液晶电容器连接，薄膜晶体管存储电容器保持分别用液晶电容器充电的电压。并且，从数据线的输入单元到显示区域的1/2点和存储电容器的液晶电容器中的至少一个的容量值逐渐变小。

