



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0060641
G02F 1/1345 (2006.01) (43) 공개일자 2007년06월13일

(21) 출원번호 10-2005-0120507
(22) 출원일자 2005년12월09일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김동환
경기 수원시 영통구 영통동 황골마을2단지아파트 234동 1503호
송준호
경기 성남시 분당구 야탑동 탐마을경남아파트 714동 1603호
전진
경기 수원시 장안구 천천동 삼성래미안아파트 107동 204호

(74) 대리인 조희원

전체 청구항 수 : 총 9 항

(54) 구동회로와 이를 갖는 박막 트랜지스터 기관과액정표시장치 및 이의 제조방법

(57) 요약

본 발명은 박막 트랜지스터 기관에 집적하는 구동회로와, 구동회로 불량을 방지하는 구동회로와 이를 갖는 박막 트랜지스터 기관과 액정표시장치 및 이의 제조방법에 관한 것이다.

본 발명은 기관에 형성된 박막 트랜지스터와, 상기 박막 트랜지스터와 연결된 구동신호라인과, 상기 구동신호라인에 구동신호를 공급하며, 상기 구동신호라인의 피치 간격보다 좁게 형성된 출력단자를 구비한 것을 특징으로 하는 구동회로를 구비한 것을 특징으로 한다.

대표도

도 1

특허청구의 범위

청구항 1.

기관에 형성된 박막 트랜지스터와;

상기 박막 트랜지스터와 연결된 구동신호라인과;

상기 구동신호라인에 구동신호를 공급하며, 상기 구동신호라인의 피치 간격보다 좁게 형성된 출력단자를 구비한 것을 특징으로 하는 구동회로.

청구항 2.

표시영역에 형성된 박막 트랜지스터 어레이와;

비표시영역에 상기 표시영역의 외곽을 따라 형성된 실라인과;

상기 박막 트랜지스터를 구동하기 위하여 상기 실라인의 직선부와 중첩되어 형성된 구동회로를 구비한 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 3.

제 2 항에 있어서,

상기 구동회로의 출력단자 간의 피치는 상기 박막 트랜지스터와 연결된 각각의 구동신호라인 간의 피치보다 좁게 형성된 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 4.

제 3 항에 있어서,

상기 구동회로의 출력단자와 상기 구동신호라인을 연결하는 연결라인을 더 구비하고, 상기 연결라인은 사선형태로 형성된 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 5.

제 2 항에 있어서,

상기 구동회로는 상기 표시영역에 형성된 박막 트랜지스터와 동일한 박막 트랜지스터들의 조합으로 형성된 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 6.

컬러필터 어레이가 형성된 컬러필터 기관과;

상기 제 2 항 내지 제 5 항 중 어느 한 항의 박막 트랜지스터 기관과;

상기 박막 트랜지스터 기관의 표시영역의 외곽을 따라 형성되며, 상기 박막 트랜지스터 기관 및 컬러필터 기관을 합착시키는 실라인과;

상기 박막 트랜지스터 기관과 상기 컬러필터 기관의 사이에 주입된 액정을 구비한 것을 특징으로 하는 액정표시장치.

청구항 7.

하부 기판 상에 표시영역의 박막 트랜지스터 어레이 및 비표시영역의 실라인 직선부에 구동회로를 형성하는 단계와;
 상기 비표시영역에 상기 표시영역의 외곽을 따라 상기 구동회로와 중첩되게 실라인을 형성하는 단계와;
 상기 하부 기판과 컬러 필터 어레이가 형성된 상부 기판을 상기 실라인을 통해 합착하는 단계와;
 상기 합착된 하부 기판 및 상부기판 절단하는 단계와;
 상기 절단된 하부 기판 및 상부 기판의 사이에 액정을 주입하는 단계로 이루어진 액정표시장치의 제조방법.

청구항 8.

제 7 항에 있어서,

상기 구동회로를 형성하는 단계에서,

상기 구동회로의 출력단자의 피치를 상기 박막 트랜지스터 어레이에 포함된 구동신호라인의 피치 간격보다 좁게 형성하는 단계를 더 포함하는 액정표시장치의 제조방법.

청구항 9.

제 8 항에 있어서,

상기 구동회로의 출력단자와 상기 구동신호라인과의 연결을 위해 사선형태로 연결라인을 형성하는 단계를 더 포함하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 구동회로와 이를 갖는 박막 트랜지스터 기판 및 액정표시장치에 관한 것으로, 특히 구동회로의 구동불량을 방지하기 위한 구동회로와 이를 갖는 박막 트랜지스터 기판과 액정표시장치와 이의 제조방법에 관한 것이다.

현재 표시장치로 가장 많이 사용되고 있는 것은 CRT(Cathode Ray Tube)이다. 그러나, CRT는 경박단소화에 어려움이 있기 때문에 CRT의 대체수단으로 액정표시장치(Liquid Crystal Display, LCD), 플라즈마디스플레이패널(Plasma Display Panel, PDP), 유기발광다이오드(Organ회로 Light Emitting Diodes, OLED) 등과 같은 평판표시장치(Flat Panel Display, FPD)가 개발되어 사용되고 있다. 그 중 저소비전력과 고해상도를 가지며 대면적화가 가능한 액정표시장치가 최근에 가장 널리 사용되고 있는 추세이다.

액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하는 장치이다. 이러한 액정표시장치는 액정을 사이에 두고 서로 대향하여 합착된 컬러 필터 기판 및 박막 트랜지스터 기판을 구비한다.

컬러 필터 기판은 상부 기판 상에 빛샘 방지를 위한 블랙매트릭스, 색구현을 위한 컬러 필터, 액정에 공통전압을 인가하기 위한 공통전극을 포함한다.

박막 트랜지스터 기판은 하부 기판 상에 서로 교차되게 형성된 게이트 라인 및 데이터 라인과, 그들의 교차부에 형성된 박막 트랜지스터, 박막 트랜지스터와 접속된 화소전극을 포함한다.

게이트 구동부는 다수의 게이트 집적회로를 포함하며, 각각의 게이트 구동회로는 인쇄 회로 기판 상의 회로로부터 제공된 신호를 이용하여 액정 패널 상의 게이트 라인을 구동하기 위한 신호를 생성하여 게이트 라인에 인가한다.

데이터 구동부는 다수의 데이터 집적회로를 포함하며, 각각의 데이터 구동회로는 인쇄 회로 기판 상의 회로로부터 제공된 신호를 이용하여 액정 패널 상의 데이터 라인을 구동하기 위한 신호를 생성하여 데이터 라인에 인가한다.

게이트 구동회로 및 데이터 구동회로는 필름 형태의 게이트 테이프 캐리어 패키지(Tape Carrier Package; TCP)에 실장되어 TAB 공정을 통해 액정표시패널과 전기적으로 연결되거나, 칩온글라스(Chip On Glass; COG) 방식으로 박막 트랜지스터 기판상에 실장된다.

그런데, 최근에는 공정효율 및 원가절감을 위해 게이트 구동회로를 박막 트랜지스터 기판에 직접 형성하는 게이트 구동회로 집적 공정이 개발되어 적용되고 있다. 게이트 구동회로는 박막 트랜지스터 기판의 비표시영역에 형성되어 각각의 게이트 라인들과 접속된다.

이 때, 게이트 구동회로는 실라인 외부로 노출되는 실커버 불량이 발생하는 문제점이 있다. 게이트 구동회로가 실라인 외부로 노출되면 게이트 구동회로의 금속층이 부식되는 불량이 발생되거나, 고온 및 고습의 환경에서 구동시험을 할 경우 습도에 의해 금속층간의 단락 또는 부식이 발생하여 구동불량을 발생시킨다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 박막 트랜지스터 기판에 집적하는 구동회로와, 구동회로 불량을 방지하는 구동회로와 이를 갖는 박막 트랜지스터 기판과 액정표시장치 및 이의 제조방법을 제공하는 데 있다.

발명의 구성

상기의 목적을 달성하기 위하여, 본 발명은 기판에 형성된 박막 트랜지스터와; 상기 박막 트랜지스터와 연결된 구동신호라인과; 상기 구동신호라인에 구동신호를 공급하며, 상기 구동신호라인의 피치 간격보다 좁게 형성된 출력단자를 구비한 것을 특징으로 하는 구동회로를 제공한다.

그리고 상기의 목적을 달성하기 위하여, 본 발명은 표시영역에 형성된 박막 트랜지스터 어레이와; 비표시영역에 상기 표시영역의 외곽을 따라 형성된 실라인과; 상기 박막 트랜지스터를 구동하기 위하여 상기 실라인의 직선부와 중첩되어 형성된 구동회로를 구비한 것을 특징으로 하는 박막 트랜지스터 기판을 제공한다.

상기 구동회로의 출력단자 간의 피치는 상기 박막 트랜지스터와 연결된 각각의 구동신호라인 간의 피치보다 좁게 형성된 것을 특징으로 한다.

상기 구동회로의 출력단자와 상기 구동신호라인을 연결하는 연결라인을 더 구비하고, 상기 연결라인은 사선형태로 형성된 것을 특징으로 한다.

상기 구동회로는 상기 표시영역에 형성된 박막 트랜지스터와 동일한 박막 트랜지스터들의 조합으로 형성된 것을 특징으로 한다.

그리고 상기의 목적을 달성하기 위하여, 본 발명은 컬러필터 어레이가 형성된 컬러필터 기판과; 상기 제 2 항 내지 제 5 항 중 어느 한 항의 박막 트랜지스터 기판과; 상기 박막 트랜지스터 기판의 표시영역의 외곽을 따라 형성되며, 상기 박막 트랜지스터 기판 및 컬러필터 기판을 합착시키는 실라인과; 상기 박막 트랜지스터 기판과 상기 컬러필터 기판의 사이에 주입된 액정을 구비한 것을 특징으로 하는 액정표시장치를 제공한다.

또한, 상기의 목적을 달성하기 위하여, 본 발명은 하부 기판 상에 표시영역의 박막 트랜지스터 어레이 및 비표시영역의 실라인 직선부에 구동회로를 형성하는 단계와; 상기 비표시영역에 상기 표시영역의 외곽을 따라 상기 구동회로와 중첩되게

실라인을 형성하는 단계와; 상기 하부 기관과 컬러 필터 어레이가 형성된 상부 기관을 상기 실라인을 통해 합착하는 단계와; 상기 합착된 하부 기관 및 상부기관 절단하는 단계와; 상기 절단된 하부 기관 및 상부 기관의 사이에 액정을 주입하는 단계로 이루어진 액정표시장치의 제조방법을 제공한다.

상기 구동회로를 형성하는 단계에서, 상기 구동회로의 출력단자의 피치를 상기 박막 트랜지스터 어레이에 포함된 구동신호라인의 피치 간격보다 좁게 형성하는 단계를 더 포함한다.

상기 구동회로의 출력단자와 상기 구동신호라인과의 연결을 위해 사선형태로 연결라인을 형성하는 단계를 더 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

설명에 편의상 게이트 구동회로가 기관상에 집적된 액정표시장치를 예를 들어 설명하기로 한다.

이하, 본 발명의 바람직한 실시 예들을 도 1 내지 도 4를 참조하여 상세하게 설명하기로 한다.

도 1은 본 발명의 실시 예에 따른 액정표시장치의 박막 트랜지스터 어레이가 형성된 하부기관을 도시한 평면도이고, 도 2는 도 1의 비표시영역을 확대한 확대도이다.

도 1 및 도 2를 참조하면, 본 발명의 실시 예에 따른 박막 트랜지스터 기관은 화상을 표시하는 표시영역과 외곽부에 화상을 표시하지 않는 비표시영역으로 이루어진다.

하부기관(10)의 표시영역에는 게이트 라인(80) 및 데이터 라인(90)과, 게이트 라인(80) 및 데이터 라인(90)의 교차부마다 형성된 박막 트랜지스터와, 게이트 라인(80) 및 데이터 라인(90)의 교차로 정의된 적색(R), 녹색(G) 및 청색(B) 화소 영역 각각에 형성되어 박막 트랜지스터와 접속된 화소전극(108)을 포함하는 박막 트랜지스터 어레이가 형성된다.

게이트 라인(80)은 스캔 신호를 공급하고, 데이터 라인(90)은 데이터 신호를 공급한다. 이러한 게이트 라인(80) 및 데이터 라인(90)은 게이트 절연막(102)을 사이에 두고 교차하여 R, G, B 화소 영역 각각을 정의한다.

박막 트랜지스터는 게이트 라인(80)의 스캔 신호에 응답하여 데이터 라인(90)의 데이터 신호를 화소전극(108)으로 공급한다. 이를 위하여, 박막 트랜지스터는 게이트 라인(80)과 접속된 게이트 전극(101), 데이터 라인(90)과 접속된 소스전극(105), 화소전극(108)과 접속된 드레인 전극(106), 게이트 절연막(102)을 사이에 두고 중첩되어 소스전극(105) 및 드레인 전극(106) 사이에 채널을 형성하는 반도체층(103)을 구비한다. 또한, 반도체층(103)과 소스전극(105) 및 드레인 전극(106)과의 오믹 접촉을 위한 오믹 접촉층(104)을 더 구비한다.

화소전극(108)은 보호막(109)을 관통하는 콘택홀(107)을 통해 박막 트랜지스터의 드레인 전극(106)과 접속된다. 이러한 화소전극(108)은 박막 트랜지스터를 통해 공급된 데이터 신호를 충전하여 상부 기관의 공통전극에 공급된 공통 전압(Vcom)과 전압차를 발생시키게 된다. 이 전압차에 따라 화소전극(108) 및 공통전극 사이의 액정이 유전 이방성에 의해 회전하여 광투과율을 조절하게 된다.

비표시영역에는 게이트 라인(80)을 구동하기 위한 게이트 구동회로(50)와, 게이트 구동회로(50)와 중첩되어 형성되는 실라인(40)과, 실라인(40)의 코너부에 상부기관의 공통전극(206)에 공통전압을 공급하는 쇼트 포인트(100)가 형성된다.

게이트 구동회로(50)는 표시영역의 박막 트랜지스터와 동일한 구조를 갖는 다수의 박막 트랜지스터가 다수개의 조합으로 이루어진다. 게이트 구동회로(50)는 표시영역에 형성된 게이트 라인(80)에 게이트 구동신호를 공급한다. 이 때, 게이트 구동회로(50)의 출력단자(60)의 피치 간격은 게이트 라인(80)의 피치 간격보다 좁게 형성된다. 그리고, 게이트 라인(80)의 피치 간격보다 좁게 형성된 출력단자(60)들을 연결하는 연결라인이 형성된다. 연결라인(70)은 게이트 구동회로(50)의 피치간격이 좁기 때문에 게이트 라인(80)과 연결시키기 위하여 사선 형태로 형성된다.

쇼트 포인트(100)는 하부기관(10)의 비표시영역에 적어도 하나 이상이 형성되며, 주로 실라인(40) 외곽의 코너부에 형성된다. 쇼트 포인트(100)는 상부기관(20)의 공통전극(206)에 공통 전압(Vcom)을 공급한다.

실라인(40)은 하부기관의 표시영역의 외곽을 따라 형성되어, 하부기관(10)과 상부기관(20)을 합착한다. 실라인(40)의 코너부는 쇼트 포인트(100)와 중첩되지 않도록 곡선을 그리며 형성된다. 이 때, 실라인(40)은 게이트 구동회로(50)와 중첩되게 형성되어 게이트 구동회로(50)를 보호한다.

게이트 구동회로가 실라인의 직선부에 형성되면 실라인의 코너부에서 노출되지 않으므로 게이트 구동회로의 금속층이 부식되는 것을 방지할 수 있다.

또한, 본 발명의 실시 예에서는 게이트 구동회로에 대하여 설명하였으나 데이터 구동회로도 상술한 바와 같이 데이터 라인의 피치 간격보다 데이터 구동회로의 출력단자의 피치를 좁게 형성하여 데이터 구동회로를 실라인의 직선부에 형성하여 실라인의 코너부에서 데이터 구동회로가 노출되지 않아 금속층이 부식되는 것을 방지할 수 있다.

따라서, 게이트 라인 및 데이터 라인 등에 구동신호를 공급하는 구동회로는 구동신호라인들의 피치 간격보다 구동회로 출력단자의 피치 간격이 좁게 형성하여 실커버 불량으로 인한 구동회로의 금속층의 부식을 방지할 수 있다.

도 3은 본 발명의 실시 예에 따른 액정표시장치를 나타낸 단면도이다.

도 3을 참조하면, 본 발명의 실시 예에 따른 액정표시장치는 박막 트랜지스터 어레이가 형성된 하부기관(10)과, 하부기관(10)과 마주하며 컬러 필터 어레이가 형성된 상부기관(20) 및 하부기관(10)과 상부기관(20) 사이에 개재된 액정(30)을 구비한다.

구체적으로, 상부기관(20)은 블랙매트릭스(201)와, 컬러 필터(202, 203, 204), 오버코트(205) 및 공통전극(206)을 구비한다. 블랙매트릭스(201)는 불투명물질로 형성되어 인접한 셀로부터 입사되는 빛을 흡수함으로써 콘트라스트의 저하를 방지하게 된다. 컬러 필터(202, 203, 204)는 적(R), 녹(G) 및 청(B) 색의 컬러 필터층이 스트라이프(Stripe) 형태로 배치되어 특정 파장대역의 빛을 투과시킴으로써 컬러표시를 가능하게 한다. 오버코트(205)는 블랙매트릭스(201) 및 컬러 필터(202, 203, 204) 상에 형성되어 블랙매트릭스(201)와 컬러 필터(202, 203, 204) 사이의 단차를 제거한다. 공통전극(206)은 투명한 도전물질로 이루어지며 공통 전압을 형성하기 위해 오버코트(205) 상에 균일한 두께로 형성된다.

하부기관(10)은 화상을 표시하는 표시영역과 하부기관(10)의 외곽부에 화상을 표시하지 않는 비표시영역으로 이루어진다.

표시영역은 게이트 라인(80) 및 데이터 라인(90)과, 게이트 라인(80) 및 데이터 라인(90)의 교차부마다 형성된 박막 트랜지스터와, 게이트 라인(80) 및 데이터 라인(90)의 교차로 정의된 적색(R), 녹색(G) 및 청색(B) 화소 영역 각각에 형성되어 박막 트랜지스터와 접속된 화소전극(108)을 포함하는 박막 트랜지스터 어레이가 형성된다.

게이트 라인(80)은 스캔 신호를 공급하고, 데이터 라인(90)은 데이터 신호를 공급한다. 이러한 게이트 라인(80) 및 데이터 라인(90)은 게이트 절연막(102)을 사이에 두고 교차하여 R, G, B 화소 영역 각각을 정의한다.

박막 트랜지스터는 게이트 라인(80)의 스캔 신호에 응답하여 데이터 라인(90)의 데이터 신호를 화소전극(108)으로 공급한다. 이를 위하여, 박막 트랜지스터는 게이트 라인(80)과 접속된 게이트 전극(101), 데이터 라인(90)과 접속된 소스전극(105), 화소전극(108)과 접속된 드레인 전극(106), 게이트 절연막(102)을 사이에 두고 중첩되어 소스전극(105) 및 드레인 전극(106) 사이에 채널을 형성하는 반도체층(103)을 구비한다. 또한, 반도체층(103)과 소스전극(105) 및 드레인 전극(106)과의 오믹 접촉을 위한 오믹 접촉층(104)을 더 구비한다.

화소전극(108)은 보호막(109)을 관통하는 콘택홀(107)을 통해 박막 트랜지스터의 드레인 전극(106)과 접속된다. 이러한 화소전극(108)은 박막 트랜지스터를 통해 공급된 데이터 신호를 충전하여 상부 기관의 공통전극에 공급된 공통 전압(Vcom)과 전압차를 발생시키게 된다. 이 전압차에 따라 화소전극(108) 및 공통전극 사이의 액정이 유전 이방성에 의해 회전하여 광투과율을 조절하게 된다.

비표시영역은 게이트 구동회로(50)와, 게이트 구동회로(50)와 중첩되어 형성되는 실라인(40)과, 실라인(40)의 코너부에 상부기관의 공통전극(206)에 공통전압을 공급하는 쇼트 포인트(100)가 형성된다.

게이트 구동회로(50) 표시영역의 박막 트랜지스터와 동일한 구조를 갖는 다수의 박막 트랜지스터가 다수개의 조합으로 이루어진다. 게이트 구동회로(50)는 표시영역에 형성된 게이트 라인(80)에 게이트 구동신호를 공급한다. 게이트 구동회로는 실라인(40)의 직선부와 중첩되게 형성되며, 게이트 라인(80)의 피치 간격보다 좁은 피치 간격으로 형성된 출력단자(60)를 구비한다.

실라인(40)의 직선부에 게이트 구동회로(50)가 형성되어 실커버 불량으로 인한 게이트 구동회로(50)의 금속층 부식을 방지할 수 있다. 특히, 고온 및 고습의 동작시험에서 발생하는 금속층의 단락 및 부식을 방지할 수 있다.

또한 게이트 라인과 출력단자(60)를 연결하기 위해 사선형태로 형성된 연결라인(70)을 추가로 구비한다. 연결라인(70)을 통해 게이트 라인(80)에 게이트 구동회로(50)에서 발생하는 게이트 구동신호를 공급한다.

실라인(40)은 하부기판의 표시영역의 외곽을 따라 형성되어, 하부기판(10)과 상부기판(20)을 합착한다. 실라인(40)의 코너부는 쇼트 포인트(100)와 중첩되지 않도록 곡선을 그리며 형성된다. 이 때, 실라인(40)은 게이트 구동회로(50)와 중첩되게 형성되어 게이트 구동회로(50)를 보호한다.

다음은 도 4를 참조하여 본 발명의 실시 예에 따른 액정표시장치를 제조하는 공정을 설명한다.

도 4를 참조하면, 액정표시장치는 박막 트랜지스터 어레이 공정과 컬러 필터 어레이 공정을 통해 각각 제조된 박막 트랜지스터 어레이 기판과 컬러 필터 어레이 기판은 셀공정 통해 두 기판이 합착되고 각 셀별로 절단된다.

본 발명에 따른 액정표시장치의 박막 트랜지스터는 표시영역에 형성된 박막 트랜지스터와 게이트 구동회로에 형성된 박막 트랜지스터가 동일한 공정을 통해 형성된다.

먼저 유리나 플라스틱 같은 하부기판 상에 스퍼터링 등의 방법으로 Cr 또는 Cr합금, Al 또는 Al합금, Mo 또는 Mo합금, Ag 또는 Ag합금 등의 게이트 라인과 표시 영역 및 비표시영역의 박막 트랜지스터의 게이트 전극 및 게이트 라인과 구동회로의 출력단자를 연결하는 연결라인을 포함하는 게이트 패턴을 단일층 또는 다중층으로 증착한 후, 게이트 마스크를 사용한 사진식각공정을 통해 게이트 금속층을 패터닝하여 게이트 패턴을 형성한다.

게이트 패턴을 형성한 후에 PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 방법을 사용하여 SiNx 또는 SiOx와 같은 게이트 절연막과 a-Si와 같은 활성층과 n도핑된 a-Si와 같은 오믹 접촉층을 연속증착한다. 그런 다음, 액티브마스크를 사용한 사진식각공정을 통해 활성층 및 오믹 접촉층을 형성한다.

게이트 절연막 및 활성층, 오믹 접촉층을 형성한 후에 스퍼터링 등의 방법을 사용하여 게이트 절연막과 오믹 접촉층 상에 Cr 또는 Cr합금, Al 또는 Al합금, Mo 또는 Mo합금, Ag 또는 Ag합금, Ti 또는 Ti합금 등의 데이터 금속층을 단일층 또는 다중층으로 증착한다. 이어 데이터 마스크를 사용한 사진식각공정을 통해 표시영역의 드레인/소스 전극 및 데이터 라인과, 구동회로의 드레인/소스 전극을 포함하는 데이터금속층을 패터닝하여 단일층 또는 다중층의 데이터 패턴을 형성한다. 그런 다음, 소스전극 및 드레인 전극 사이에 노출되어 있는 오믹 접촉층을 건식식각하여 활성층을 노출시킨다.

데이터 패턴을 형성한 후에 PECVD 등의 방법을 사용하여 SiNx 또는 SiOx와 같은 보호막을 증착한다. 이어 보호막마스크를 사용한 사진식각공정을 통해 콘택홀을 형성함으로써 드레인 전극을 노출시킨다.

보호막을 형성한 후에 스퍼터링 등의 방법을 사용하여 ITO나 IZO와 같은 투명도전금속층을 형성하고 화소전극마스크를 사용한 사진식각공정을 통해 투명도전금속층을 패터닝하여 화소전극을 형성한다.

다음으로는 컬러 필터 어레이공정에 대해 설명한다.

유리나 플라스틱 같은 상부기판 상에 스퍼터링 등의 방법을 사용하여 Cr 또는 Cr합금 등의 블랙층을 단일층 또는 다중층으로 증착한다. 그런 다음, 블랙매트릭스마스크를 사용한 사진식각공정을 통해 블랙매트릭스를 형성한다.

블랙매트릭스를 형성한 후에 적색컬러 필터(R)와 녹색컬러 필터(G) 및 청색컬러 필터(B)가 필터마스크를 사용한 사진공정을 통해 차례로 형성한다.

컬러 필터를 형성한 후에 유기물질을 전면 도포하여 오버코트를 형성한다.

이어 스퍼터링 등의 방법을 사용하여 ITO나 IZO와 같은 금속을 증착하여 공통전극을 형성한다.

그런 다음, 유기물질을 전면에도포하여 컬럼스페이서층을 형성한다.

한편, 박막 트랜지스터 어레이 공정이 진행된 하부기판과 컬러 필터 어레이 공정이 진행된 상부기판을 사용하여 셀공정을 진행한다.

셀공정은 먼저 박막 트랜지스터 어레이 공정(S1)이 진행된 하부기판을 세정장치를 사용하여 세정하고(S2), 컬러 필터 어레이공정(S5)이 진행된 상부기판을 세정장치를 사용하여 세정한다(S6).

구체적으로, 하부기판 및 상부기판을 UV를 조사하여 세정한다. 이 때, UV의 파장은 200nm ~ 420nm의 범위인 것이 바람직하다. 이어 브러쉬(Brush)와 테트라메틸암모늄하이드록사이드(Tetramethyl ammonium hydroxide, TMAH)를 사용하여 하부기판 및 상부기판을 세정한다. 여기서, 테트라메틸암모늄하이드록사이드는 하부기판 및 상부기판 표면에서 회전하는 브러쉬와 하부기판 및 상부기판의 마찰이 부드럽게 이루어지도록 하는 윤활제 및 브러쉬가 하부기판 및 상부기판을 세정할 수 있도록 하는 세정제 역할을 한다. 이어 초순수를 사용하여 하부기판 및 상부기판을 세정한 후에 에어나이프를 사용하여 하부기판 및 상부기판을 건조시킨다.

그런 다음, 세정된 하부기판 상에 제1 배향막을 형성하고(S3), 세정된 제2 기판 상에 제2 배향막을 형성한다(S7).

구체적으로, 수지판을 사용하여 수평배향제를 포함한 배향액을 하부기판과 상부기판 상에 도포한다. 수평배향제로는 폴리아믹산(Polyamic acid)을 사용한다. 또는, 수평배향제 대신 폴리아믹산의 수직배향제를 사용할 수 있다. 이 때, 용매에 대한 수평배향제의 용해도, 점성 등이 적절히 조절되는 것이 바람직하다. 이어 배향액을 소성시켜 배향액에 포함되어 있는 용매를 제거함으로써 폴리이미드(Polyimide)의 제1 및 제2 배향막을 형성한다.

다음으로, 하부기판의 박막 트랜지스터 어레이에 마련된 비표시영역 상에 쇼트 도포 및 실란트를 도포하고(S4), 상부기판의 컬러 필터 어레이에 마련된 비표시영역상에 스페이서를 도포한다(S8).

구체적으로, 하부기판의 박막 트랜지스터 어레이에 마련된 비표시영역에 Ag와 같은 도전 물질인 쇼트를 도포한다.

다음으로, 하부기판의 박막 트랜지스터 어레이의 표시영역의 외곽을 따라 마련된 비표시영역에 실링 장치를 사용하여 실란트를 도포한다. 이 때, 게이트 구동회로를 모두 덮도록 실란트를 도포하는 것이 바람직하다. 그리고 액정을 주입할 수 있는 액정 주입구를 형성한다.

그런 다음, 쇼트 및 실란트가 도포된 하부기판과 스페이서가 도포된 상부기판을 합착한다(S9).

구체적으로, 하부기판과 상부기판을 합착장치에 로딩하여 하부기판과 상부기판을 합착한다.

그런 다음, 합착된 하부기판과 상부기판의 실란트를 열경화 또는 UV경화한다(S10).

구체적으로, 합착된 하부기판 및 상부기판을 가온, 가압시켜 실란트를 열경화한다. 예를 들어, 열경화는 1시간 동안 120℃에서 진행할 수 있다. 이후 합착된 제1 및 상부기판을 실온상태로 식혀준다. 한편, 가온 전 네마틱(Nematic) 상태의 액정은 가온 후 아이소트로픽(Isotropic)상태가 되며 그 후의 실온상태에서는 다시 네마틱 상태로 되돌아오기 때문에 보다 더 균일한 액정 배향을 얻을 수 있다.

또는, 실란트가 UV 경화 특성을 갖는 경우에 하부기판 및 상부기판을 가압하여 합착한 후 자외선 광을 조사하여 실란트를 경화시킨다.

그런 다음, 합착된 하부기판 및 상부기판을 절단하여 각각의 액정표시패널을 형성한다(S11).

구체적으로, 글래스 스크라이버(Glass Scribe)장치에 합착된 하부기판과 상부기판을 로딩하여 x, y 방향 중 어느 한 방향으로 1차절단을 진행한 다음, 90도 회전시켜 2차절단을 진행하여 표시패널을 형성한다.

다음으로, 액정주입구에 액정을 주입하고 주입구를 봉지한다(S12).

구체적으로, 액정이 담긴 용기와 패널을 밀폐된 챔버에 장착한 후 진공펌프를 이용하여 챔버 내부의 압력을 낮춘다. 패널에 형성된 액정 주입구에 액정이 위치하도록 하고 챔버의 진공을 해제하면 압력차와 모세관 현상에 의해 패널 내부로 침투된다.

액정 주입이 완료된 후 액정 주입구에서 액정이 흘러나오지 않도록 하기 위해 액정 주입구를 자외선 경화 실란트를 이용해 마감한다.

그런 다음, 액정표시패널을 검사한 후에(S13) 양품의 액정표시패널을 모듈 공정으로 인계하여 액정표시장치를 제조한다(S14).

구체적으로, 오토 프로브 스테이션(Auto Probe Station)에 액정표시패널을 로딩한 후, 액정표시패널의 패드부와 액정표시패널을 구동하기 위한 게이트구동회로와 데이터구동회로가 장착된 지그를 접촉시켜 정해진 영상 패턴을 디스플레이한다. 다음, 영상 패턴을 바꿔가며 목시 검사를 수행하여 액정표시패널의 상태를 검사하여 액정표시패널의 상태에 맞게 등급별로 분리한 다음, 양품의 액정표시패널을 모듈 공정으로 인계한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치는 게이트 구동회로의 출력단자의 피치를 게이트 라인간의 피치보다 좁게 형성하여 함으로써, 게이트 구동회로를 실란트가 직선으로 도포되는 영역에 형성하여 실커버 불량을 방지할 수 있다.

이에 따라, 게이트 구동회로의 금속층이 부식되는 것을 방지하고, 특히 고온 및 고습의 동작시험에서 발생하는 금속층의 단락 및 부식을 방지하여 액정표시장치의 구동불량을 방지할 수 있다.

이상에서 상술한 본 발명은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 여러 가지 치환, 변형 및 변경이 가능하다 할 것이다. 따라서 본 발명은 상술한 실시 예 및 첨부된 도면에 한정하지 않고 청구범위에 의해 그 권리가 정해져야 할 것이다.

도면의 간단한 설명

도 1은 본 발명의 실시 예에 따른 액정표시장치의 박막 트랜지스터 어레이가 형성된 하부기판을 도시한 평면도이다.

도 2는 도 1에 도시된 하부기판의 비표시영역을 확대한 확대도이다.

도 3은 본 발명의 실시 예에 따른 액정표시장치를 나타낸 단면도이다.

도 4는 본 발명의 실시 예에 따른 액정표시장치의 제조방법을 순차적으로 도시한 흐름도이다.

<도면부호의 간단한 설명>

10: 하부기판 20: 상부기판

30: 액정 40: 실라인

50: 게이트 구동회로 60: 출력단자

70: 연결라인 80: 게이트 라인

90: 데이터 라인 100: 쇼트 포인트

101: 게이트 전극 102: 게이트 절연막

103: 반도체층 104: 오믹 접촉층

105: 소스전극 106: 드레인 전극

107: 콘택홀 108: 화소전극

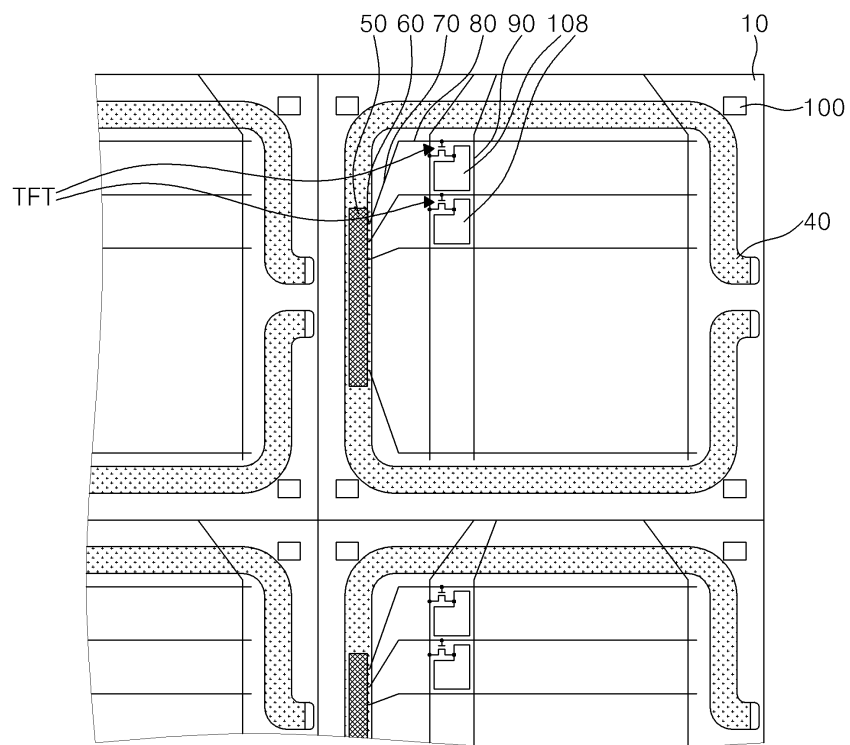
109: 보호막 201: 블랙매트릭스

202, 203, 204: 컬러 필터 205: 오버코트

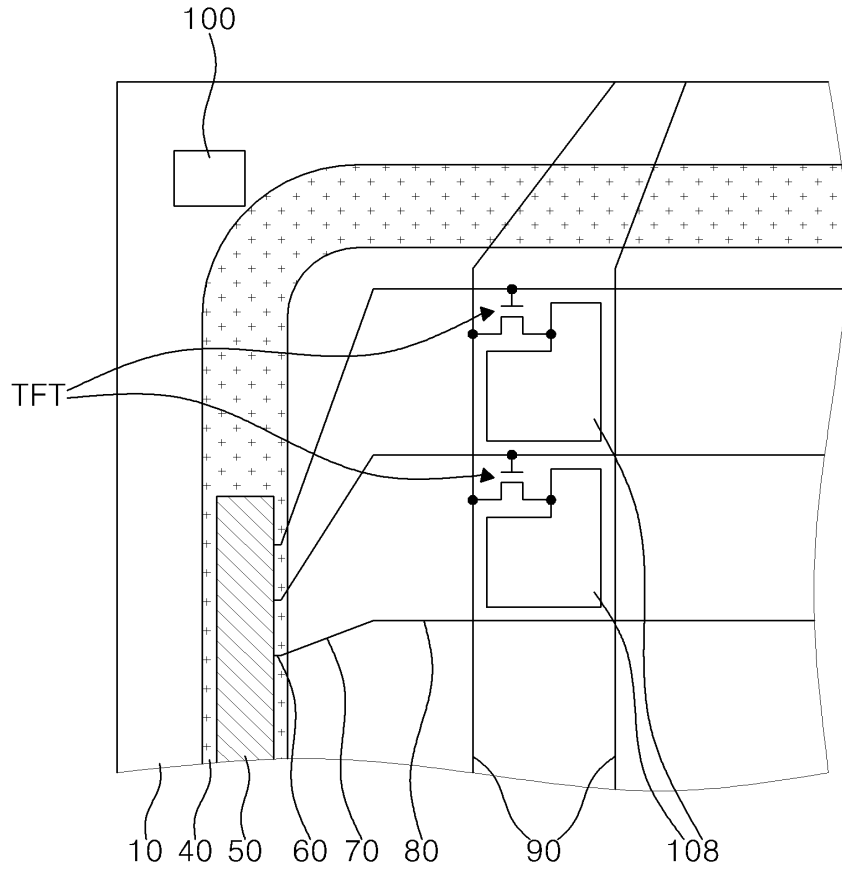
206: 공통전극

도면

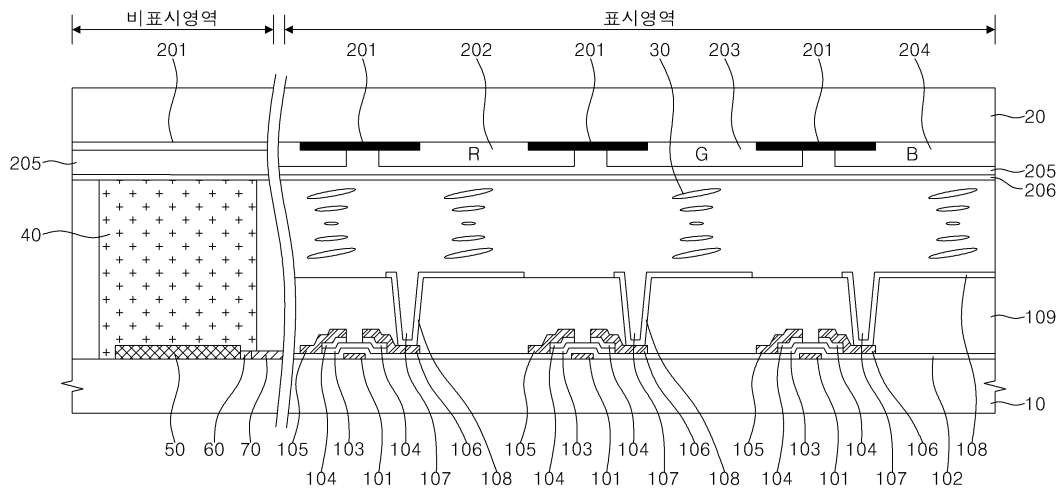
도면1



도면2



도면3



도면4

